



(12) 发明专利

(10) 授权公告号 CN 107180608 B

(45) 授权公告日 2020.10.02

(21) 申请号 201710387196.8

(22) 申请日 2010.09.21

(65) 同一申请的已公布的文献号
申请公布号 CN 107180608 A

(43) 申请公布日 2017.09.19

(30) 优先权数据
2009-234845 2009.10.09 JP

(62) 分案原申请数据
201080042876.2 2010.09.21

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川

(72) 发明人 小山润

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

代理人 程晨

(51) Int.Cl.
G09G 3/3208 (2016.01)
G09G 3/36 (2006.01)
G11C 19/28 (2006.01)

审查员 冯莹

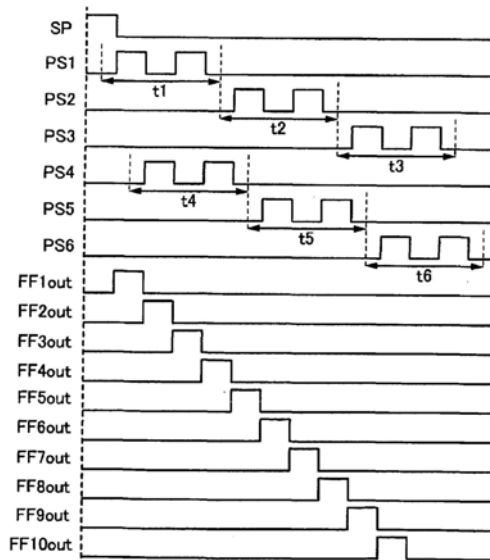
权利要求书2页 说明书32页 附图27页

(54) 发明名称

移位寄存器和显示装置及其驱动方法

(57) 摘要

本发明涉及移位寄存器和显示装置及其驱动方法。移位寄存器或者包含该移位寄存器的显示装置的功率消耗被降低。时钟信号由多条布线,而不是由一条布线来供应给移位寄存器。该多条布线中的任一条仅在移位寄存器的操作时段的部分时间内,而不是在移位寄存器的整个操作时段内供应时钟信号。因此,由供应时钟信号所引起的容量负载能够得以降低,从而使得移位寄存器的功率消耗降低。



1. 一种制造显示装置的方法,所述显示装置包括驱动电路,所述驱动电路包括移位寄存器,所述移位寄存器包括晶体管,所述晶体管包括:

在基板之上的第一栅极电极;

在所述第一栅极电极之上的第一绝缘层;

氧化物半导体层,包括在所述第一绝缘层之上的沟道形成区域,所述氧化物半导体层包括铟、镓和锌;

在所述氧化物半导体层之上的第二绝缘层;以及

在所述第二绝缘层之上的第二栅极电极,

其中,所述第一栅极电极在所述晶体管的沟道宽度方向上延伸超过所述氧化物半导体层的侧边缘,

其中,所述第二栅极电极在所述晶体管的所述沟道宽度方向上延伸超过所述氧化物半导体层的所述侧边缘,以及

其中,所述方法包括:

形成所述氧化物半导体层;

在高于或等于400°C且低于750°C的温度下执行第一加热处理,以执行所述氧化物半导体层的脱水或脱氢处理;

在所述脱水或脱氢处理之后,形成与所述氧化物半导体层接触的氧化物绝缘层;以及

在形成所述氧化物绝缘层后,执行第二加热处理,以对所述氧化物半导体层和所述氧化物绝缘层进行加热,使得所述氧化物半导体层的与所述氧化物绝缘层接触的区域电阻在所述氧化物半导体层的深度方向上增加。

2. 一种制造显示装置的方法,所述显示装置包括驱动电路,所述驱动电路包括移位寄存器,所述移位寄存器包括晶体管,所述晶体管包括:

在基板之上的第一栅极电极;

在所述第一栅极电极之上的第一绝缘层;

氧化物半导体层,包括在所述第一绝缘层之上的沟道形成区域,所述氧化物半导体层包括铟、镓和锌;

在所述氧化物半导体层之上的第二绝缘层;以及

在所述第二绝缘层之上的第二栅极电极,

其中,所述第一栅极电极在所述晶体管的沟道宽度方向上延伸超过所述氧化物半导体层的侧边缘,

其中,所述第二栅极电极在所述晶体管的所述沟道宽度方向上延伸超过所述氧化物半导体层的所述侧边缘,以及

其中,所述方法包括:

形成所述氧化物半导体层;

在高于或等于400°C且低于750°C的温度下执行第一加热处理,以执行所述氧化物半导体层的脱水或脱氢处理;

在所述脱水或脱氢处理之后,形成与所述氧化物半导体层接触的氧化物绝缘层;以及

在形成所述氧化物绝缘层之后,在高于或等于200°C且低于或等于400°C的温度下执行第二加热处理,以对所述氧化物半导体层和所述氧化物绝缘层进行加热,使得所述氧化物

半导体层的与所述氧化物绝缘层接触的区域电阻在所述氧化物半导体层的深度方向上增加。

移位寄存器和显示装置以及其驱动方法

[0001] 本申请是申请号为201080042876.2、申请日为2010年9月21日、名称为“移位寄存器和显示装置以及其驱动方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及移位寄存器以及包含移位寄存器的显示装置。

背景技术

[0003] 形成于平板(例如,玻璃基板)之上的薄膜晶体管(TFT)一般使用诸如非晶硅或多晶硅之类的半导体材料来形成,其中薄膜晶体管通常用于液晶显示装置中。虽然使用非晶硅形成的TFT具有低的场效应迁移率,但是这样的TFT能够形成于较大的玻璃基板之上。另一方面,虽然使用多晶硅形成的TFT具有高的场效应迁移率,但是这样的TFT需要诸如激光退火之类的结晶步骤,而且并不总是适合于形成在较大的玻璃基板之上。

[0004] 鉴于上述情况,使用氧化物半导体作为半导体材料形成的TFT已经引起了人们的注意。例如,专利文献1和2各自公开了其中使用氧化锌或基于In-Ga-Zn-O的氧化物半导体作为半导体材料来形成TFT并且TFT被应用于图像显示装置中的开关元件的技术。

[0005] 与使用非晶硅形成的TFT相比,其中沟道形成区被形成于氧化物半导体中的TFT会具有较高的场效应迁移率。此外,氧化物半导体膜能够通过溅射法等 300°C 或更低的温度下形成,并且使用氧化物半导体形成的TFT的制造处理比使用多晶硅形成的TFT的制造处理简单。

[0006] 预期将使用此类氧化物半导体形成的TFT应用于包含于显示装置(例如,液晶显示器、电致发光显示器和电子纸)的像素部分和驱动电路中的开关元件。例如,非专利文献1公开了用以使显示装置的像素部分和驱动电路包括使用以上氧化物半导体形成的TFT的技术。

[0007] 注意,使用氧化物半导体形成的TFT全部都是n沟道晶体管。因此,在驱动电路用使用氧化物半导体形成的TFT形成的情形中,驱动电路只包括n沟道TFT(以下也称为单极TFT)。

[0008] [专利文献1]日本公开专利申请No.2007-123861

[0009] [专利文献2]日本公开专利申请No.2007-096055

[0010] [非专利文献1]T.Osada等,SID 09DIGEST,pp.184-187(2009)

发明内容

[0011] 驱动电路包括移位寄存器、缓冲器等。例如,在移位寄存器只包括单极TFT的情形中,存在信号与TFT的阈值电压等量减小或增大的问题。因此,通常在发生该问题的部分内执行自举(bootstrap)操作。具体地说,通常在用以驱动显示装置中的信号线或扫描线的模拟开关中执行自举操作。

[0012] 此外,在使用自举的驱动电路的负载重的情形中,需要使包含于驱动电路中的TFT

的栅极宽度变大。由此,在TFT中所引起的寄生电容变得更大。特别地,在其中用作栅极端子的导电层与用作源极或漏极端子的导电层需要彼此重叠,其间设置有栅极绝缘层(例如,所谓的反交错型TFT)的TFT中的寄生电容变得更大。结果,存在着输入到驱动电路的时钟信号的功率消耗因寄生电容而变大的问题。

[0013] 鉴于以上问题,本发明的一种实施方式的目的是降低移位寄存器或包含移位寄存器的显示装置的功率消耗。

[0014] 以上问题能够通过将包含于移位寄存器中的时钟信号线划分成多条脉冲信号线来解决。换言之,包含于移位寄存器中的多个触发器不与一条时钟信号线电连接;以及设置多条脉冲信号线并且该多个触发器中的一部分与该多条脉冲信号线之一电连接。脉冲信号线在移位寄存器的部分操作时段内,而不是在移位寄存器的整个操作时段内供应时钟信号。因此,由向移位寄存器供应时钟信号所引起的容量负载(capacity load)能够得以降低,从而致使移位寄存器的功率消耗降低。

[0015] 本发明的一种实施方式是一种移位寄存器,其包括:第一脉冲信号线,用作用于在第一时段内供应时钟信号的布线,该时钟信号在高电源电位与低电源电位之间周期性地交替;第二脉冲信号线,用作用于在第二时段内供应时钟信号的布线;第三脉冲信号线,用作用于在第三时段内供应作为时钟信号的反转(inversion)的反相时钟信号的布线;第四脉冲信号线,用作用于在第四时段内供应反相时钟信号的布线;第一触发器,与第一脉冲信号线电连接并且在第一时段内输出高电源电位;第二触发器,与第二脉冲信号线电连接并且在第二时段内输出高电源电位;第三触发器,与第一触发器及第三脉冲信号线连接并且在第三时段内输出高电源电位;以及第四触发器,与第二触发器及第四脉冲信号线连接并且在第四时段内输出高电源电位。第三时段与第一时段重叠,以及第四时段与第二时段重叠。

[0016] 本发明的另一种实施方式是具有上述结构的移位寄存器,在该移位寄存器中,第一脉冲信号线用作用于在除第一时段外的时段内供应低电源电位的布线;第二脉冲信号线用作用于在除第二时段外的时段内供应低电源电位的布线;第三脉冲信号线用作用于在除第三时段外的时段内供应低电源电位的布线;以及第四脉冲信号线用作用于在除第四时段外的时段内供应低电源电位的布线。

[0017] 本发明的另一种实施方式是具有任意一种上述结构的移位寄存器,其中,触发器包括其沟道形成区使用氧化物半导体形成的晶体管。

[0018] 本发明的另一种实施方式是具有任意一种上述结构的移位寄存器,其中,脉冲信号线经由晶体管与参考时钟信号线或反相参考信号线电连接,该晶体管在脉冲信号线供应时钟信号或反相时钟信号的时段内保持导通。

[0019] 本发明的另一种实施方式是具有任意一种上述结构的移位寄存器,其中,脉冲信号线经由晶体管与用于供应低电源电位的布线电连接,该晶体管在脉冲信号线不供应时钟信号或反相时钟信号的时段内保持导通。

[0020] 本发明的另一种实施方式是包含具有任意一种上述结构的移位寄存器的显示装置。

[0021] 在作为本发明的一种实施方式的移位寄存器中,时钟信号由多条布线,而不是一条布线来供应。该多条布线中的任一条仅在移位寄存器的操作时段的部分时间内,而不是在移位寄存器的整个操作时段内供应时钟信号。因此,由供应时钟信号所引起的容量负荷

能够得以降低,从而降低移位寄存器的功率消耗。

附图说明

[0022] 在附图中:

[0023] 图1A和1B分别是示出在实施方式1中所描述的移位寄存器的配置实例的示意图及时序图;

[0024] 图2A和2B分别是示出在实施方式1中所描述的触发器的配置实例的示意图及时序图;

[0025] 图3A和3B分别是示出在实施方式1中所描述的脉冲信号线的配置实例的示意图及时序图;

[0026] 图4A和4B分别是示出在实施方式1中所描述的脉冲信号线的配置实例的示意图及时序图;

[0027] 图5A到5C是示出在实施方式1中所描述的移位寄存器的修改实例的示意图;

[0028] 图6A和6B是示出在实施方式1中所描述的移位寄存器的修改实例的示意图,图6C是示出在实施方式1中所描述的移位寄存器的修改实例的时序图;

[0029] 图7A和7B分别是示出在实施方式1中所描述的触发器的修改实例的示意图及时序图;

[0030] 图8A到8C分别是示出在实施方式2中所描述的晶体管的顶视图及截面图;

[0031] 图9A和9B分别是在实施方式2中所描述的晶体管的顶视图及截面图;

[0032] 图10A和10B分别是在实施方式2中所描述的多个晶体管的顶视图及截面图;

[0033] 图11A到11D是示出用于制造在实施方式2中所描述的晶体管的处理的截面图;

[0034] 图12A和12B分别是在实施方式3中所描述的多个晶体管的顶视图及截面图;

[0035] 图13A和13B分别是在实施方式4中所描述的多个晶体管的顶视图及截面图;

[0036] 图14A到14C分别是在实施方式5中所描述的显示装置的框图、扫描线驱动电路的框图及信号线驱动电路的框图;

[0037] 图15A到15C分别是在实施方式6中所描述的液晶显示装置的像素的电路图、顶视图及截面图;

[0038] 图16A是在实施方式7中所描述的发光显示装置的像素的电路图,图16B到16D是在实施方式7中所描述的发光显示装置的像素的截面图;

[0039] 图17A和17B分别是在实施方式7中所描述的发光显示装置的顶视图及截面图;

[0040] 图18A到18C分别是在实施方式7中所描述的电子纸的像素的电路图、顶视图及截面图;

[0041] 图19是示出在实施方式8中所描述的电子书的实例的示意图;

[0042] 图20A和20B是各自示出在实施方式9中所描述的电子设备(electronic appliance)的实例的示意图;

[0043] 图21A和21B是各自示出在实施方式9中所描述的电子设备的实例的示意图;以及

[0044] 图22A和22B是各自示出在实施方式9中所描述的电子设备的实例的示意图。

具体实施方式

[0045] 以下,本发明的实施方式将参照附图详细描述。注意,本发明并不限于以下描述,并且本领域技术人员容易理解,在不脱离本发明的精神和范围的情况下,能够对本发明的模式及细节进行多种变更和修改。因此,本发明不应当被理解为限制到以下关于实施方式的描述。

[0046] 注意,很难确定晶体管的哪一个端子是源极端子或漏极端子,因为它取决于晶体管的结构、操作条件等变化。因此,在本文中,源极端子和漏极端子中的一个称为第一端子,而源极端子和漏极端子中的另一个称为第二端子,以进行区分。

[0047] 注意,在实施方式中的附图等所示出的每个结构的尺寸、层的厚度或区域在某些情况下出于简明起见而被夸大。因此,本发明的实施方式并不限于这种比例。此外,在本说明书中,诸如“第一”、“第二”及“第三”之类的序数词是为了避免元件的混淆而使用的,并且这种词并没有在数字上限定元件。

[0048] (实施方式1)

[0049] 在该实施方式中,移位寄存器的结构和操作的实例参照图1A和1B、图2A和2B、图3A和3B、图4A和4B、图5A到5C、图6A到6C以及图7A和7B来描述。具体而言,描述了包括脉冲信号线和触发器的移位寄存器。脉冲信号线在移位寄存器的部分操作时段的部分时间内用作用于供应时钟信号的布线,以及在其他时段内用作用于供应低电源电位的布线。触发器与脉冲信号线电连接。

[0050] <移位寄存器的结构的实例>

[0051] 在该实施方式中的移位寄存器包括第一到第六脉冲信号线以及第一到第十触发器。

[0052] 第一脉冲信号线(PS1)与第一触发器(FF1)及第三触发器(FF3)电连接。第二脉冲信号线(PS2)与第五触发器(FF5)及第七触发器(FF7)电连接。第三脉冲信号线(PS3)与第九触发器(FF9)电连接。第四脉冲信号线(PS4)与第二触发器(FF2)及第四触发器(FF4)电连接。第五脉冲信号线(PS5)与第六触发器(FF6)及第八触发器(FF8)电连接。第六脉冲信号线(PS6)与第十触发器(FF10)电连接(参见图1A)。

[0053] 每个触发器的输出端子与后一触发器的输入端子电连接。注意,第一触发器(FF1)的输入端子与用于供应起始脉冲(SP)的布线电连接。

[0054] 在第一时段(t_1)内,第一脉冲信号线(PS1)用作用于供应时钟信号的布线,该时钟信号在高电源电位与低电源电位之间周期性地交替。在第二时段(t_2)内,第二脉冲信号线(PS2)用作用于供应时钟信号的布线。在第三时段(t_3)内,第三脉冲信号线(PS3)用作用于供应时钟信号的布线。在第四时段(t_4)内,第四脉冲信号线(PS4)用作用于供应作为时钟信号的反转的反相时钟信号的布线。在第五时段(t_5)内,第五脉冲信号线(PS5)用作用于供应反相时钟信号的布线。在第六时段(t_6)内,第六脉冲信号线(PS6)用作用于供应反相时钟信号的布线(参见图1B)。

[0055] <移位寄存器的操作的实例>

[0056] 以下描述在该实施方式中的移位寄存器的操作。

[0057] 高电源电位信号被作为起始脉冲(SP)输入到第一触发器(FF1)的输入端子。第一触发器(FF1)根据所输入的信号来操作,并且输出高电源电位信号作为具有半个时钟周期

延迟的第一触发器的输出信号 (FF1out)。

[0058] 输出信号 (FF1out) 被输入到第二触发器 (FF2) 的输入端子。像第一触发器 (FF1) 那样,第二触发器 (FF2) 根据所输入的信号来操作,并且输出高电源电位作为具有半个时钟周期延迟的第二触发器的输出信号 (FF2out)。

[0059] 类似地,对于其他触发器,高电源电位信号被输入到后一触发器的输入端子,并且该触发器输出具有半个时钟周期延迟的高电源电位信号。

[0060] <触发器的具体实例>

[0061] 在图2A中示出了在该实施方式中的触发器的电路配置的具体实例。注意,为了方便起见,在图2A中仅示出第一触发器 (FF1) 和第二触发器 (FF2) 的配置。

[0062] 第一触发器 (FF1) 包括晶体管101到106。注意,在这种情况下,晶体管101到106是n沟道晶体管。

[0063] 晶体管101的栅极端子与第二触发器 (FF2) 的输出端子电连接。晶体管101的第一端子与用于供应高电源电位 (VDD) 的布线 (以下也称为高电源电位线) 电连接。

[0064] 晶体管102的栅极端子与用于供应起始脉冲 (SP) 的布线 (以下也称为起始脉冲线) 电连接。晶体管102的第一端子与晶体管101的第二端子电连接。晶体管102的第二端子与用于供应低电源电位 (VSS) 的布线 (以下也称为低电源电位线) 电连接。

[0065] 晶体管103的栅极端子与起始脉冲线电连接。晶体管103的第一端子与高电源电位线电连接。

[0066] 晶体管104的栅极端子与晶体管101的第二端子以及晶体管102的第一端子电连接。晶体管104的第一端子与晶体管103的第二端子电连接。晶体管104的第二端子与低电源电位线电连接。

[0067] 晶体管105的栅极端子与晶体管103的第二端子以及晶体管104的第一端子电连接。晶体管105的第一端子与第一脉冲信号线 (PS1) 电连接。

[0068] 晶体管106的栅极端子与晶体管101的第二端子、晶体管102的第一端子以及晶体管104的栅极端子电连接。晶体管106的第一端子与晶体管105的第二端子电连接。晶体管106的第二端子与低电源电位线电连接。

[0069] 注意,为了方便起见,以下将晶体管101的第二端子、晶体管102的第一端子、晶体管104的栅极端子以及晶体管106的栅极端子电连接的节点称为节点A;以及将晶体管103的第二端子、晶体管104的第一端子以及晶体管105的栅极端子彼此电连接的节点称为节点B。

[0070] 除了以上配置之外,还可以将电容器设置于晶体管105的栅极端子与源极端子之间。设置电容器,使得自举操作能够确定被执行,自举操作将在下面描述。

[0071] <触发器的操作的实例>

[0072] 作为上述触发器的操作的实例,以下将参照图2B来描述第一触发器 (FF1) 的操作。

[0073] 首先,与第一触发器 (FF1) 电连接的起始脉冲线的电位被提高到高电平 (以下称为H电平)。因此,H电平信号被输入到晶体管102和103的栅极端子。因而,晶体管102和103被导通。然后,节点A的电位被降低至低电平 (以下称为L电平),而节点B的电位被提高至H电平。据此,晶体管105同样被导通。结果,作为第一脉冲信号线 (PS1) 在本时段中的电位的L电平电位作为第一触发器的输出信号 (FF1out) 输出。

[0074] 在随后的时段内,起始脉冲线的电位被降低至L电平。因而,晶体管102和103被关

断。结果,节点A的电位和节点B的电位进入浮置状态。此时,在晶体管105的源极端子与栅极端子之间存在从L电平到H电平的电位差,并且因为节点B进入了浮置状态该电位差被维持。也就是说,不论源极端子的状态如何,晶体管105保持导通。而且,第一脉冲信号线(PS1)的电位被提高至H电平。因而,处于浮置状态并且与晶体管105的栅极端子电连接的节点B的电位在本时段内进一步增加第一脉冲信号线(PS1)的H电平电位。其中节点B的电位通过如上所述的晶体管105的源极端子与电连接至处于浮置状态的节点B的栅极端子的电容耦合来提高的操作被称为自举。因此,作为第一脉冲信号线(PS1)的电位的H电平电位作为第一触发器的输出信号(FF1out)输出。

[0075] 注意,在这种情况下,晶体管105是n沟道晶体管。因而,在第一脉冲信号线(PS1)的电位被设置为H电平的时段内,晶体管105的与第一触发器(FF1)的输出端子电连接的端子起着源极端子的作用,而晶体管105的与第一脉冲信号线(PS1)电连接的端子起着漏极端子的作用。晶体管根据在源极端子与栅极端子之间的电位差被导通或被关断。因此,在第一脉冲信号线(PS1)的H电平电位经由没有发生自举的n沟道晶体管作为第一触发器的输出信号(FF1out)来输出的情形中,输出电位从H电平电位降低了n沟道晶体管的阈值电压(V_{th})。但是,由于在晶体管105中发生自举,因而第一触发器的输出信号(FF1out)能够在不降低第一脉冲信号线(PS1)的电位的情况下输出。

[0076] 作为第一触发器(FF1)的输出信号的H电平信号被输入到第二触发器(FF2)。在这种情况下,除了第四脉冲信号线(PS4)代替第一脉冲信号线(PS1)与第二触发器(FF2)电连接之外,第二触发器(FF2)具有与第一触发器(FF1)的结构相同的结构。因而,关于第一触发器(FF1)的上述描述适用于第二触发器(FF2)的电路操作的详细描述。在本时段内,第二触发器(FF2)在该时段内输出作为第四脉冲信号线(PS4)的电位的L电平电位。

[0077] 在随后的时段内,第一脉冲信号线(PS1)的电位被降低至L电平,而第四脉冲信号线(PS4)的电位被提高至H电平。结果,第一触发器的输出信号(FF1out)被降低至L电平。作为第四脉冲信号线(PS4)的电位的H电平电位作为第二触发器的输出信号(FF2out)被输出。

[0078] 第二触发器的输出信号(FF2out)被输入到第三触发器(没有示出)以及包含于第一触发器(FF1)中的晶体管101的栅极端子。因而,包含于第一触发器(FF1)中的晶体管101被导通,然后节点A的电位被设置为H电平。因此,晶体管104和106也被导通。由于晶体管104被导通,因而节点B的电位被降低至L电平。也就是说,晶体管105的栅极端子的电位被降低至L电平。因此,晶体管105被关断。另外,由于晶体管106被导通,因而第一触发器的输出信号(FF1out)在该时段中从第一脉冲信号线(PS1)的L电平(经由晶体管105)改变为低电源电位(VSS)的L电平(经由晶体管106)。换言之,第一触发器的输出信号(FF1out)经由不同的晶体管来输出,而没有实质性的改变。

[0079] 在随后的时段内,第四脉冲信号线(PS4)的电位被降低至L电平。也就是说,第二触发器的输出信号(FF2out)被降低至L电平。因而,包含于第一触发器(FF1)中的晶体管101被关断。结果,与晶体管104的栅极端子电连接的节点以及与晶体管106的栅极端子电连接的节点进入浮置状态,而这些节点保持H电平的信号。因而,晶体管104和106保持导通,以及第一触发器的输出信号(FF1out)被维持于L电平。该状态持续下去,直到H电平电位被再次输入到第一触发器(FF1)的输入端子。

[0080] 按照上述方式,图2A所示的第一触发器(FF1)能够输出以半个时钟周期的延迟输

入的信号。

[0081] <脉冲信号线的实例>

[0082] 第一脉冲信号线 (PS1) 到第六脉冲信号线 (PS6) 在操作时段的部分时间内各自用作用于供应时钟信号的布线,以及第一到第六脉冲信号线在其他时段内各自用作用于供应低电源电位的布线。具有此类功能的布线的实例参照图3A和3B以及图4A和4B来描述。

[0083] 图3A所示的第一脉冲信号线 (PS1) 到第六脉冲信号线 (PS6) 中的每一个经由时钟信号选择晶体管111、112和113以及反相时钟信号选择晶体管114、115和116中的任意一个晶体管的源极端子和漏极端子电连接至参考时钟信号线 (CK) 或反相参考时钟信号线 (CKB)。注意,在这种情况下,时钟信号选择晶体管111、112和113以及反相时钟信号选择晶体管114、115和116是n沟道晶体管。

[0084] 具体而言,时钟信号选择晶体管111的栅极端子与控制端子a电连接。时钟信号选择晶体管111的第一端子与第一脉冲信号线 (PS1) 电连接。时钟信号选择晶体管111的第二端子与参考时钟信号线 (CK) 电连接。时钟信号选择晶体管112的栅极端子与控制端子b电连接。时钟信号选择晶体管112的第一端子与第二脉冲信号线 (PS2) 电连接。时钟信号选择晶体管112的第二端子与参考时钟信号线 (CK) 电连接。时钟信号选择晶体管113的栅极端子与控制端子c电连接。时钟信号选择晶体管113的第一端子与第三脉冲信号线 (PS3) 电连接。时钟信号选择晶体管113的第二端子与参考时钟信号线 (CK) 电连接。

[0085] 反相时钟信号选择晶体管114的栅极端子与控制端子d电连接。反相时钟信号选择晶体管114的第一端子与第四脉冲信号线 (PS4) 电连接。反相时钟信号选择晶体管114的第二端子与反相参考时钟信号线 (CKB) 电连接。反相时钟信号选择晶体管115的栅极端子与控制端子e电连接。反相时钟信号选择晶体管115的第一端子与第五脉冲信号线 (PS5) 电连接。反相时钟信号选择晶体管115的第二端子与反相参考时钟信号线 (CKB) 电连接。反相时钟信号选择晶体管116的栅极端子与控制端子f电连接。反相时钟信号选择晶体管116的第一端子与第六脉冲信号线 (PS6) 电连接。反相时钟信号选择晶体管116的第二端子与反相参考时钟信号线 (CKB) 电连接。

[0086] 如图3B所示,参考时钟信号线是用于无论在什么时段都供应时钟信号的布线,该时钟信号在高电源电位与低电源电位之间周期性地交替,而反相参考时钟信号线是用于无论在什么时段都供应作为时钟信号的反转的反相时钟信号的布线。

[0087] 控制端子a的电位在第一时间段 (t1) 内被设置为H电平,以及在其他时段内被设置为L电平。因而,在第一时间段 (t1) 内,第一脉冲信号线 (PS1) 能够用作用于供应时钟信号的布线。换言之,第一时间段 (t1) 是其中控制端子a的电位被设置为H电平的时段。

[0088] 类似地,控制端子b到f的电位分别在第二时段 (t2) 到第六时段 (t6) 内被设置为H电平,以及在其他时段内被设置为L电平。因而,第二脉冲信号线在第二时段内以及第三脉冲信号线在第三时段内能够用作用于供应时钟信号的布线;第四脉冲信号线在第四时段内,第五脉冲信号线在第五时段内,以及第六脉冲信号线在第六时段内能够用作用于供应反相时钟信号的布线。换言之,第二时段 (t2) 到第六时段 (t6) 是其中相应的控制端子b到f的电位被设置为H电平的时段。

[0089] 图4A所示的第一脉冲信号线 (PS1) 到第六脉冲信号线 (PS6) 各自经由低电源电位选择晶体管121到126之一的源极端子和漏极端子连接至用于供应低电源电位 (VSS) 的布

线。注意,在这种情况下,低电源电位选择晶体管121到126是n沟道晶体管。

[0090] 低电源电位选择晶体管121的栅极端子与控制端子g电连接。低电源电位选择晶体管121的第一端子与第一脉冲信号线(PS1)电连接。低电源电位选择晶体管121的第二端子与用于供应低电源电位(VSS)的布线电连接。低电源电位选择晶体管122的栅极端子与控制端子h电连接。低电源电位选择晶体管122的第一端子与第二脉冲信号线(PS2)电连接。低电源电位选择晶体管122的第二端子与用于供应低电源电位(VSS)的布线电连接。低电源电位选择晶体管123的栅极端子与控制端子i电连接。低电源电位选择晶体管123的第一端子与第三脉冲信号线(PS3)电连接。低电源电位选择晶体管123的第二端子与用于供应低电源电位(VSS)的布线电连接。低电源电位选择晶体管124的栅极端子与控制端子j电连接。低电源电位选择晶体管124的第一端子与第四脉冲信号线(PS4)电连接。低电源电位选择晶体管124的第二端子与用于供应低电源电位(VSS)的布线电连接。低电源电位选择晶体管125的栅极端子与控制端子k电连接。低电源电位选择晶体管125的第一端子与第五脉冲信号线(PS5)电连接。低电源电位选择晶体管125的第二端子与用于供应低电源电位(VSS)的布线电连接。低电源电位选择晶体管126的栅极端子与控制端子l电连接。低电源电位选择晶体管126的第一端子与第六脉冲信号线(PS6)电连接。低电源电位选择晶体管126的第二端子与用于供应低电源电位(VSS)的布线电连接。

[0091] 控制端子g的电位在第一时间段(t_1)内被设置为L电平,以及在其他时段内被设置为H电平。因而,在除第一时间段(t_1)外的时段内,第一脉冲信号线(PS1)能够用作用于供应低电源电位(VSS)的布线。

[0092] 类似地,控制端子h到l的电位分别在第二时段(t_2)到第六时段(t_6)内被设置为L电平,以及在其他时段内被设置为H电平。因而,第二脉冲信号线在除第二时段外的时段内,第三脉冲信号线在除第三时段外的时段内,第四脉冲信号线在除第四时段外的时段内,第五脉冲信号线在除第五时段外的时段内,以及第六脉冲信号线在除第六时段外的时段内能够用作用于供应低电源电位(VSS)的布线。

[0093] 在该实施方式中,在移位寄存器内,时钟信号由多条布线,而不是由一条布线来供应。此外,该多条布线中的任意一条在移位寄存器的操作时段的部分时间内,而不是在整个操作时段内供应时钟信号。因此,由供应时钟信号所引起的容量负载能够得以降低,从而引起移位寄存器的功率消耗的降低。

[0094] <修改实例>

[0095] 上述移位寄存器是该实施方式的实例,并且在该实施方式中包括具有与以上描述不同的点的移位寄存器。

[0096] 例如,在以上的移位寄存器中,两个触发器与每条脉冲信号线电连接(参见图1);但是,数量更多的触发器可以与每条脉冲信号线电连接。特别地,例如,如图5A所示, x (x 是3或更大的自然数)个触发器能够与每条脉冲信号线电连接。

[0097] 此外,在以上的移位寄存器中包含6条脉冲信号线(参见图1A),但是可以包含数量更多的脉冲信号线。特别地,能够采用图5B所示的结构,该结构包括在操作时段的部分时间内供应时钟信号的第一脉冲信号线(PS1)到第 y (y 是4或更大的自然数)脉冲信号线(PS y);以及在操作时段的部分时间内供应反相时钟信号的第($y+1$)脉冲信号线(PS $y+1$)到第 $2y$ 脉冲信号线(PS $2y$)。两个触发器与图5B所示的结构中的每条脉冲信号线电连接。

[0098] 而且,两个触发器与每条脉冲信号线电连接,以及在以上的移位寄存器中包含6条脉冲信号线(参见图1A);但是,数量更多的触发器可以与每条脉冲信号线电连接,以及可以包含数量更多的脉冲信号线。特别地,例如,能够采用图5C所示的结构:包含在操作时段的部分时间内供应时钟信号的第一脉冲信号线(PS1)到第 y (y 是4或更大的自然数)脉冲信号线(PS y);包含在操作时段的部分时间内供应反相时钟信号的第 $(y+1)$ 脉冲信号线(PS $y+1$)到第 $2y$ 脉冲信号线(PS $2y$);以及 x 个触发器与每条脉冲信号线电连接。

[0099] 在以上的移位寄存器中,与每条脉冲信号线电连接的触发器的数量是相同的(参见图1A及图5A到5C),但是与每条脉冲信号线电连接的触发器的数量可以是不同的,这取决于脉冲信号线。特别地,如图6A所示, x 个触发器能够与第一脉冲信号线(PS1)和第四脉冲信号线(PS4)电连接,以及 z 个触发器(z 是2或更大的自然数,且不同于 x)能够与第二脉冲信号线(PS2)和第五脉冲信号线(PS5)电连接。

[0100] 在以上的移位寄存器中,与第一脉冲信号线(PS1)电连接的触发器的数量以及与第四脉冲信号线(PS4)电连接的触发器的数量是相同的(参见图1A、图5A及图6A),但是与第一脉冲信号线(PS1)电连接的触发器的数量以及与第四脉冲信号线(PS4)电连接的触发器的数量可以是彼此不同的。特别地,如图6B所示, x 个触发器能够与第一脉冲信号线(PS1)电连接,并且 $(x+z)$ 个触发器能够与第四脉冲信号线(PS4)电连接。

[0101] 在以上的移位寄存器中,第一时段(t_1)和第二时段(t_2)彼此不重叠(参见图1B),但是第一时段(t_1)与第二时段(t_2)可以是彼此重叠的。特别地,例如,如图6C所示,能够提供其中第一时段(t_1)与第二时段(t_2)彼此重叠的时段(T)。如图1B和图6C所示,时段需要提供成使得多条脉冲信号线中的至少一条用作用于供应时钟信号的布线,以及多条脉冲信号线中的至少一条用作用于供应反相时钟信号的布线。

[0102] 图2A所示的触发器的电路配置是一种实例,并且可以采用任何电路配置,只要所输入的信号被延迟输出。特别地,图7A所示的电路能够应用于该实施方式中的触发器。

[0103] 图7A所示的第一触发器(FF1)包括晶体管131到134。注意,在这种情况下,晶体管131到134是n沟道晶体管。

[0104] 晶体管131的栅极端子和第一端子与起始脉冲线电连接。

[0105] 晶体管132的栅极端子与第二触发器(FF2)的输出端子电连接,晶体管132的第一端子与晶体管131的第二端子电连接,以及晶体管132的第二端子与低电源电位线电连接。

[0106] 晶体管133的栅极端子与晶体管131的第二端子以及晶体管132的第一端子电连接,以及晶体管133的第一端子与第一脉冲信号线(PS1)电连接。

[0107] 晶体管134的栅极端子与第二触发器(FF2)的输出端子电连接,晶体管134的第一端子与晶体管133的第二端子电连接,以及晶体管134的第二端子与低电源电位线电连接。

[0108] 注意,为了方便起见,以下将晶体管131的第二端子、晶体管132的第一端子以及晶体管133的栅极端子彼此电连接的节点称为节点C。

[0109] 以下参照图7B来描述图7A所示的第一触发器(FF1)的操作。

[0110] 首先,与第一触发器(FF1)电连接的起始脉冲线的电位被提高到H电平。因此,H电平信号被输入到晶体管131的栅极端子以及晶体管131的第一端子,并且以二极管方式连接的晶体管131被导通。因而,节点C的电位被提高至H电平。因此,晶体管133同样被导通。结果,作为第一脉冲信号线(PS1)在该时段中的电位的L电平电位作为第一触发器的输出信号

(FF1out) 被输出。

[0111] 在随后的时段内,起始脉冲线的电位被降低至L电平。因而,晶体管131被关断。结果,节点C的电位进入浮置状态。此时,在晶体管131的源极端子与栅极端子之间存在从L电平到H电位的电位差,并且该电位差被维持,因为节点C进入了浮置状态。也就是说,不论源极端子的状态如何,晶体管131被保持导通。而且,第一脉冲信号线(PS1)的电位被提高至H电平。因而,处于浮置状态并且与晶体管133的栅极端子电连接的节点C的电位在该时段内进一步增加了第一脉冲信号线(PS1)的H电平电位。因此,作为第一脉冲信号线(PS1)的电位的H电平电位作为第一触发器的输出信号(FF1out)被输出。

[0112] 作为第一触发器(FF1)的输出信号的H电平信号被输入到第二触发器(FF2)。在这种情况下,除了第四脉冲信号线(PS4)代替第一脉冲信号线(PS1)与第二触发器(FF2)电连接之外,第二触发器(FF2)具有与第一触发器(FF1)的结构相同的结构。因而,关于第一触发器(FF1)的上述描述适用于第二触发器(FF2)的电路操作的详细描述。在该时段内,第二触发器(FF2)输出在本时段内作为第四脉冲信号线(PS4)的电位的L电平电位。

[0113] 在随后的时段内,第一脉冲信号线(PS1)的电位被降低至L电平,并且第四脉冲信号线(PS4)的电位被提高至H电平。结果,第一触发器的输出信号(FF1out)被降低至L电平。作为第四脉冲信号线(PS4)的电位的H电平电位,作为第二触发器的输出信号(FF2out)被输出。

[0114] 第二触发器的输出信号(FF2out)被输入到第三触发器(没有示出)以及包含于第一触发器(FF1)中的晶体管132和134的栅极端子。因而,包含于第一触发器(FF1)中的晶体管132和134被导通。因此,晶体管132的栅极端子(节点C)的电位被设置为L电平,以及第一触发器的输出信号(FF1out)被从在本时段中的第一脉冲信号线(PS1)的L电平(经由晶体管133)改变为低电源电位(VSS)的L电平(经由晶体管134)。

[0115] 在随后的时段内,第四脉冲信号线(PS4)的电位被降低至L电平。也就是说,第二触发器的输出信号(FF2out)被降低至L电平。因而,包含于第一触发器(FF1)中的晶体管132和134被关断。该状态持续下去,直到H电平电位被再次输入到第一触发器(FF1)的输入端子。

[0116] 按照上述方式,图7A所示的第一触发器(FF1)能够输出按照半个时钟周期的延迟输入的信号。因此,第一触发器(FF1)能够应用于该实施方式中的触发器。

[0117] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0118] (实施方式2)

[0119] 在该实施方式中,将描述可应用于实施方式1中所描述的移位寄存器的晶体管的实例。

[0120] 该实施方式的晶体管的结构的实例将参照图8A到8C来描述。图8A到8C示出了该实施方式的晶体管的结构的实例。图8A是顶视图,图8B是沿着图8A中的线Z1-Z2所截取的截面图。

[0121] 在图8A和8B中的晶体管包括在基板201之上的导电层211、在导电层211之上的绝缘层202、在绝缘层202之上的氧化物半导体层213以及在氧化物半导体层213之上的导电层215a和导电层215b。

[0122] 注意,在该晶体管中,导电层211用作栅极端子,绝缘层202用作栅极绝缘层,导电

层215a和215b之一用作源极端子,以及导电层215a和215b中的另一个用作漏极端子。氧化物半导体层213包括沟道形成区。氧化物半导体层213在形成时进行脱水或脱氢处理。

[0123] 此外,对于在图8A和8B中的晶体管,氧化物半导体层213进行脱水或脱氢处理,而且,氧化物绝缘层207被形成为与氧化物半导体层213的一部分接触。在包含作为沟道形成区的氧化物半导体层213的晶体管中(在该晶体管中氧化物绝缘层207进行了脱水或脱氢处理之后形成),因长期使用及大负载所致的阈值电压(V_{th})偏移几乎没有发生并因而可靠性是较高。

[0124] 注意,氮化物绝缘层可以设置于氧化物绝缘层207之上。优选的是,氮化物绝缘层与设置于氧化物绝缘层207之下的绝缘层202或者用作基底的绝缘层接触,从而防止诸如水分、氢离子或 OH^- 之类的杂质从基板的侧表面附近进入。特别地,将氮化硅层用于与氧化物绝缘层207或用作基底的绝缘层接触的绝缘层202是有效的。也就是说,当氮化硅层被设置成包围氧化物半导体层213的下表面、上表面及侧表面时,晶体管的可靠性被提高。

[0125] 此外,还可以将平坦化绝缘层设置于氧化物绝缘层207之上(在设置氮化物绝缘层的情况下,设置于氮化物绝缘层之上)。

[0126] 作为选择,如图8C所示,晶体管可以具有以下结构,其中:氧化物导电层214a和氧化物导电层214b被设置于氧化物半导体层213的某些部分之上,导电层215a被设置成与氧化物导电层214a接触,以及导电层215b被设置成与氧化物导电层214b接触。

[0127] 氧化物导电层214a和氧化物导电层214b具有比氧化物导电层213的电导率高的电导率,并且用作晶体管251的源极区(也称为低电阻源极区)和漏极区(也称为低电阻漏极区)。

[0128] 作为用来形成氧化物导电层214a和氧化物导电层214b的氧化物导电膜的材料,能够使用具有对于可见光的透光性质的导电材料,例如,基于In-Sn-Zn-O的金属氧化物、基于In-Al-Zn-O的金属氧化物、基于Sn-Ga-Zn-O的金属氧化物、基于Al-Ga-Zn-O的金属氧化物、基于Sn-Al-Zn-O的金属氧化物、基于In-Zn-O的金属氧化物、基于Sn-Zn-O的金属氧化物、基于Al-Zn-O的金属氧化物、基于In-Sn-O的金属氧化物、基于In-O的金属氧化物、基于Sn-O的金属氧化物或基于Zn-O的金属氧化物。氧化物导电膜的厚度在大于等于1nm且小于等于300nm的范围内适当地选择。在使用溅射法的情况下,膜沉积使用含有重量百分比大于等于2%且小于等于10%的 SiO_2 的靶来执行,使得在透光导电膜中含有阻碍结晶的 SiO_x ($x > 0$)。因而,能够防止氧化物半导体层213在稍后要执行的用于脱水或脱氢的热处理中晶化。

[0129] 例如,在基于In-Ga-Zn-O的膜被用于氧化物半导体层的情形中,用作沟道形成区的氧化物半导体层213以及氧化物导电层214a和氧化物导电层214b能够在不同的沉积条件下分开形成。

[0130] 例如,在沉积通过溅射法来执行的情形中,使用在氩气中所形成的氧化物半导体膜形成的氧化物导电层214a和氧化物导电层214b各自具有n型导电性以及大于等于0.01eV且小于等于0.1eV的激活能(ΔE)。

[0131] 注意,在该实施方式中,氧化物导电层214a和214b是基于In-Ga-Zn-O的膜并且至少包含非晶成分。而且,氧化物导电层214a和213b可以包含晶粒(纳米晶体)。在氧化物导电层214a和214b中的晶粒具有大约1nm-10nm的直径,典型为大约2nm-4nm的直径。

[0132] 氧化物导电层214a和214b并不一定要设置,但是当氧化物导电层214a和214b被设

置于用作沟道形成区的氧化物半导体层213与用作源极端子和漏极端子的导电层215a到215d之间时,能够获得良好的电连接并且晶体管251能够稳定地操作。此外,即使在漏极电压为高时也能够维持极好的迁移率。

[0133] 作为选择,在图8A和8B中的晶体管可以具有在图9A和9B中的结构,在该结构中,导电层217被设置于氧化物半导体层213之上,在它们之间设有氧化物绝缘层207(在设置氮化物绝缘层的情况下,在它们之间设有氧化物绝缘层207和氮化物绝缘层)。图9A和9B示出了该实施方式的晶体管的结构的实例。图9A是晶体管的顶视图,以及图9B是沿着图9A中的线Z1-Z2所截取的截面图。导电层217起着第二栅极端子的作用。第二栅极电压被施加于导电层217,借此能够控制晶体管251的阈值电压。在设置平坦化绝缘层的情况下,能够将导电层217设置于平坦化绝缘层之上。

[0134] 例如,当第二栅极端子的电压高于源极端子的电压时,晶体管的阈值电压偏移至负侧;当电压低于源极端子的电压时,晶体管的阈值电压偏移至正侧。

[0135] 如作为实例的图8A到8C和图9A和9B所示,该实施方式的晶体管是各自包含用作沟道形成区的氧化物半导体层的晶体管。因此,所述晶体管具有比在沟道形成区内含有非晶硅的常规晶体管的迁移率高的迁移率,并且因而可以进行高速操作。

[0136] 在图8A和8C中的多个晶体管被使用的情况下的一种实施方式将参照图10A和10B来描述。例如,图10A和10B示出了可应用于本发明的一种实施方式的移位寄存器的多个晶体管的结构。图10A是两个晶体管的顶视图,图10B是沿着图10A中的线X1-X2所截取的截面图。

[0137] 在图10A中示出了晶体管251和晶体管252。注意,作为示例,示出了氧化物导电层被设置于氧化物半导体层与用作源极端子或漏极端子的导电层之间的结构。

[0138] 晶体管251是图8A和8C所示的晶体管。因此,参考以上的描述。

[0139] 晶体管252包括在基板201之上的导电层211、在导电层211之上的绝缘层202、在绝缘层202之上的氧化物半导体层213、在氧化物半导体层213之上的氧化物导电层214a和214b、以及导电层215a和215b。

[0140] 在晶体管252中,导电层211用作栅极端子,绝缘层202用作栅极绝缘层,其电导率高于氧化物半导体层213的电导率的氧化物导电层214a和214b各自用作源极区(也称为低电阻源极区)或漏极区(也称为低电阻漏极区),以及导电层215a和215b各自用作源极端子或漏极端子。氧化物半导体层213包括沟道形成区。注意,氧化物半导体层213在氧化物半导体层213形成时进行脱水或脱氢处理。

[0141] 除了对氧化物半导体层进行脱水或脱氢处理之外,在图10A和10B中的晶体管251和252还被设置有氧化物绝缘层207,分别与氧化物半导体层213的一部分以及氧化物半导体层2132的一部分接触。

[0142] 此外,晶体管251的导电层211在形成于栅极绝缘层202中的开口部分内与导电层215b接触。因此,能够获得良好的接触,这导致接触电阻的降低。因而,开口的数量能够得以减少,这使得由开口所占用的面积的减小。因此,例如,能够形成具有这种使用两个晶体管的结构的逻辑电路(例如,逆变器)。

[0143] 如图10A和10B所示,在实施方式1所描述的移位寄存器中,用作晶体管的栅极端子的导电层可以电连接至在形成于用作栅极绝缘层的绝缘层中的开关部分中的另一晶体管

的源极端子或漏极端子

[0144] 然后,参照图11A到11D来描述一种用于制造图8A和8B所示的晶体管的方法的实例。图11A到11D是示出一种用于制造图8A和8B所示的晶体管的方法的实例的截面图。

[0145] 在以下的描述中,词“膜”意指形成于将要在后续的光刻步骤等中被处理成所期望的形状的基板的整个表面之上的某物,以及在该处理之前的某物。词“层”意指通过以光刻步骤等将“膜”处理并成型为所期望的形状而获得的某物,或者将要形成于基板的整个表面之上的某物。

[0146] 首先,制备基板201。在基板201之上形成导电膜,并且然后通过第一光刻步骤来形成导电层211(参见图11A)。注意,优选使导电层211逐渐变小。当使导电层211逐渐变小时,能够提高在导电层211与形成于导电层211之上的膜之间的粘附力。

[0147] 基板201需要具有绝缘表面以及高到足以至少耐受稍后要执行的热处理的耐热性。例如,作为基板201,能够使用玻璃基板等。

[0148] 作为玻璃基板,在稍后要执行的热处理的温度高的情况下,优选使用其应变点为730°C或更高的玻璃基板。作为玻璃基板,使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃之类的玻璃材料。一般地,通过包含量比硼酸(B_2O_3)的量更大的量的氧化钡(BaO),能够获得更实用的耐热玻璃。因此,优选使用含有 BaO 和 B_2O_3 、且 BaO 的量大于 B_2O_3 的量的玻璃基板

[0149] 注意,由绝缘体形成的基板(例如,陶瓷基板、石英基板或蓝宝石基板)可以用于基板201,代替玻璃基板。作为选择,可以使用晶化玻璃基板等。

[0150] 用作基层的绝缘层可以设置于基板201与导电层211之间。基层具有防止杂质元素从基板201扩散的功能,并且能够被形成为具有氮化硅层、氧化硅层、氮氧化硅层和氧氮化硅层中的一层或多层的单层结构或叠层结构。

[0151] 作为用于形成导电层211的导电膜的材料实例,能够使用金属材料,例如,钼、钛、铬、钽、钨、铝、铜、钨或钽,或者含有这些材料中的任意材料作为主要成分的合金材料。用于形成导电层211的导电膜能够以含有这些材料中的一种或多种的单层膜或者它们的叠层膜来形成。

[0152] 作为用于形成导电层211的导电膜,优选使用其中钛层、铝层及钛层依次堆叠的三个层的叠层膜,或者其中钼层、铝层及钼层依次堆叠的三个层的叠层膜。同样能够将单层膜、两个层的叠层膜或者四个或更多层的叠层膜用作导电膜。当钛膜、铝膜及钛膜的叠层导电膜被用作导电膜时,能够通过利用氯气的干法蚀刻方法来执行蚀刻。

[0153] 然后,在导电层211之上形成绝缘层202。

[0154] 绝缘层202能够通过等离子体CVD法、溅射法等形成为具有氧化硅层、氮化硅层、氧氮化硅或氮氧化硅层的单层或者它们的叠层。例如,氧氮化硅可以使用 SiH_4 、氧及氮作为沉积气体通过等离子体CVD法来形成。绝缘层202的厚度大于等于100nm且小于等于500nm;在绝缘层202使用叠层来形成的情形中,例如,具有大于等于50nm且小于等于200nm的厚度的第一绝缘层以及具有大于等于5nm且小于等于300nm的厚度的第二绝缘层被堆叠。当使用以磷或硼掺杂的硅靶形成的氧化硅膜被用于绝缘层202时,能够抑制杂质(诸如水分、氢离子和 OH^-)的进入。

[0155] 在该实施方式中,例如,绝缘层202使用厚度为200nm的氮化硅膜通过等离子体CVD

法来形成。

[0156] 然后,在绝缘层202之上形成氧化物半导体膜。氧化物半导体膜的厚度优选大于等于2nm且小于或等200nm。例如,当氧化物半导体膜的厚度小到50nm或更小时,氧化物半导体膜即使当用于脱水或脱氢的热处理在氧化物半导体膜形成之后执行时也能够处于非晶状态。通过使氧化物半导体膜的厚度变小,能够在热处理于氧化物半导体膜形成之后执行时抑制氧化物半导体膜的晶化。

[0157] 注意,在氧化物半导体膜通过溅射法来形成之前,附着于绝缘层202的表面的粒子可以通过其中引入了氩气并且生成了等离子体的反溅射来去除。反溅射指的是这样一种方法:在没有对靶侧施加电压的情况下,RF功率源被用来在氩气氛中对基板侧施加电压使得等离子体在基板附近生成以使表面改变。注意,代替氩气氛,可以使用氮气氛、氦气氛、氧气氛等。

[0158] 作为氧化物半导体膜,能够使用以下任意一种:基于In-Ga-Zn-O的氧化物半导体膜、基于In-Sn-Zn-O的氧化物半导体膜、基于In-Al-Zn-O的氧化物半导体膜、基于Sn-Ga-Zn-O的氧化物半导体膜、基于Al-Ga-Zn-O的氧化物半导体膜、基于Sn-Al-Zn-O的氧化物半导体膜、基于In-Zn-O的氧化物半导体膜、基于Sn-Zn-O的氧化物半导体膜、基于Al-Zn-O的氧化物半导体膜、基于In-Sn-O的氧化物半导体膜、基于In-O的氧化物半导体膜、基于Sn-O的氧化物半导体膜和基于Zn-O的氧化物半导体膜。在该实施方式中,氧化物半导体膜使用基于In-Ga-Zn-O的金属氧化物半导体靶通过溅射法来形成。作为选择,氧化物半导体膜能够通过溅射法在稀有气体(典型为氩)气氛、氧气氛或稀有气体(典型为氩)和氧的混合气氛中形成。在使用溅射法的情况下,膜沉积可以使用含有重量百分比大于等于2%且小于等于10%的SiO₂的靶来进行,并且在氧化物半导体膜中可以含有阻碍结晶的SiO_x(x>0)。因此,在稍后将要执行的用于脱水或脱氢的热处理中能够抑制氧化物半导体层的晶化。

[0159] 在此,氧化物半导体膜通过在下列条件下将金属氧化物半导体靶用于包含In、Ga和Zn(按照In₂O₃:Ga₂O₃:ZnO=1:1:1[摩尔],In:Ga:Zn=1:1:0.5[原子]的组成比)的膜沉积来形成:在基板与靶之间的距离为100mm,压力为0.6Pa,直流(DC)电源为0.5kW,以及气氛是氧(氧流量的比例为100%)。注意,脉冲直流(DC)电源是优选的,因为在膜沉积时所生成的粉末物质(也称为粒子)能够被减少并且能够使膜的厚度变得均匀。在该实施方式中,作为氧化物半导体膜,基于In-Ga-Zn-O的膜借助于膜沉积的基于In-Ga-Zn-O的金属氧化物半导体靶通过溅射法来形成。

[0160] 作为金属氧化物半导体靶的组成比,能够使用In₂O₃:Ga₂O₃:ZnO=1:1:0.5[摩尔]、In₂O₃:Ga₂O₃:ZnO=1:1:0.25[原子],In₂O₃:Ga₂O₃:ZnO=1:1:2[摩尔]、In₂O₃:Ga₂O₃:ZnO=1:1:1[原子]等来代替上述组成比。

[0161] 溅射法的实例包括将高频功率源用作溅射功率源的RF溅射法、DC溅射法、以及偏压以脉冲方式来施加的脉冲DC溅射法。RF溅射法主要在形成绝缘膜的情形中使用,以及DC溅射法主要在形成金属导电膜的情形中使用。

[0162] 此外,还有其中能够设置多个不同材料的靶的多源溅射设备。通过多源溅射设备,能够形成在同一腔室内堆叠的不同材料的膜,或者能够通过放电在同一腔室内同时形成多种材料的膜。

[0163] 而且,还有在腔室内设置有磁体系统且用于磁控溅射法的溅射设备,以及用于其

中在没有使用辉光放电的情况下使用借助微波生成的等离子体的ECR溅射法的溅射设备。

[0164] 作为使用溅射法的膜沉积方法,有其中靶物质和溅射气体成分在膜形成期间彼此化学反应以形成它们的化合物的薄膜的反应溅射法,以及其中在膜形成期间还将电压施加于基板的偏压溅射法。

[0165] 作为在执行溅射的沉积腔室的排空设备,优选使用低温泵。当低温泵被用于排空时,能够去除沉积腔室中的杂质(例如,水分)。

[0166] 然后,通过第二光刻步骤将氧化物半导体膜处理成岛状以形成氧化物半导体层213(参见图11B)。注意,在第二光刻步骤之后,氧化物半导体层213可以在惰性气体气氛(例如,氮、氩、氦或氙)中进行热处理(在大于等于400°C且低于750°C的温度下),从而去除在该导电层内所含有的杂质(例如,氢和水)。

[0167] 然后,使氧化物半导体层213脱水或脱氢。用于脱水或脱氢的第一热处理在大于等于400°C且低于750°C,优选地大于等于425°C且低于750°C的温度下执行。注意,在温度为425°C或更高的情形中,热处理时间可以是1小时或更短,然而在温度低于425°C的情形中,热处理时间长于1小时。在该实施方式中,基板被引入作为热处理设备之一的电炉内,并且在氮气气氛中对氧化物半导体层213执行热处理。然后,不将氧化物半导体层213暴露于空气中,这防止了水和氢进入氧化物半导体层213。在该实施方式中,缓慢冷却在一个炉子内进行,从氧化物半导体层213进行脱水或脱氢的加热温度到低至足以防止水再次进入的温度,尤其是到比加热温度低100°C或更多的温度。气氛并不仅限于氮气气氛,而是任何气氛都可以采用,只要它是惰性气体气氛,例如氮、氩或氙。

[0168] 注意,热处理设备并不限于电炉,而是可以具有用于通过来自加热元件(例如,电阻加热元件)的热传导或热辐射来加热物体的装置。例如,能够使用诸如气体快速热退火(GRTA)设备或灯快速热退火(LRTA)设备之类的快速热退火(RTA)设备。LRTA设备是用于通过由灯(例如,卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯)发射出的光(电磁波)的辐射来加热待处理的物体的设备。GRTA设备是用于以高温气体来执行热处理的设备。作为气体,使用不与将通过热处理来处理的物体反应的惰性气体。例如,使用氮或稀有气体(例如,氩)。

[0169] 当氧化物半导体层213在大于等于400°C且低于750°C的温度下进行热处理时,能够实现氧化物半导体层的脱水或脱氢;因而,能够防止水(H₂O)稍后再次被包含于氧化物半导体层之内。

[0170] 在第一热处理中,优选的是,在氮或稀有气体(例如,氮、氩或氙)中不含水、氢气等。此外,被引入热处理设备之中的氮或稀有气体(例如,氮、氩或氙)的纯度优选为大于等于6N(99.9999%),更优选地为大于等于7N(99.99999%) (即,杂质浓度优选为小于等于1ppm,更优选地为小于等于0.1ppm)。

[0171] 氧化物半导体层213包含微晶粒和非晶区,或者只包含微晶粒,这取决于第一热处理的条件或者氧化物半导体层213的材料。例如,氧化物半导体层213可以变成具有90%或更高的,或者80%或更高的结晶度的微晶半导体层。此外,取决于第一热处理的条件或者氧化物半导体层213的材料,氧化物半导体层213可以变成不含晶粒的非晶氧化物半导体层。

[0172] 氧化物半导体层213在第一热处理之后被改变成缺氧型,以便成为低电阻。在第一

热处理之后的氧化物半导体膜与紧接在形成之后的氧化物半导体层相比具有更高的载流子浓度,并且优选地具有 $1 \times 10^{18}/\text{cm}^3$ 或更高的载流子浓度。

[0173] 注意,在某些情况下取决于第一热处理的条件或者取决于导电层211的材料,导电层211变成微晶层或多晶层。例如,在将氧化铟或氧化锡的合金的膜用作导电层211的情况下,通过在 450°C 的温度下进行1小时的第一热处理,导电层211被晶化,然而在将含有氧化硅的氧化铟和氧化锡的合金的膜用作导电层211的情况下,导电层211没有晶化。

[0174] 第一热处理能够对还没有被处理成岛状氧化物半导体层的氧化物半导体层213执行。在这种情况下,在第一热处理之后将基板从热处理设备中取出,并且然后执行光刻步骤。

[0175] 然后,在绝缘层202和氧化物半导体层213之上形成导电膜。

[0176] 对于导电膜,使用选自钛(Ti)、钼(Mo)、钨(W)、铝(Al)、铬(Cr)、铜(Cu)及钽(Ta)的元素,含有任意这些元素作为组分的合金,含有这些元素的任意组合的化合物等。导电膜并不仅限于含有以上元素的单层,而是能够形成为两个或更多层的叠层。在该实施方式中,形成了其中堆叠了钛膜(厚度为100nm)、铝膜(厚度为200nm)和钽膜(厚度为100nm)的三层型导电膜。可以使用氮化钛膜来代替钛膜。

[0177] 在后面执行 200°C - 600°C 的热处理的情形中,优选的是,导电膜具有高到足以经受住该热处理的耐热性。例如,优选的是使用其中添加了用于防止丘状突起(hillock)的元素的铝合金,或者堆叠有耐热导电膜的导电膜。作为导电膜的形成方法,可使用溅射法、真空蒸发法(例如,电子束蒸发法)、电弧放电离子镀法或喷射法。作为选择,导电膜可以通过以丝网印刷法、喷墨法等释放出银、金、铜等的导电纳米浆料以及烘焙该纳米浆料来形成。

[0178] 然后,执行第三光刻步骤,从而形成抗蚀剂掩膜233a和抗蚀剂掩膜233b。然后,选择性蚀刻导电膜,从而形成导电层215a和导电层215b(参见图11C)。

[0179] 在第三光刻步骤中,仅仅选择性地去除了位于氧化物半导体层213之上的那部分导电膜。例如,当氨-过氧化氢混合物(重量比为:过氧化氢:氨:水=5:2:2)等被用作碱性蚀刻剂以便选择性地去除只是位于基于In-Ga-Zn-O的氧化物半导体层之上的那部分金属导电膜时,能够选择性地去除金属导电膜,并且能够留下由氧化物半导体形成的氧化物半导体层。

[0180] 在第三光刻步骤中,取决于蚀刻条件,氧化物半导体层213的暴露区域在某些情况下被蚀刻。在这种情况下,在夹于导电层215a与导电层215b之间的区域中的氧化物半导体层比在在与在导电层211之上的导电层215a和导电层215b重叠的区域中的氧化物半导体层薄。

[0181] 然后,在绝缘层202和氧化物半导体层313之上形成氧化物绝缘层207。在该阶段,氧化物半导体层213的一部分与氧化物绝缘层207接触。注意,氧化物半导体层中与导电层211重叠(在它们之间具有导电层202)的区域是沟道形成区。

[0182] 氧化物绝缘层207能够通过没有将诸如水和氢之类的杂质混合到氧化物绝缘层之中的方法(例如,溅射法)适当地形成为具有至少1nm的厚度。在该实施方式中,通过溅射法将氧化硅膜形成为氧化物绝缘层。沉积时的基板温度可以高于或等于室温且低于或等于 300°C 。基板的温度在该实施方式中为 100°C 。氧化硅膜能够通过溅射法在稀有气体(典型为氩)气氛、氧气氛或者含有稀有气体(典型为氩)和氧的气氛中形成。而且,能够将氧化硅靶

或硅靶用作靶。例如,使用硅靶,能够通过溅射法在含有氧和稀有气体的混合气氛中形成氧化硅膜。被形成为与其电阻被降低的氧化物半导体层接触的氧化物绝缘膜使用无机绝缘膜来形成,该无机绝缘膜不含有诸如水分、氢离子和OH⁻之类的杂质并且阻挡此类杂质从外部进入;氧化硅膜、氮氧化硅膜、氧化铝膜、氧氮化铝膜等通常被使用。注意,通过溅射法形成的氧化物绝缘层是特别致密的,并且即使单层也能够被用作用于抑制其中杂质扩散到与其接触的层中的现象的保护膜。此外,能够使用以磷(P)或硼(B)掺杂的靶,使得磷(P)或硼(B)被添加至氧化物绝缘层中。

[0183] 在该实施方式中,膜沉积使用具有6N纯度的掺杂硼的柱状多晶硅靶(电阻率为0.01 Ω·cm)通过脉冲DC溅射法来执行,其中在基板与靶之间的距离(T-S距离)是89mm,压力是0.4Pa,直流(DC)功率源是6kW,以及气氛是氧(氧气流的比例为100%)。该膜的厚度为300nm。

[0184] 氧化物绝缘层207被设置于氧化物半导体层213的沟道形成区之上并且同样起着沟道形成区的作用。

[0185] 然后,可以在惰性气体气氛或氮气气氛中执行第二热处理(例如,在高于或等于200°C且低于或等于400°C的温度下,优选地,在高于或等于250°C且低于或等于350°C的温度下)。例如,第二热处理在氮气气氛中于250°C的温度下执行1小时。当第二热处理被执行时,氧化物半导体层213在它的一部分与氧化物绝缘层207接触以及它的其他部分与导电层215a和215b接触的情况下被加热。

[0186] 当第二热处理在其电阻于第一热处理中被降低的氧化物半导体层213与氧化物绝缘层207接触的情况下执行时,与氧化物绝缘层207接触的区域变成为过氧状态。因此,氧化物半导体层213中与氧化物绝缘层207接触的区域沿着氧化物半导体层213的深度方向增加电阻(变成i型)(参见图11D)。

[0187] 执行第二热处理的时刻并不限于紧接在第三光刻步骤之后的时刻,只要它在第三光刻步骤之后即可。

[0188] 因而,在图8A和8B中示出晶体管。

[0189] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0190] (实施方式3)

[0191] 在该实施方式中,将描述可应用于实施方式1中所描述的移位寄存器且与实施方式2中所描述的晶体管不同的晶体管的另一个实例。

[0192] 该实施方式的晶体管的结构的实例将参照图12A和12B来描述。图12A和12B示出了该实施方式的晶体管的结构的实例。图12A是该晶体管的顶视图,以及图12B是沿着图12A的线Z1-Z2所截取的截面图。

[0193] 图12A和12B所示的晶体管包括在基板201之上的导电层211、在导电层211之上的绝缘层202、在绝缘层202之上的导电层215a和215b、在导电层202以及导电层215a和215b之上的氧化物半导体层213。

[0194] 在该晶体管中,导电层211用作栅极端子,绝缘层202用作栅极绝缘层,导电层215a和215b之一用作源极端子,以及导电层215a和215b中的另一个用作漏极端子。氧化物半导体层213包括沟道形成区。注意,氧化物半导体层213在氧化物半导体层213形成时进行脱水

或脱氢处理。

[0195] 此外,对于图12A和12B中的晶体管,氧化物半导体层213进行了脱水或脱氢处理,而且,氧化物绝缘层207被形成为与氧化物半导体层213的一部分接触。包含作为沟道形成区的氧化物半导体层213的晶体管具有高可靠性,因为由长期使用或高负载所致的阈值电压(V_{th})偏移几乎没有发生,其中该氧化物半导体层213进行了脱水或脱氢处理并且然后与形成于其上的氧化物绝缘层207接触。

[0196] 注意,氮化物绝缘层可以设置于氧化物绝缘层207之上。优选的是,该氮化物绝缘层与设置于氧化物绝缘层207之下的绝缘层202或者用作基底的绝缘层接触,从而防止来自基板的侧表面附近的诸如水分、氢离子和OH⁻之类的杂质进入。特别地,将氮化硅层用于与氧化物绝缘层207接触的绝缘层202或者用于用作基底的绝缘层是有效的。也就是,当氮化硅层设置成包围氧化物半导体层213的下表面、上表面及侧表面时,晶体管的可靠性被提高。

[0197] 此外,还可以将平坦化绝缘层设置于氧化物绝缘层207之上(在氮化物绝缘层被设置的情形中,设置于氮化物绝缘层之上)。

[0198] 如同在图9A和9B中那样,在图12A和12B中的晶体管251可以具有以下结构:导电层被设置于与在氧化物绝缘层207之上(在平坦化绝缘层被设置的情形中,在平坦化绝缘层之上)的氧化物半导体层213重叠的区域内。该导电层用作第二栅极端子。第二栅极电压被施加于该导电层,由此能够控制晶体管的阈值电压。

[0199] 注意,平坦化绝缘层并不一定要设置。当没有设置平坦化绝缘层时,用作第二栅极端子的导电层能够形成于氧化物绝缘层207之上(在形成了氮化物绝缘层的情形中,形成于氮化物绝缘层之上)。

[0200] 例如,当第二栅极端子的电位高于源极端子的电位时,晶体管的阈值电压沿负方向偏移。当第二栅极端子的电位低于源极端子的电位时,晶体管的阈值电压沿正方向偏移。

[0201] 如图12A和12B所示,该实施方式的晶体管是所谓的底接触式晶体管,在该晶体管中氧化物半导体层被设置于用作源极端子或漏极端子的导电层之上。因此,由于该实施方式的晶体管具有比在沟道形成区内含有非晶硅的常规晶体管的迁移率更高的迁移率,因此能够执行高速操作。此外,还应用了底接触式晶体管,从而能够增加氧化物半导体层与用作源极端子或漏极端子的导电层接触的面积,从而防止剥离等。

[0202] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0203] (实施方式4)

[0204] 在该实施方式中,将描述可应用于实施方式1所描述的移位寄存器且与实施方式2和3所描述的晶体管不同的晶体管的另一个实例。

[0205] 该实施方式的晶体管的结构实例将参考图13A和13B来描述。图13A和13B示出了该实施方式的晶体管的结构实例。图13A顶视图,以及图13B是沿着图13A中的线Z1-Z2所截取的截面图。

[0206] 如同图8A到8C所示的晶体管那样,图13A和13B所示的晶体管包括在基板201之上的导电层211、在导电层211之上的绝缘层202、在绝缘层202之上的氧化物半导体层213、在氧化物半导体层213之上的导电层215a和导电层215b。

[0207] 在该晶体管中,导电层211用作栅极端子,绝缘层202用作栅极绝缘层,导电层215a和215b之一用作源极端子,以及导电层215a和215b中的另一个用作漏极端子。氧化物半导体层213包括沟道形成区。注意,氧化物半导体层213在氧化物半导体层213形成时进行了脱水或脱氢处理。

[0208] 此外,对于图13A和13B所示的晶体管,氧化物半导体层213进行了脱水或脱氢处理,而且,氧化物绝缘层207被设置于导电层215a和215b之上,使得氧化物绝缘层207与氧化物半导体层213的一部分接触。在图13A和13B中的氧化物绝缘层207具有沟道保护层的作用。

[0209] 可以在氧化物绝缘层207以及导电层215a和215b之上设置氮化物绝缘层。优选的是,氮化物绝缘层207与设置于氧化物绝缘层207之下的绝缘层202或者用作基底的绝缘层接触,从而防止来自基板的侧表面附近的诸如例如,水分、氢离子和OH⁻之类的杂质进入。特别地,将氮化硅层用于与氧化物绝缘层207接触的绝缘层202或者用于用作基底的绝缘层是有效的。也就是说,当氮化硅层设置成包围氧化物半导体层213的下表面、上表面及侧表面时,晶体管的可靠性被提高。

[0210] 此外,还可以将平坦化绝缘层设置于氧化物绝缘层207以及导电层215a和215b之上(在氮化物绝缘层被设置的情形中,设置于氮化物绝缘层之上)。

[0211] 此外,还可以将导电层设置于氧化物绝缘层207之上(在平坦化绝缘层被设置的情形中,设置于平坦化绝缘层之上),从而使氧化物绝缘层207夹在该导电层与氧化物半导体层213之间。该导电层用作第二栅极端子。第二栅极电压被施加于该导电层,由此能够控制晶体管251的阈值电压。

[0212] 注意,平坦化绝缘层并不一定要设置。当没有设置平坦化绝缘层时,能够将导电层形成于氧化物绝缘层207之上(在形成了氮化物绝缘层的情形中,形成于氮化物绝缘层之上)。

[0213] 例如,当第二栅极端子的电位高于源极端子的电位时,晶体管的阈值电压沿负方向偏移。当第二栅极端子的电位低于源极端子的电位时,晶体管的阈值电压沿正方向偏移。

[0214] 此外,如同图8C的晶体管那样,该实施方式的晶体管可以具有以下结构:用作缓冲层的一对氧化物导电层被设置于氧化物半导体层213的某些部分之上,以及用作一对电极的导电层215a和215b被设置成与该对氧化物导电层接触。

[0215] 如上所述,该实施方式的晶体管是所谓的沟道保护晶体管,其中每个沟道保护晶体管都包含用作在氧化物半导体层的一部分之上的沟道形成层的绝缘层。因此,该晶体管具有比在沟道形成区内含有非晶硅的常规晶体管的迁移率更高的迁移率,并且因而可以进行高速操作。

[0216] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0217] (实施方式5)

[0218] 在该实施方式中,参照图14A到14C来描述包括实施方式1所描述的移位寄存器的显示装置的实例。

[0219] 多种显示装置(例如,液晶显示装置或电致发光(以下也称为EL)显示装置)作为包括实施方式1所描述的移位寄存器的显示装置而被给出。在该实施方式中的显示装置的结

构参照图14A来描述。图14A是示出该实施方式中的显示装置的结构框图。

[0220] 图14A所示的显示装置包括像素部分701、扫描线驱动电路702及信号线驱动电路703。

[0221] 像素部分701具有其中设置有多个像素704的点阵结构。特别地，多个像素704按照行和列的方向来排布。每个像素704通过扫描线705与扫描线驱动电路702电连接，以及通过信号线706与信号线驱动电路703电连接。

[0222] 扫描线驱动电路702是用于选择数据信号所要输入的像素704的电路，并且通过扫描线705将选择信号输出到像素704。

[0223] 信号线驱动电路703是用于将写入像素704的数据作为信号来输出的电路，并且通过信号线706将像素数据作为信号输出到由扫描线驱动电路702所选出的像素704。

[0224] 像素704至少包括显示元件和开关元件。例如能够将液晶元件或发光元件（例如，EL元件）应用于显示元件。例如能够将晶体管应用于开关元件。

[0225] 然后，参照图14B和14C来描述扫描线驱动电路702和信号线驱动电路703的结构实例。图14B和14C是示出驱动电路的结构框图。图14B是示出扫描线驱动电路702的结构框图。图14C是示出信号线驱动电路703的结构框图。

[0226] 如图14B所示，扫描线驱动电路702包括移位寄存器900、电平移位器901和缓冲器902。

[0227] 信号（例如，扫描线驱动电路起始脉冲信号（GSP）和扫描线驱动电路参考时钟信号（GCK））被输入到移位寄存器900，并且选择信号由顺序逻辑电路按顺序输出。如实施方式1所说明的那样，移位寄存器900在该实施方式中包括用于在操作时段的部分时间内供应扫描线驱动电路参考时钟信号（GCK）的多条布线。

[0228] 如图14C所示，信号线驱动电路703包括移位寄存器903、第一锁存电路904、第二锁存电路905、电平移位器906和缓冲器907。

[0229] 信号（例如，信号线驱动电路起始脉冲信号（SSP）和信号线驱动电路参考时钟信号（SCK））被输入到移位寄存器903，并且选择信号由顺序逻辑电路按顺序输出。如同实施方式1那样，移位寄存器903在该实施方式中包括用以在操作时段的部分时间内供应信号线驱动电路参考时钟信号（SCK）的多条布线。

[0230] 注意，实施方式1所描述的移位寄存器可以仅用于移位寄存器900和移位寄存器903之一。

[0231] 数据信号（DATA）被输入到第一锁存电路904。第一锁存电路904能够使用逻辑电路来构成。

[0232] 缓冲器907具有放大信号的功能并且包括运算放大器等。缓冲器907能够使用逻辑电路来构成。

[0233] 第二锁存电路905能够临时性地保持锁存（LAT）信号并且将所保持的锁存信号一次性全部输出到图14A中的显示部分701。这称为线序驱动（line sequential driving）。因此，在使用执行线序驱动而非点序驱动（dot sequential driving）的像素的情况下，第二锁存电路905是不必要的。第二锁存电路905能够使用逻辑电路来构成。

[0234] 然后，描述在该实施方式中的显示装置的操作。

[0235] 首先，扫描线705由扫描线驱动电路702来选择。数据信号由信号线驱动电路703经

由信号线706输入到与所选的扫描线705电连接的像素704。因此,数据被写入到像素704,并且像素704进入显示状态。扫描线705由扫描线驱动电路702顺序地选择;因而,数据被写入到全部像素704。以上是在该实施方式中的显示装置的操作。

[0236] 图14A到14C所示的显示装置的电路能够被设置于一个基板之上。此外,图14A到14C所示的显示装置的电路还能够使用具有相同导电类型的晶体管来配置。将电路设置于一个基板之上使得显示装置的尺寸的减小,以及使用具有相同导电类型的晶体管能够简化处理。

[0237] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0238] (实施方式6)

[0239] 在该实施方式中,作为实施方式5所描述的显示装置的实例,将参照图15A到15C描述液晶显示装置。

[0240] 图15A是包含于该实施方式的液晶显示装置中的像素的电路图。图15A所示的像素包括晶体管821、液晶元件822和电容器823。

[0241] 晶体管821的栅极端子与扫描线804电连接,晶体管821的第一端子与信号线805电连接。注意,晶体管821作用于控制对包含于像素中的液晶元件822的电压施加的选择晶体管。

[0242] 液晶元件822的一个端子与晶体管821的第二端子电连接,以及液晶元件822的另一个端子与用于供应公共电位(Vcom)的布线(以下也称为公共电位线)电连接。液晶元件822包括用作一个端子的一部分或整体的第一电极,用作另一个端子的一部分或整体的第二电极,以及包含液晶分子的层(该层称为液晶层),其中所述液晶分子的配向通过在第一电极与第二电极之间施加电压来改变。

[0243] 电容器823的一个端子与晶体管821的第二端子电连接,以及电容器823的另一个端子与公共电位线电连接。电容器823包括用作一个端子的一部分或整体的第一电极,用作另一个端子的一部分或整体的第二电极,以及设置于第一电极与第二电极之间的电介质层。电容器823具有在像素中的储能电容器的功能。注意,虽然并不一定要设置电容器823,但是电容器823的设置能够减少由晶体管821的泄漏电流所致的不利影响。

[0244] 作为用于驱动该实施方式中的液晶显示装置的液晶的方法,给出了扭转向列(TN)模式、面内开关(IPS)模式、边缘场开关(FFS)模式、多畴垂直配向(MVA)模式、图形化垂直配向(PVA)模式、轴对称排列微单元(ASM)模式、光学补偿双折射(OCB)模式、铁电液晶(FLC)模式、反铁电液晶(AFLC)模式等。

[0245] 作为选择,可以使用不需要配向膜的蓝相液晶。蓝相是一种液晶相,并且仅在胆甾相液晶的温度上升时从胆甾相到均质相的相态转变之前出现。由于蓝相仅在窄小的温度范围内出现,因而将其中混合了重量百分比为5%或更多的手性材料的液晶合成物用于液晶层,以便增大温度范围。含有蓝相液晶和手性材料的液晶合成物具有下列特性:响应速度为10 μ s-100 μ s,这是短的;由于光学均质,因而配向处理是不必要的;以及视角依赖性低。

[0246] 当信号被输入到像素时,首先,选择数据所要写入的像素,并且在所选的像素中,晶体管821通过从扫描线804所输入的信号导通。

[0247] 此时,来自信号线805的数据信号经由晶体管821输入到像素,并且液晶元件822的

一个端子的电位对应于数据信号的电位。因此,液晶元件822的配向状态根据施加于一个端子与另一个端子之间的电压来设置。在数据写入之后,晶体管821通过从扫描线804输入的信号截止,液晶元件822的配向状态在显示时段内被维持,并且像素进入显示状态。以上操作在包含于液晶显示装置中的全部像素中对每条扫描线804顺序执行。

[0248] 在液晶显示装置中显示运动图像时,存在着由于液晶分子自身的慢响应而发生余像或运动模糊的问题。为了提高液晶显示装置的运动图像的特性,有一种称为黑色插入(black insertion)的驱动技术,在该驱动技术中,整个屏幕每隔一帧就显示为黑色。

[0249] 此外,还有一种称为双倍帧率驱动的驱动技术,在该驱动技术中,垂直同步频率为正常垂直频率的1.5倍或更大,优选为2倍或更大。

[0250] 此外,为了提高液晶显示装置的运动图像的特性,存在一种驱动技术,在该驱动技术中,将多个LED(发光二极管)光源、多个EL光源等用作背光以形成面光源,以及形成面光源的光源在一个帧周期内间歇性地独立亮起。对于面光源,可以使用三种或更多种类的LED或者发射白光的LED。由于能够单独地控制多个LED,因而LED发射光的定时能够与液晶层的光调制改变的定时同步。在这种驱动技术中能够关闭一部分LED,从而能够降低功率消耗,特别是在显示其中黑色显示区域占据一个屏幕中的大片面积的图像的情况下。

[0251] 通过结合这些驱动技术,与常规液晶显示装置的显示特性相比,能够提高液晶显示装置的诸如运动图像特性之类的显示特性。

[0252] 然后,参照图15B和15C来描述包括以上像素的该实施方式的显示装置的结构。图15B和15C示出了该实施方式中的显示装置中的像素的结构。图15B是像素的顶视图,图15C是沿着图15B的线A1-A2和线B1-B2所截取的截面图。

[0253] 图15B和15C所示的液晶显示装置在截面A1-A2内包括设置于基板2000之上的导电层2001;设置于导电层2001之上的绝缘层2002;设置于绝缘层2002之上的氧化物半导体层2003;设置于氧化物半导体层2003之上的一对导电层2055a和2055b;设置于导电层2005a和2005b及氧化物半导体层2003之上的氧化物绝缘层2007;以及通过设置于氧化物绝缘层2007中的开口与导电层2005b接触的透明导电层2020。

[0254] 注意,导电层2001用作栅极端子,绝缘层2002用作栅极绝缘层,导电层2005a和2005b之一用作第一端子,以及导电层2005a和2005b中的另一个用作第二端子。虽然在此采用了实施方式2所描述的晶体管(参见图8B),但是同样能够将实施方式3或4所描述的晶体管用作该晶体管。

[0255] 图15B和15C所示的液晶显示装置在截面B1-B2内包括设置于基板2000之上的导电层2008;设置于导电层2008之上的绝缘层2002;设置于绝缘层2002之上的氧化物绝缘层2007;以及设置于氧化物绝缘层2007之上的透明导电层2020。

[0256] 此外,在该实施方式中的液晶显示装置还包括用作电极或用于连接柔性印制电路(FPC)的布线的导电层2022和透明导电层2029,导电层2023、导电层2024和透明导电层2028。

[0257] 透明导电层2020、2029和2028使用氧化铟(In_2O_3)、氧化铟和氧化锡的合金(In_2O_3 - SnO_2 ,也称为ITO)等通过溅射法、真空蒸发法等来形成。该材料利用基于盐酸的溶液来蚀刻。注意,由于ITO的蚀刻特别易于留下残留物,因而可以使用氧化铟和氧化锌的合金(In_2O_3 - ZnO)以便提高蚀刻加工性。

[0258] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0259] (实施方式7)

[0260] 在该实施方式中,作为实施方式5所描述的显示装置的实例,将参照图16A和16B以及图17A和17B描述包括利用电致发光的发光元件的发光显示装置。

[0261] 利用电致发光的发光元件按照发光材料是有机化合物还是无机化合物来划分。一般地,前者称为有机EL元件,而后者称为无机EL元件。

[0262] 在有机EL元件中,通过对发光元件施加电压,电子和空穴分别由一对电极注入到含有发光有机化合物的层中,并且流过电流。然后载流子(电子和空穴)重新结合,从而发射出光。基于这种机制,该发光元件被称为电流激发型发光元件。

[0263] 无机EL元件按照元件结构划分成分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件包括其中发光材料的粒子散布于粘结剂中的发光层,并且该发光层的发光机制是利用施主能级和受主能级的施主-受主重新结合发光。薄膜型无机EL元件具有其中发光层被夹在电介质层之间的结构,该电介质层进一步夹在电极之间,并且该发光层的发光机制是利用金属离子的内核层电子跃迁的局部发光。注意,有机EL元件在此被描述为发光元件。

[0264] 图16A是示出在该实施方式中的发光显示装置中的像素的电路配置的电路图。

[0265] 如图16A所示,在该实施方式中的显示装置的像素包括晶体管851、用作像素中的存储电容器的电容器852、晶体管853及发光元件854。

[0266] 晶体管851的栅极端子与扫描线855电连接。晶体管851的第一端子与信号线856电连接。

[0267] 电容器852的一个端子与晶体管851的第二端子电连接。电容器852的另一端子与低电源电位线电连接。

[0268] 晶体管853的栅极端子与晶体管851的第二端子以及电容器852的一个端子电连接。晶体管853的第一端子与低电源电位线电连接。

[0269] 发光元件854的第一端子与晶体管853的第二端子电连接。发光元件854的第二端子与高电源电位线电连接。

[0270] 当信号被输入到像素时,首先,选择数据要写入的像素。在所选的像素中,晶体管851通过扫描线855所输入的扫描信号来导通,并且为固定电压的视频信号(也称为数据信号)由信号线856输入到晶体管853的栅极端子。

[0271] 晶体管853通过响应于输入到栅极端子的数据信号的电位来导通或关断。此时,电流取决于在发光元件854的一个端子与另一个端子之间所施加的电压而流动,并且发光元件854发射光,光的亮度随流过其中的电流量而变。此外,晶体管853的栅极电压由电容器852保持一段时间;因而,发光元件854在一段时间内维持发光状态。

[0272] 当由信号线856输入到像素的数据信号是数字信号时,像素的发光状态通过晶体管的导通或关断来控制。因此,灰度(gradation)能够由面积比灰度级法(area ratio grayscale method)或时间比灰度级法(time ratio grayscale method)来表示。面积比灰度级法指的是一种驱动方法,通过该驱动方法,将一个像素划分成多个子像素并且具有图16A所示的结构的每个子像素基于数据信号来单独驱动从而表示出灰度。此外,时间比灰度

级法指的是一种驱动方法,通过该驱动方法,控制像素处于发光状态的时段从而表示出灰度。

[0273] 由于发光元件的响应速度高于液晶元件等的响应速度,因而与液晶元件相比,发光元件更适合于时间比灰度级法。特别地,当显示通过时间灰度级法来执行时,一个帧周期被划分成多个子帧周期。然后,根据视频信号,在每个子帧周期内控制发光元件的发光状态。通过将一个帧周期划分成多个子帧周期,像素在一个帧周期内实际发射光的时段的总长度能够利用视频信号来控制,并且能够表示灰度。

[0274] 然后,参照图16B到16D来描述发光元件的结构。在此,其中晶体管853为n沟道晶体管的像素的截面结构被作为实例来描述。注意,在图16B到16D所示的发光像素装置中所使用的晶体管853是驱动晶体管。

[0275] 为了提取由发光元件854所发射出的光,需要阳极和阴极中至少有一个是透明的。晶体管和发光元件被形成于基板之上。存在以下发光元件:具有其中光通过与基板相对的表面提取的顶发射结构的发光元件,具有其中光通过在基板一侧的表面提取的底发射结构的发光元件,以及具有其中光通过在基板一侧的表面以及与基板相对的表面提取的双发射结构的发光元件。本发明的像素结构能够应用于具有这些发射结构中的任一种结构的发光元件。

[0276] 以下参照图16B来描述具有顶发射结构的发光元件。

[0277] 图16B是其中作为驱动晶体管的晶体管853是n沟道晶体管并且由发光元件854所发射出的光穿过阳极7005情形下的像素的截面图。在图16B中,发光元件854的阴极7003与作为驱动电路的晶体管853相互电连接,并且发光层7004和阳极7005依次堆叠于阴极7003之上。作为阴极7003,任何导电膜都能够使用,只要它具有低功函数并且反射光即可。例如,优选使用Ca、Al、CaF、MgAg、AlLi等。发光层7004可以使用单层或者通过堆叠多个层来形成。当发光层7004使用多个层来形成时,发光层7004通过将电子注入层、电子传输层、发光层、空穴传输层和空穴注入层依次堆叠于阴极7003之上来形成。注意,并不一定要形成全部这些层。阳极7005使用透光性导电材料来形成,所述透光性导电材料例如以下材料:含有氧化铟的氧化铟、含有氧化铟的氧化铟锌、含有氧化铟的氧化铟锡、含有氧化铟的氧化铟锡(以下也称为ITO)、氧化铟锌或者其中添加了氧化硅的氧化铟锡。

[0278] 发光元件854对应于发光层7004夹在阴极7003与阳极7005之间的区域。在图16B所示的像素内,光从发光元件854射向阳极7005一侧,如箭头所示。

[0279] 然后,参照图16C来描述具有底发射结构的发光元件。图16C是其中晶体管853为n沟道晶体管并且光由发光元件854射向阴极7013一侧的像素的截面图。在图16C中,发光元件854的阴极7013形成于与晶体管853电连接的透光性导电层7017之上,以及发光层7014和阳极7015依次堆叠于阴极7013之上。注意,当阳极7015具有透光性质时,用于反射或阻挡光的阻光层7016可以这样形成覆盖阳极7015。如同图16B的情形那样,各种材料都能够用于阴极7013,只要该材料是具有低功函数的导电材料。注意,阴极7013具有能够透过光的厚度(优选地具有大约5nm-30nm)。例如,能够将20nm厚的铝层用作阴极7013。发光层7014可以使用单层或者通过堆叠多个层来形成,如同图16B那样。阳极7015并不一定要透射光,但是能够使用透光性导电材料来形成,如同图16B那样。阻光层7016能够使用例如反射光的金属等来形成;但是,本发明的实施方式并不限于金属。例如,能够使用其中添加了黑色颜料的树

脂。

[0280] 发光元件854对应于发光层7014夹在阴极7013和阳极7015之间的区域。在图16C所示的像素中,光从发光元件854射向阴极7013一侧,如箭头所示。

[0281] 然后,参照图16D来描述具有双发射结构的发光元件。在图16D中,发光元件854的阴极7023被形成于与晶体管853电连接的透光性导电层7027之上,以及发光层7024和阴极7025依次堆叠于阴极7023之上。如同图16B的情形那样,各种材料都能够用于阴极7023,只要该材料是具有低功函数的导电材料即可。注意,阴极7023具有能够透过光的厚度。例如,能够将20nm厚的铝层用作阴极7023。发光层7024可以使用单层或者通过堆叠多个层来形成,如同图16B那样。阳极7025能够使用透光性导电材料来形成,如同图16B那样。

[0282] 发光元件854对应于阴极7023、发光层7024及阳极7025相互重叠的区域。在图16D所示的像素中,光从发光元件854射向阳极7025一侧和阴极7023一侧,如箭头所示。

[0283] 注意,虽然在此将有机EL元件描述为发光元件,但是同样能够将无机EL元件设置为发光元件。

[0284] 注意,在该实施方式中,描述了其中用于控制发光元件的驱动的晶体管(也称为驱动晶体管)与发光元件电连接的实例;作为选择,可以采用其中用于电流控制的晶体管被连接于驱动晶体管与发光元件之间的结构。

[0285] 然后,参照图17A和17B来描述在该实施方式中的发光显示装置(也称为发光面板)的外观和截面。图17A是发光显示装置的顶视图,在该发光显示装置中,形成于第一基板之上的晶体管和发光元件通过密封材料密封于第一基板与第二基板之间。图17B是沿着图17A的线H-1所截取的截面图。

[0286] 密封材料4505被设置成包围设置于第一基板4501之上的像素部分4502、信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b。而且,第二基板4506被设置于像素部分4502、信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b之上。因此,像素部分4502、信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b与填充物4507一起由第一基板4501、密封材料4505和第二基板4506所密封。按照这种方式,优选的是以保护膜(例如,附着膜或紫外固化性树脂膜)或者具有高气密性和脱气低的覆盖材料来封装(密封)像素部分4502、信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b,使得像素部分4502、信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b不暴露于空气中。

[0287] 形成于第一基板4501之上的像素部分4502、信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b每个都包括多个晶体管。在图17B中,包含于像素部分4502中的晶体管4510以及包含于信号线驱动电路4503a中的晶体管4509和4555被作为实例来示出。

[0288] 作为晶体管4509、4510和4555,在实施方式2到4中所描述的包含作为半导体层的氧化物半导体层的任何高度可靠的晶体管都能够使用。在该实施方式中,晶体管4509、4510和4555是n沟道晶体管。绝缘层4542形成于晶体管4509、4510和4555之上。绝缘层4544形成于绝缘层4542之上。导电层4540形成于晶体管4509之上,在它们之间设置有绝缘层4542和4544。导电层4540具有第二栅极端子的功能。

[0289] 注意,在像素部分4502内,平坦化绝缘层4545被设置于绝缘层4542之上,并且绝缘层4543被设置于平坦化绝缘层4545之上。

[0290] 而且,参考数字4511指示发光元件。作为包含于发光元件4511中的像素电极的第一电极4517与晶体管4510的第二端子电连接。注意,发光元件4511具有第一电极4517、发光层4512和第二电极4513的叠层结构;但是,发光元件的结构并不限于该实施方式所示的结构。取决于从发光元件4511等提取光的方向,发光元件4511的结构能够适当地改变。

[0291] 堤部4520使用有机树脂膜、无机绝缘膜或有机的聚硅氧烷来形成。特别地,优选的是,堤部4520使用感光材料来形成以在第一电极4517之上具有开口部分,并且开口部分的侧壁被形成为具有连续曲率的斜面。

[0292] 发光层4512可以使用单层或多个层的叠层来形成。

[0293] 为了防止氧、氢、水分、二氧化碳等进入发光元件4511,可以在第二电极4513和堤部4520之上形成保护层。作为保护层,能够形成氮化硅层、氮氧化硅层、DLC(类金刚石的碳)层等。

[0294] 此外,还由FPC 4518a和4518b将多个信号和电压供应给信号线驱动电路4503a和4503b、扫描线驱动电路4504a和4504b或者像素部分4502。

[0295] 在图17A和17B所示的发光显示装置中,连接端子电极4515使用与用于形成包含于发光元件4511中的第一电极4517的导电膜相同的导电膜来形成。端子电极4516使用与用于形成晶体管4509、4510及4555的源极电极和漏极电极的导电膜相同的导电膜来形成。

[0296] 连接端子电极4515通过各向异性的导电层45919与FPC 4518a的端子电连接。

[0297] 位于从发光元件4511中提取光的方向上的基板需要具有透光性质。在这种情况下,将诸如玻璃、塑料、聚酯膜或丙烯酸膜之类的透光材料用作基板。

[0298] 作为填充物4507,除了惰性气体(例如,氮或氩)外还能够使用紫外固化性树脂或热固性树脂。例如,能够使用聚氯乙烯(PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅氧烷树脂、聚乙烯醇缩丁醛(PVB)或乙烯醋酸乙烯酯(EVA)。在该实施方式中,将氮用于填充物4507。

[0299] 若有必要,可以将诸如偏振片、圆形偏振片(包括椭圆形偏振片)、延迟片(1/4波片或1/2波片)或彩色滤光器之类的光学膜适当地设置于发光元件的发光表面之上。此外,还可以给偏振片或圆形偏振片设置抗反射膜。此外,还可以给偏振片或圆形偏振片设置抗反射膜。

[0300] 作为信号线驱动电路4503a和4503b以及扫描线驱动电路4504a和4504b,可以将使用单晶半导体层或多晶半导体层形成的驱动电路安装于单独制备的基板上。作为选择,只有信号线驱动电路4503a和4503b或它们的一部分,或者扫描线驱动电路4504a和4504b或它们的一部分可以单独形成,以进行安装。该实施方式并不限于图17A和17B中的结构。

[0301] 通过以上步骤,能够制造发光显示装置(显示板)。

[0302] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0303] (实施方式8)

[0304] 在该实施方式中,作为实施方式5所描述的显示装置的实例,能够在没有外部连接线(例如,FPC)的情况下显示图像的电子纸参照图18A到18C及19来描述。

[0305] 注意,在该实施方式中的电子纸具有用于保持图像的时段(图像保持时段)以及用于重写图像的时段(图像重写时段)。在图像保持时段内,不需要用于保持图像的电功率(electronic power)。因此,电子纸是功率消耗较小的显示装置。

[0306] 电子纸包括显示元件；显示能够通过显示元件施加电压来控制，并且能够在不给显示元件施加电压的状态下得以维持。显示元件的实例包括使用电泳元件（电泳元件）、使用扭转球的粒子旋转型元件、使用带电色粉或电子液态粉末（Electronic Liquid Powder，注册商标）的粒子转移型元件、其中灰度由磁性来表示的磁泳元件、液体转移型元件、光散射型元件和相变型元件。在该实施方式中，将包括电泳元件的电子纸作为电子纸的实例来描述。

[0307] 电泳元件的实例是具有微胶囊的元件，该微胶囊含有带正电的第一粒子、呈现出与第一粒子的颜色不同的颜色的带负电的第二粒子以及用作溶剂的液体。通过对电泳元件施加电压，使第一粒子或第二粒子集中在微胶囊的一侧；从而，显示能够得以执行。注意，在不对电泳元件施加电压的状态下，第一粒子和第二粒子并不转移。也就是说，电泳元件的显示被维持。作为选择，作为电泳元件，能够使用例如具有含有带正电或带负电的粒子以及呈现出与粒子的颜色不同的颜色且用作溶剂的液体的微胶囊的元件。

[0308] 注意，对于微胶囊中的带正电或带负电的粒子，可以使用导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料或磁泳材料中的一种或它们的复合材料。

[0309] 然后，参照图18A到18C来描述该实施方式中的电子纸的结构实例。注意，图18A是电子纸的像素的电路图，图18B是像素的顶视图，以及图18C是沿着图18B的线A-B所截取的截面图。

[0310] 在该实施方式中的电子纸的像素包括晶体管601、电容器602和电泳元件603（参见图18A）。晶体管601的栅极端子与扫描线630电连接。晶体管601的第一端子与信号线631电连接。电容器602的一个端子与晶体管601的第二端子电连接。电容器602的另一个端子与公共电位线电连接。电泳元件603的一个端子与晶体管601的第二端子以及电容器602的一个端子电连接。电泳元件603的另一个端子与公共电位线电连接。注意，在该实施方式中，地电位（0V）等被给定作为公共电位（ V_{com} ）。

[0311] 该像素包括基板600，设置于基板600之上的晶体管601和电容器602，设置于晶体管601和电容器602之上的电泳元件603，以及设置于电泳元件603之上的基板604（参见图18B和18C）。注意，电泳元件603并没有示出于图18B中。

[0312] 晶体管601包含与扫描线630电连接的导电层610、在导电层610之上的绝缘层611、在绝缘层611之上的半导体层612以及在半导体层612之上的与信号线631电连接的导电层613和614。注意，导电层610用作栅极端子，绝缘层611用作栅极绝缘层，导电层613用作第一端子，以及导电层614用作第二端子。此外，导电层610和导电层613还能够分别表示为扫描线630的一部分以及信号线631的一部分。

[0313] 电容器602包含导电层614、绝缘层611以及与公共电位线632电连接的导电层615。注意，导电层614用作一个端子，绝缘层611用作电介质，以及导电层615用作另一个端子。导电层615能够表示为公共电位线632的一部分。

[0314] 电泳元件603包含在设置于绝缘层620中的开口部分中与导电层614电连接的像素电极616，施加与导电层615的电位相同的电位的对置电极617，以及包含带电粒子并且设置于像素电极616与对置电极617之间的层618。注意，像素电极616用作一个端子，对置电极617用作另一个端子。

[0315] 在该实施方式的电子纸中,施加于包含带电粒子的层618的电压受到控制;因而,散布于层618中的带电粒子的转移能够受到控制。在该实施方式中的电子纸的对置电极617和基板604具有透光性质。也就是说,在该实施方式中的显示装置是发射型显示装置,其中基板604一侧对应于显示表面。

[0316] 以下给出了能够用于该实施方式的电子纸的构件的材料。

[0317] 基板600的实例包括半导体基板(例如,单晶基板或硅基板)、SOI基板、玻璃基板、石英基板、其上表面设置有绝缘层的导电基板、柔性基板(例如,塑料基板)、粘合膜、含有纤维材料的纸、以及基膜。作为玻璃基板的实例,有钡硼硅酸盐玻璃基板、铝硼硅酸盐玻璃及钠钙玻璃基板。作为柔性基板的实例,有柔性合成树脂,例如,以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)及丙烯酸为代表的塑料。

[0318] 作为导电层610和615、扫描线630和公共电位线632,能够使用选自铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)中的元素,含有这些元素中的任何元素的合金,或者含有这些元素中的任何元素的氮化物。还能够使用这些材料的叠层结构。

[0319] 作为绝缘层611,能够使用诸如氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝或氧化钽之类的绝缘体。还能够使用这些材料的叠层结构。注意,氧氮化硅指的是这样的物质:其含有比氮多的氧,并且含有按照原子百分比分别为55%-65%、1%-20%、25%-35%及0.1%-10%的给定浓度的氧、氮、硅和氢,其中总的原子百分比为100%。此外,氮氧化硅指的是这样的物质:其含有比氧多的氮,并且含有按照原子百分比分别为15%-30%、20%-35%、25%-35%及15%-25%的给定浓度的氧、氮、硅和氢,其中总的原子百分比为100%。

[0320] 半导体层612能够使用例如下列半导体材料中的任一种材料来形成:含有属于周期表的第14族的元素(例如,硅(Si)或锗(Ge))作为其主要成分的材料;例如硅锗(SiGe)或砷化镓(GaAs)的化合物;例如氧化锌(ZnO)或含有铟(In)和镓(Ga)的氧化锌的氧化物;或者呈现出半导体特性的有机化合物。还能够使用利用这些半导体材料形成的层的叠层结构。

[0321] 作为导电层613和614及信号线631,能够使用选自铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)中的元素,含有这些元素中的任何元素的合金,或者含有这些元素中的任何元素的氮化物。还能够使用这些材料的叠层结构。

[0322] 作为绝缘层620,能够使用诸如氧化硅、氧氮化硅、氮化硅、氮氧化硅、氧化铝或氧化钽之类的绝缘体。此外,绝缘层620还能够使用以下材料来形成:有机材料,例如,聚酰亚胺、聚酰胺、聚乙烯基苯酚(polyvinylphenol)、苯并环丁烯、丙烯酸或环氧树脂;硅氧烷材料,例如,硅氧烷树脂;噁唑树脂等。注意,硅氧烷材料对应于具有Si-O-Si键的材料。硅氧烷具有含硅(Si)-氧(O)键的骨架结构。作为代替,可以使用有机基团(例如,烷基或芳烃)或氟代基团。有机基团可以包括氟代基团。

[0323] 作为像素电极616,能够使用选自铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)中的元素,含有这些元素中的任何元素的合金,或者含有这些元素中的任何元素的氮化物。还能够使用这些材料的叠层结构。此外,还能够使用透光性导电材料,例如,含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡、氧化铟锡、氧化铟锌或者其中添加了氧化硅的氧化铟锡。

[0324] 作为包含于含有带电粒子的层618中的带电粒子,能够将氧化钛等用作带正电的

粒子,以及能够将碳黑等用作带负电的粒子。另外,还能够使用选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料或磁泳材料中的单种材料或者使用这些材料中的任意材料形成的复合材料。

[0325] 作为对置电极617,能够使用透光性导电材料,例如,含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡、氧化铟锡、氧化铟锌或者其中添加了氧化硅的氧化铟锡。

[0326] 作为基板604,能够使用透光性基板。透光性基板典型为使用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃及钠钙玻璃等形成的玻璃基板;或者使用聚对苯二甲酸乙二醇酯(PET)等形成的柔性基板。

[0327] 在该实施方式中的电子纸能够应用于显示信息的各种领域的电子设备中。例如,电子纸能够应用于电子书阅读器(电子图书)、海报、在车辆(例如,火车)上的广告或者在各种卡(例如,信用卡)上的显示。图19示出了此类电子设备的实例。图19示出了电子书阅读器的实例。

[0328] 如图19所示,电子书阅读器2700具有两个外壳2701和2703。外壳2701和2703以轴部分2711来接合,并且电子书阅读器2700能够以轴部分2711作为轴来打开和闭合。以这种结构,电子书阅读器2700能够象纸质书那样来操作。

[0329] 显示部分2705被并入外壳2701之中。显示部分2707被并入外壳2703之中。显示部分2705和2707可以显示一个图像或不同的图像。例如,当显示部分显示不同的图像时,文字能够显示于右侧的显示部分(在图19中为显示部分2705)上,以及图像能够显示于左侧的显示部分(在图19中为显示部分2707)上。

[0330] 此外,图19还示出了其中外壳2701设置有操作部分等的实例。例如,外壳2701设置有电源开关2721、操作键2723、扬声器2725等。页面能够通过操作键2723来翻转。注意,键盘、定点装置等可以设置于与外壳中的显示部分相同的一侧上。而且,还可以将用于外部连接的端子(例如,耳机端子、USB端子以及能够连接各种线缆(例如,AC适配器和USB线)的端子,用于插入记录介质的部分等设置于外壳的背面或侧面上。而且,电子书阅读器2700可以用作电子词典。

[0331] 另外,电子书阅读器2700可以通过无线方式发送和接收信息。电子书阅读器2700能够具有其中通过无线方式从电子书服务器购买并下载所期望的图书数据等的结构。

[0332] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0333] (实施方式9)

[0334] 在实施方式5到8中所描述的显示装置能够应用于各种电子设备(包括娱乐机器)。电子设备的实例是电视装置(也称为电视或电视接收器)、用于计算机等的监视器、照相机(例如,数码相机和数字视频摄像机)、数字相框、移动电话装置(也称为移动电话或蜂窝式电话)、便携式游戏机、便携式信息终端、声音再现装置以及大型游戏机(例如,弹球机)。

[0335] 图20A示出了电视装置的实例。在电视装置9600中,显示部分9603被并入外壳9601之中。显示部分9603能够显示图像。此外,外壳9601在此由支座9605来支撑。

[0336] 电视装置9600能够以外壳9601的操作开关或者分离的遥控器9610来操作。频道和音量能够以遥控器9610的操作键9609来控制,从而能够控制在显示部分9603上显示的图

像。此外,遥控器9610可以设置有用于显示由遥控器9610所输出的数据的显示部分9607。

[0337] 注意,电视装置9600设置有接收器、调制解调器等。利用接收器,能够接收一般的电视广播。此外,当电视装置9600通过有线或无线连接经由调制解调器与通信网络连接时,能够执行单向(从发射器到接收器)或双向(在发射器和接收器之间或者在接收器之间)的数据通信。

[0338] 图20B示出了数字相框的实例。例如,在数字相框9700中,显示部分9703被并入外壳9701之中。显示部分9703能够显示各种图像。例如,显示部分9703能够显示以数码相机等拍摄的图像的数据,并且用作普通相框。

[0339] 注意,数字相框9700设置有操作部分、外部连接部分(例如,USB端子或者能够与各种线缆(例如,USB线缆)连接的端子)、记录介质插入部分等。虽然这些构件可以设置于设置显示部分的表面上,但是为了数字相框9700的设计,优选的是将它们设置于侧面或背面上。例如,用于存储以数码相机拍摄的图像的数据的存储器被插入到数字相框的记录介质插入部分中,并且该图像数据能够被传输并然后显示于显示部分9703之上。

[0340] 此外,还可以将数字相框9700配置为通过无线方式来发送和接收数据。可以采用其中所期望的数据通过无线方式来传输以被显示的结构。

[0341] 图21A是便携式游戏机,并且包括外壳9881和外壳9891这两个外壳,其中这两个外壳以接合部分9893来连接使得该便携式游戏机能够打开及合上。显示部分9882被并入外壳9881之中,以及显示部分9883被并入外壳9891之中。而且,图21A所示的便携式游戏机设置有扬声器9884、记录介质插入部分9886、LED灯9890、输入部件(操作键9885、连接端子9887、传感器9888(具有测量力、位移、位置、速度、加速度、角速度、转数、距离、光、液体、磁力、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、辐射线、流速、湿度、梯度、振动、气味或红外线的功能),及麦克风9889)等。毋庸置疑,便携式游戏机并不限于以上所描述的那种。便携式游戏机可以具有其中适当地设置有附加的辅助装置的结构,只要至少设置有显示装置即可。在图21A中的便携式游戏机具有读取存储于记录介质中的程序或数据以将它显示在显示部分上的功能,以及通过无线通信与其它便携式游戏机共享信息的功能。注意,在图21A中的便携式游戏机的功能并不限于以上所描述的那些,便携式游戏机能够具有各种功能。

[0342] 图21B示出了作为大型娱乐机器的自动贩卖机的实例。在自动贩卖机9900中,显示部分9903被并入外壳9901之中。而且,自动贩卖机9900设置有例如启动杆和停止开关、投币口、扬声器等操作部件。毋庸置疑,自动贩卖机9900的结构并不限于以上结构。自动贩卖机可以具有其中适当地设置有附加的辅助装置的结构,只要至少设置有以上任一实施方式所描述的显示装置即可。

[0343] 图22A示出了移动电话的实例。移动电话9000设置有并入外壳9001之中的显示部分9002、操作按钮9003、外部连接端口9004、扬声器9005、麦克风9006等。

[0344] 当以手指等来触摸图22A所示的移动电话9000的显示部分9002时,能够将数据输入到移动电话9000中。此外,诸如拨打电话和输入文字之类的操作能够通过以手指等触摸显示部分9002来执行。

[0345] 显示部分9002主要有三种显示模式。第一模式是主要用于显示图像的显示模式。第二模式是主要用于输入数据(例如,文字)的输入模式。第三模式是显示和输入模式,该模

式是以上两种模式的结合,即显示模式和输入模式的结合。

[0346] 例如,在拨打电话或输入文字的情形中,主要用于输入文字的文字输入模式被选择用于显示部分9002,从而能够输入在屏幕上显示的字符。在这种情况下,优选的是在显示部分9002的几乎整个屏幕区上显示键盘或数字键。

[0347] 当在移动电话9000内设置有包括用于测量倾角的传感器的检测装置(例如,陀螺仪或加速度传感器)时,在显示部分9002的屏幕上的显示能够通过确定移动电话9000的方向(移动电话9000是直立的还是侧躺着的)而自动地改变。

[0348] 屏幕模式通过触摸显示部分9002或者使用外壳9001的操作按钮9003来改变。作为选择,屏幕模式可以根据在显示部分9002上显示的图像的类型来改变。例如,当在显示部分9002上显示的图像的信号是运动图像的数据时,屏幕模式改变为显示模式。当信号是文字数据时,屏幕模式改变为输入模式。

[0349] 此外,在输入模式中,当在特定时段内没有执行通过触摸显示屏9002进行的输入,而由显示部分9002中的光学传感器来检测的信号被检测到时,可以控制屏幕模式以使之从输入模式改变为显示模式。

[0350] 显示部分9002还能够用作图像传感器。例如,掌纹、指纹等的图像在以手掌或手指触摸显示部分9002时被获取,借此能够执行个人识别。此外,当在显示部分内设置有发射出近红外光的背光或传感光源时,能够获取指静脉、掌静脉等的图像。

[0351] 图22B示出了移动电话的另一个实例。在图22B中的移动电话包括在外壳9411中的显示装置9410,该显示装置9410包括显示部分9412和操作按钮9413;以及在外壳9401中的通信装置9400,该通信装置9400包括扫描按钮9402、外部输入端子9403、麦克风9404、扬声器9405以及在接收到呼叫时发射光的发光部分9406。具有显示功能的显示装置9410能够按照箭头所示的两个方向与具有电话功能的通信装置9400的分离和连接。因此,显示装置9410和通信装置9400的短轴能够彼此连接,或者显示装置9410和通信装置9400的长轴能够彼此连接。此外,当仅需要显示功能时,显示装置9410可以与通信装置9400分离,从而能够单独使用显示装置9410。通信装置9400和显示装置9410能够通过无线通信或有线通信相互发送和接收图像或者相互输入信息,并且通信装置9400和显示装置9410中的每一个都具有可充电的电池。

[0352] 注意,该实施方式或该实施方式的一部分能够与其他实施方式或其他实施方式的一部分自由地结合。

[0353] 本申请基于在2009年10月9日提交日本专利局的日本专利申请No.2009-234845,并且该申请的全部内容通过引用,包含于此。

[0354] 附图标记说明

[0355] 101:晶体管,102:晶体管,103:晶体管,104:晶体管,105:晶体管,106:晶体管,111:时钟信号选择晶体管,晶体管,112:时钟信号选择晶体管,晶体管,113:时钟信号选择晶体管,114:时钟信号选择晶体管,115:时钟信号选择晶体管,116:时钟信号选择晶体管,121:低电源电位选择晶体管,122:低电源电位选择晶体管,123:低电源电位选择晶体管,124:低电源电位选择晶体管,125:低电源电位选择晶体管,126:低电源电位选择晶体管,131:晶体管,132:晶体管,133:晶体管,134:晶体管,201:基板,202:绝缘层,207:氧化物半导体层,211:导电层,213:氧化物半导体层,214a:氧化物导电层,214b:氧化物导电层,

215a:导电层,215b:导电层,215c:导电层,217:导电层,233a:抗蚀剂掩膜,233b:抗蚀剂掩膜,251:晶体管,252:晶体管,600:基板,601:晶体管,602:电容器,603:电泳元件,604:基板,610:导电层,611:绝缘层,612:半导体层,613:导电层,614:导电层,615:导电层,616:像素电极,617:对电极,618:含有带电粒子的层,620:绝缘层,630:扫描线,631:信号线,632:公共电位线,701:像素部分,702:扫描线驱动电路,703:信号线驱动电路,704:像素,705:扫描线,706:信号线,804:扫描线,805:信号线,821:晶体管,822:液晶元件,823:电容器,851:晶体管,852:电容器,853:晶体管,854:发光元件,855:扫描线,856:信号线,900:移位寄存器,901:电平移位器,902:缓冲器,903:移位寄存器,904:锁存电路,905:锁存电路,906:电平移位器,907:缓冲器,2000:基板,2001:导电层,2002:绝缘层,2003:氧化物半导体层,2005a:导电层,2005b:导电层,2007:氧化物半导体层,2008:导电层,2020:透明导电层,2022:导电层,2023:导电层,2024:导电层,2028:透明导电层,2029:透明导电层,2112:导电层,2132:氧化物半导体层,2142a:氧化物导电层,2142b:氧化物导电层,2700:电子书阅读器,2701:外壳,2703:外壳,

[0356] 2705:显示部分,2707:显示部分,2711:轴部分,2721:电源开关,2723:操作键,2725:扬声器,4501:基板,4502:像素部分,4503a:信号线驱动电路,4503b:信号线驱动电路,4504a:扫描线驱动电路,4504b:扫描线驱动电路,4505:密封材料,4506:基板,4507:填充物,4509:晶体管,4510:晶体管,4511:发光元件,4512:发光层,4513:电极,4515:连接端子电极,4516:端子电极,4517:电极,4518a:FPC,4518b:FPC,4519:各向异性的导电层,4520:堤部,4540:导电层,4542:绝缘层,4543:绝缘层,4544:绝缘层,4545:平坦化绝缘层,4555:晶体管,7003:阴极,7004:发光层,7005:阳极,7013:阴极,7014:发光层,7015:阳极,7016:阻光层,7017:导电层,7023:阴极,7024:发光层,7025:阳极,7027:导电层,9000:移动电话装置,9001:外壳,9002:显示部分,9003:操作按钮,9004:外部连接端口,9005:扬声器,9006:麦克风,9400:通信装置,9401:外壳,9402:操作按钮,9403:外部输入端子,9404:麦克风,9405:扬声器,9406:发光部分,9410:显示装置,9411:外壳,9412:显示部分,9413:操作按钮,9600:电视装置,9601:外壳,9603:显示部分,9605:支座,9607:显示部分,9609:操作键,9610:遥控器,9700:数字相框,9701:外壳,9703:显示部分,9881:外壳,9882:显示部分,9883:显示部分,9884:扬声器,9885:操作键,9886:记录介质插入部分,9887:连接端子,9888:传感器,9889:麦克风,9890:LED灯,9891:外壳,9893:接合部分,9900:自动贩卖机,9901:外壳,9903:显示部分

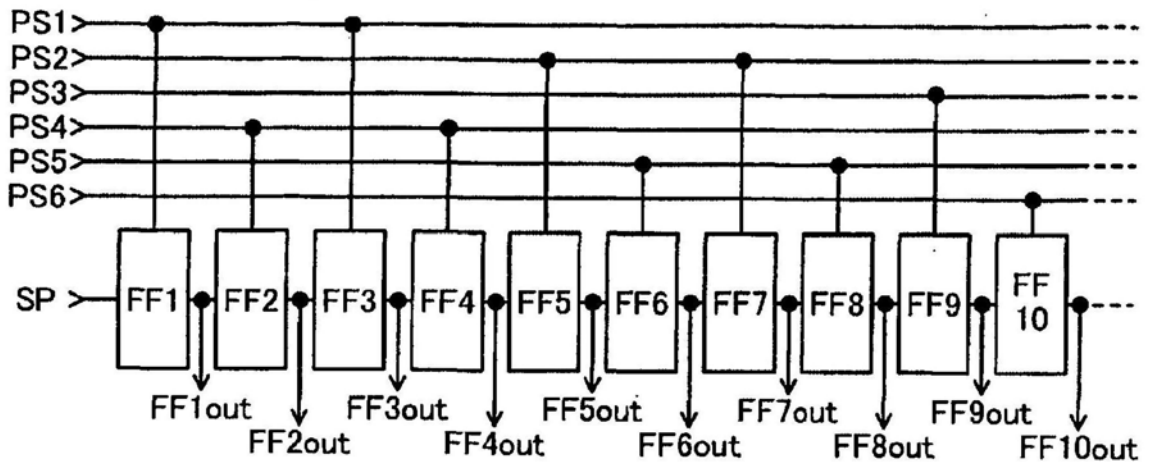


图1A

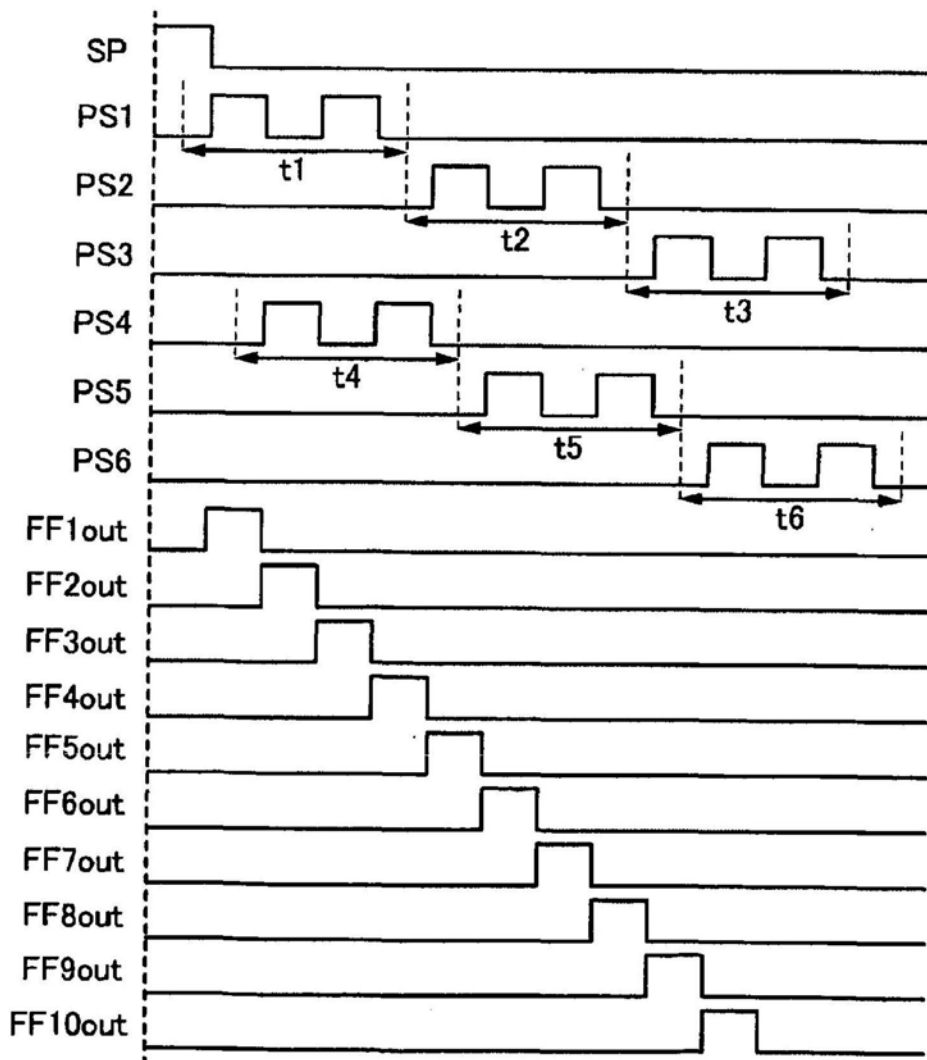


图1B

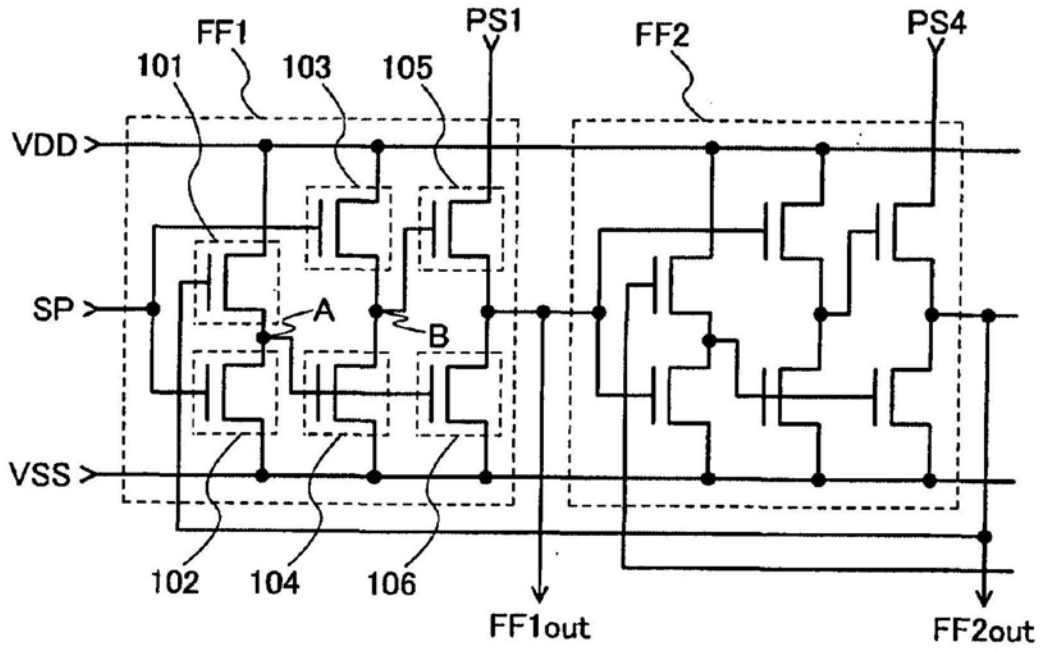


图2A

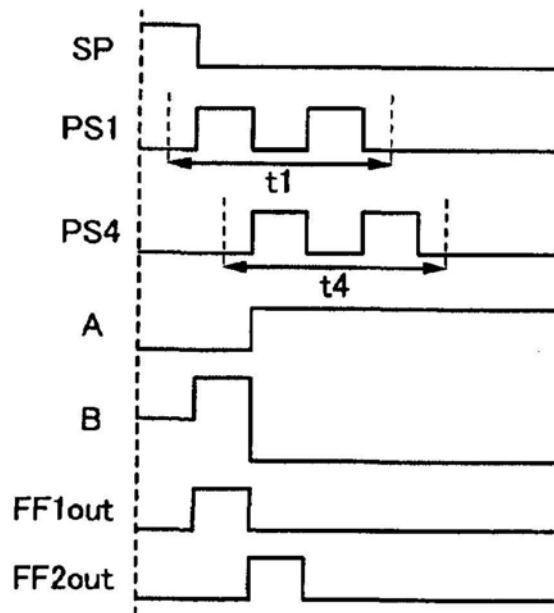


图2B

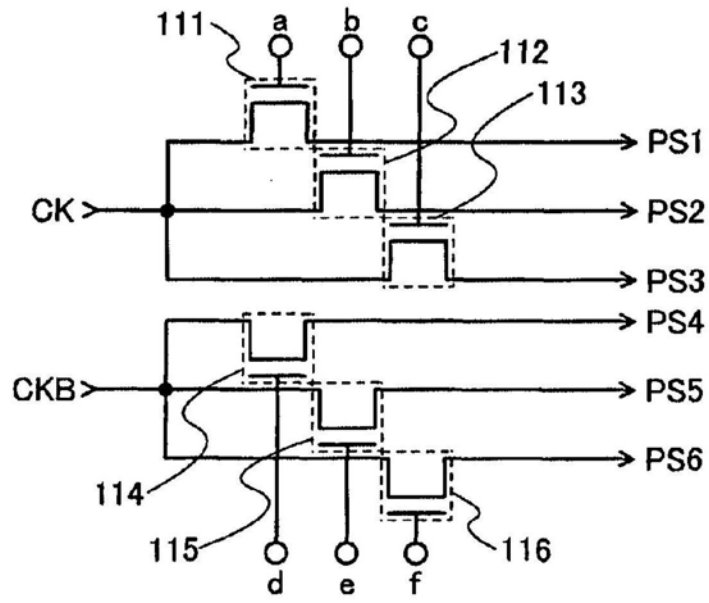


图3A

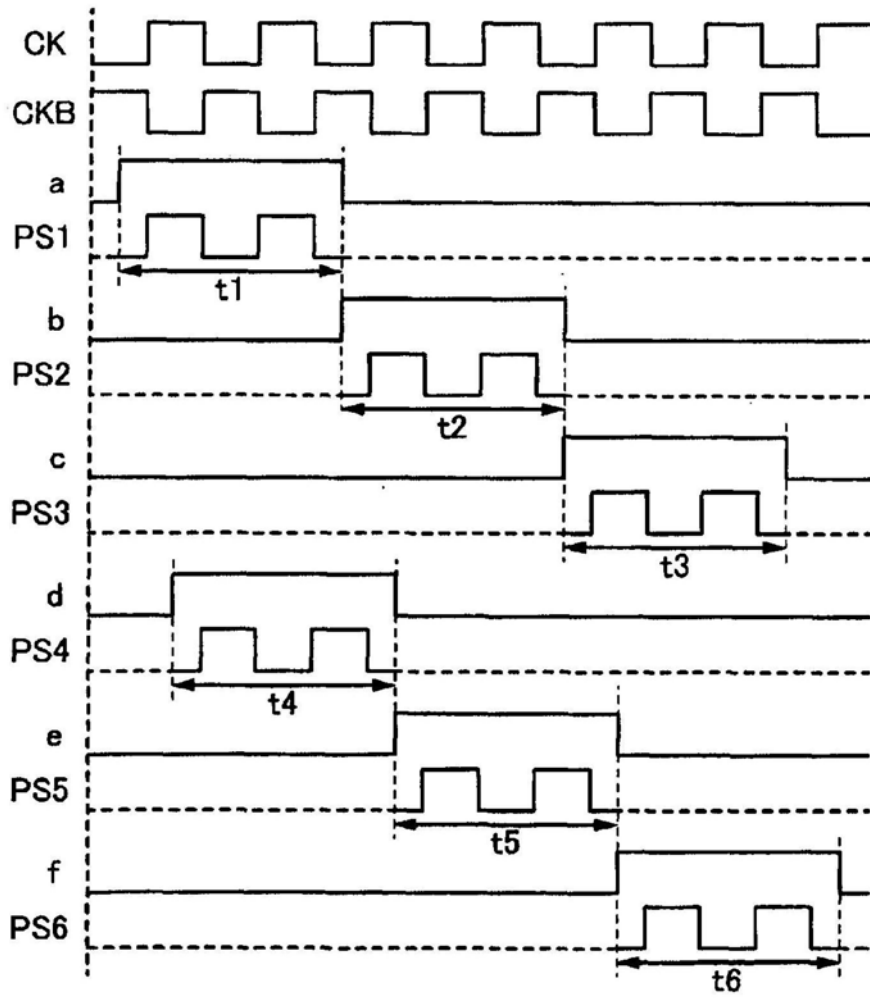


图3B

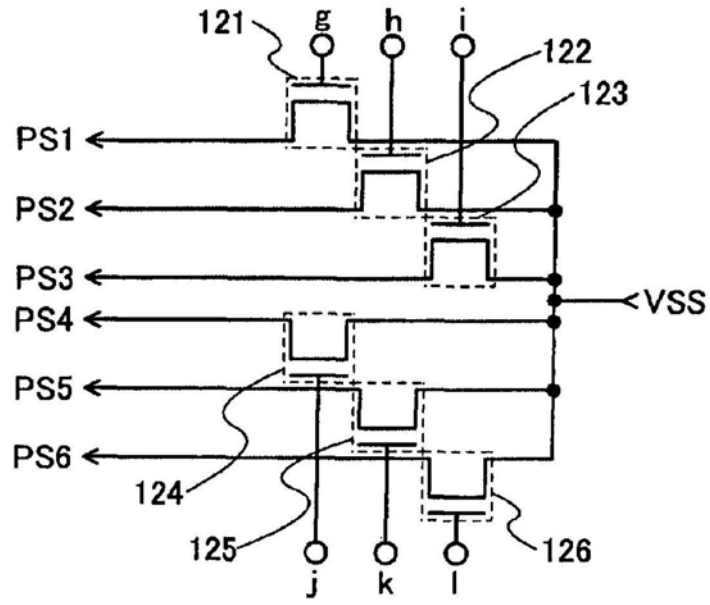


图4A

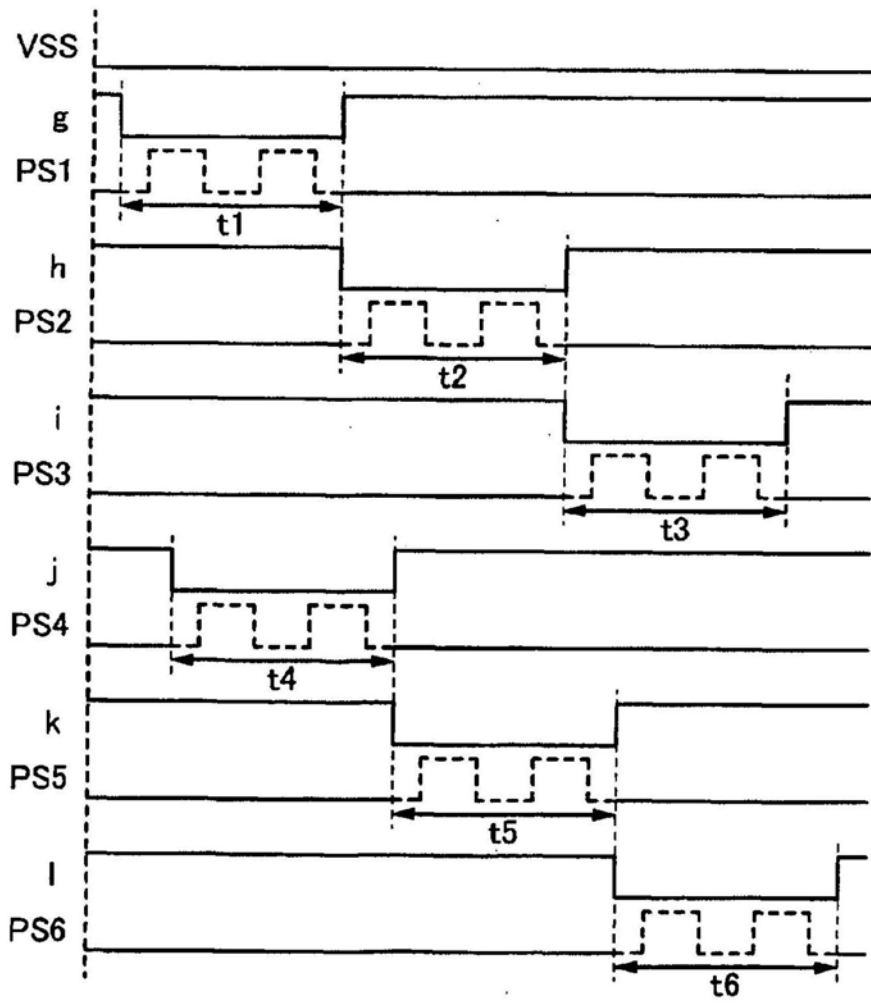


图4B

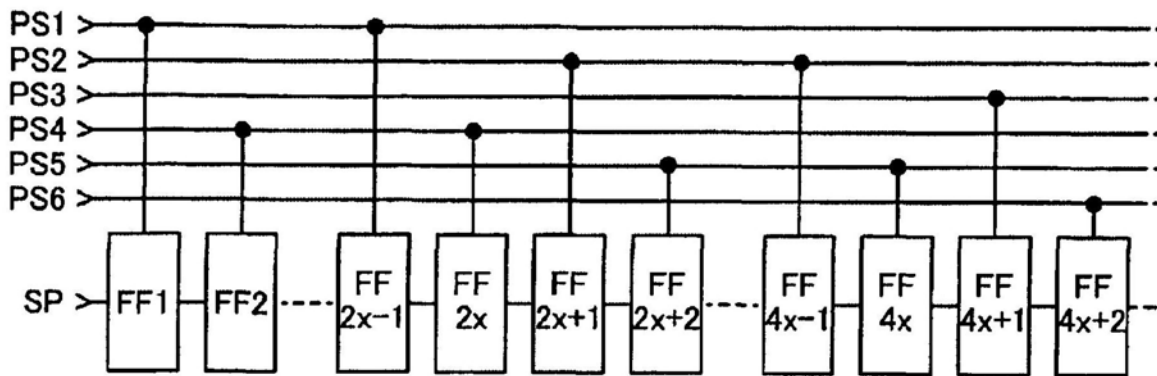


图5A

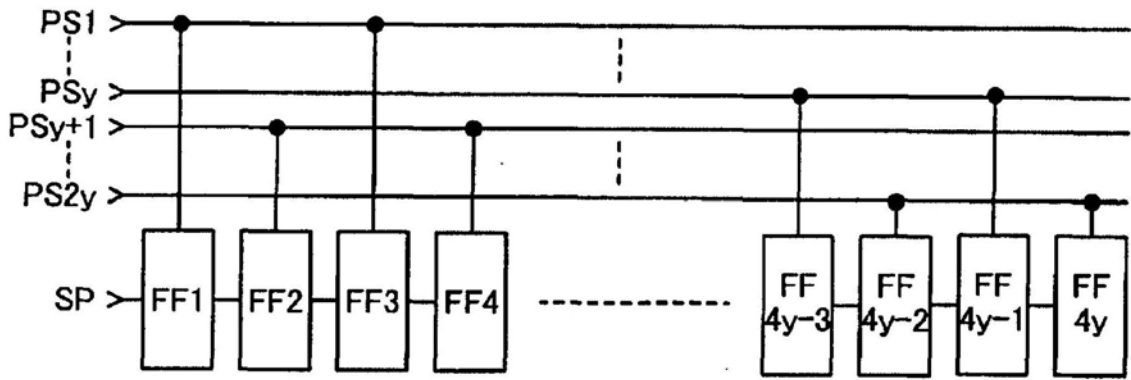


图5B

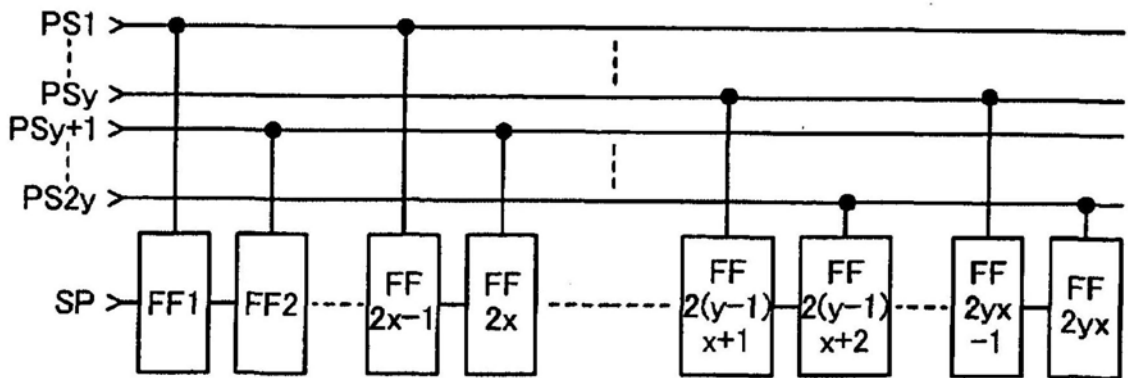


图5C

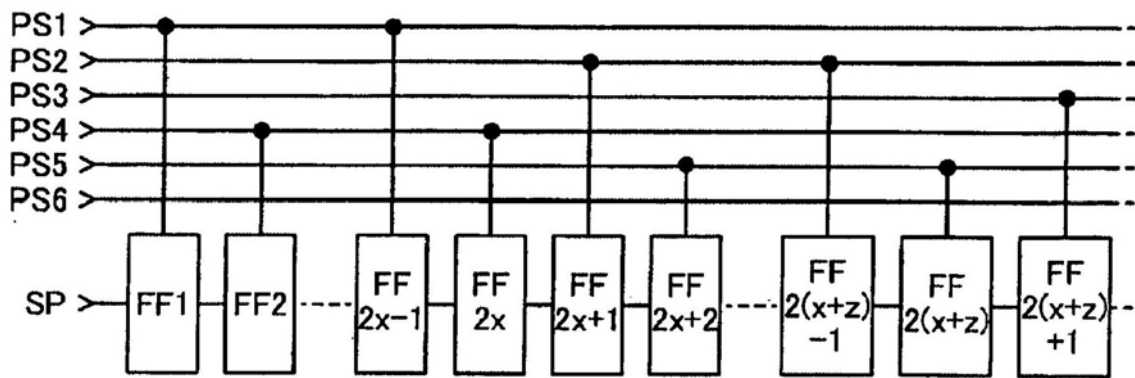


图6A

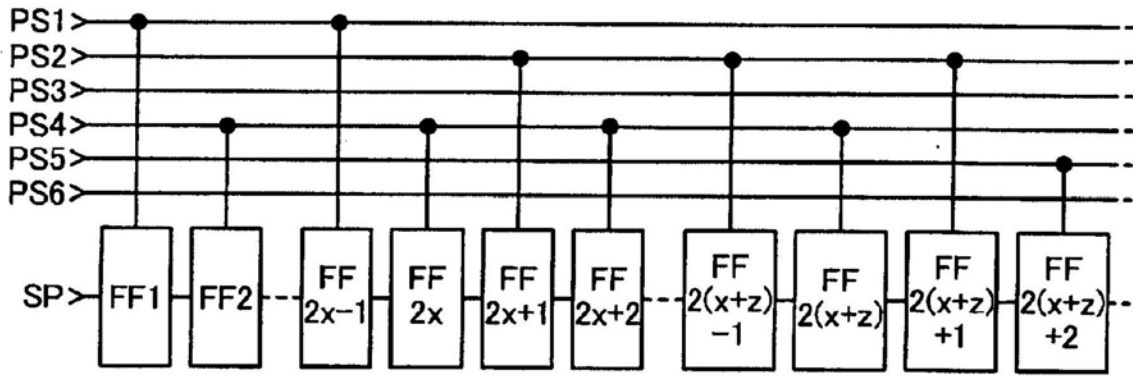


图6B

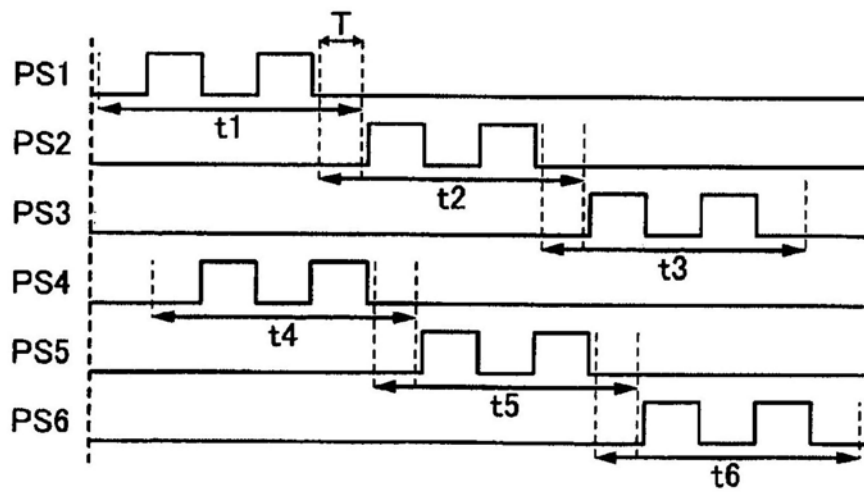


图6C

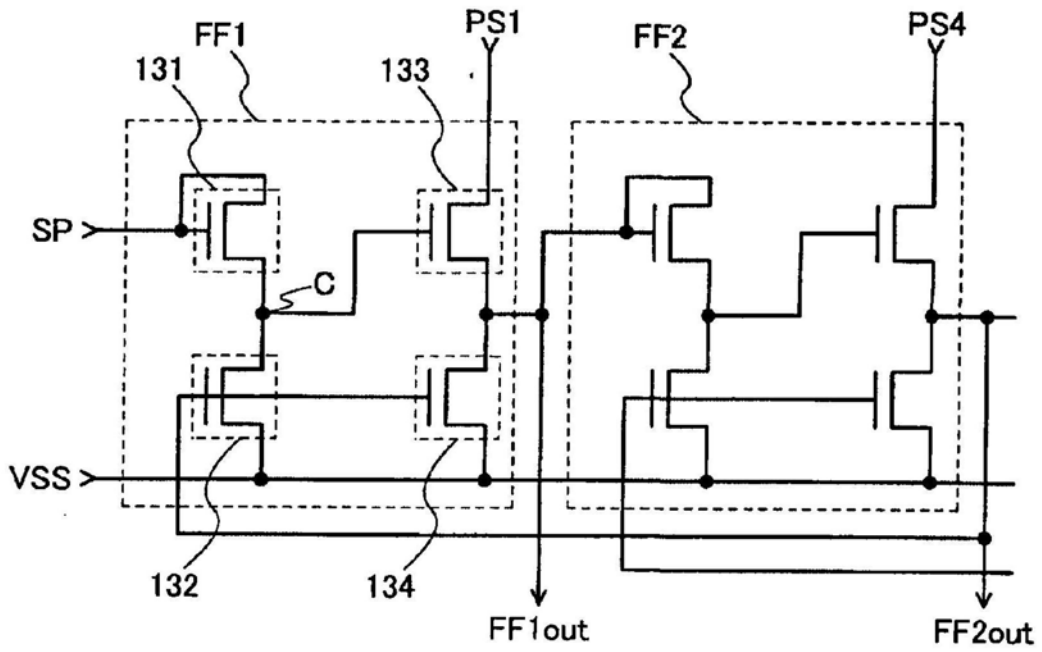


图7A

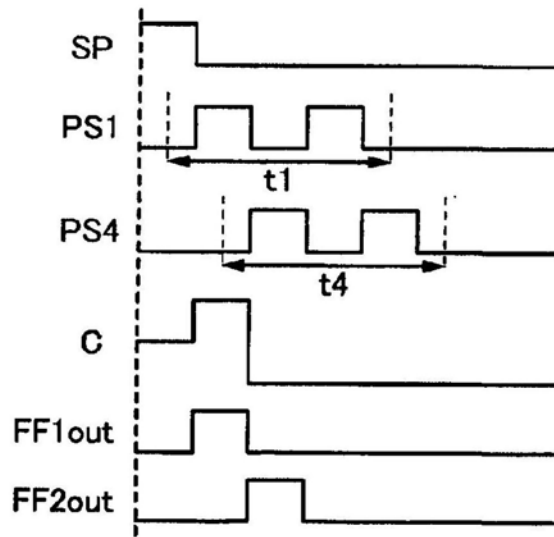


图7B

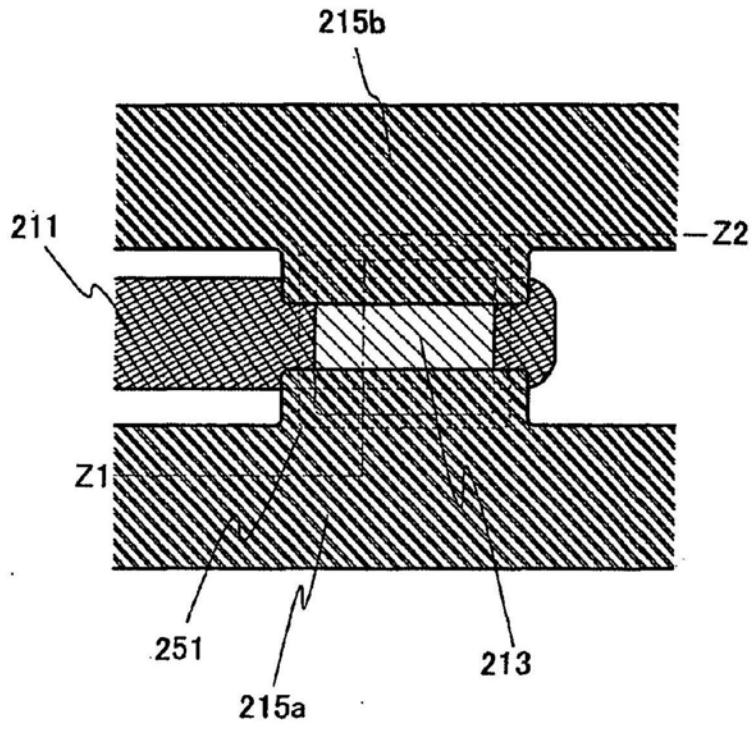


图8A

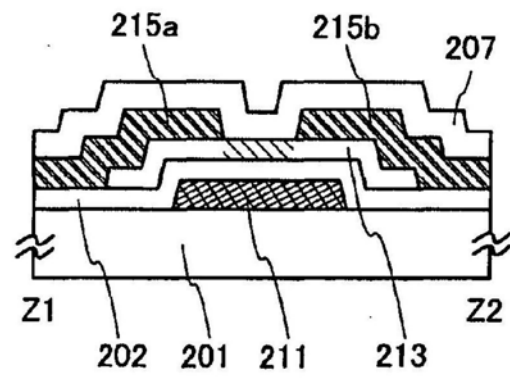


图8B

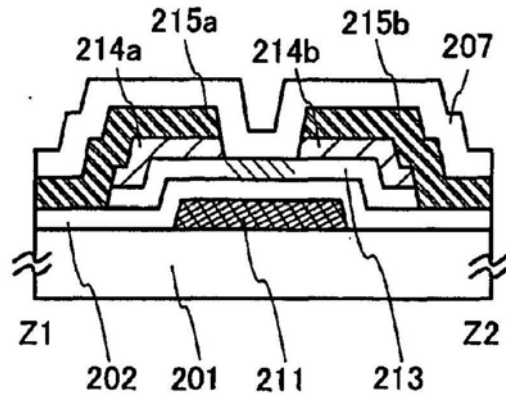


图8C

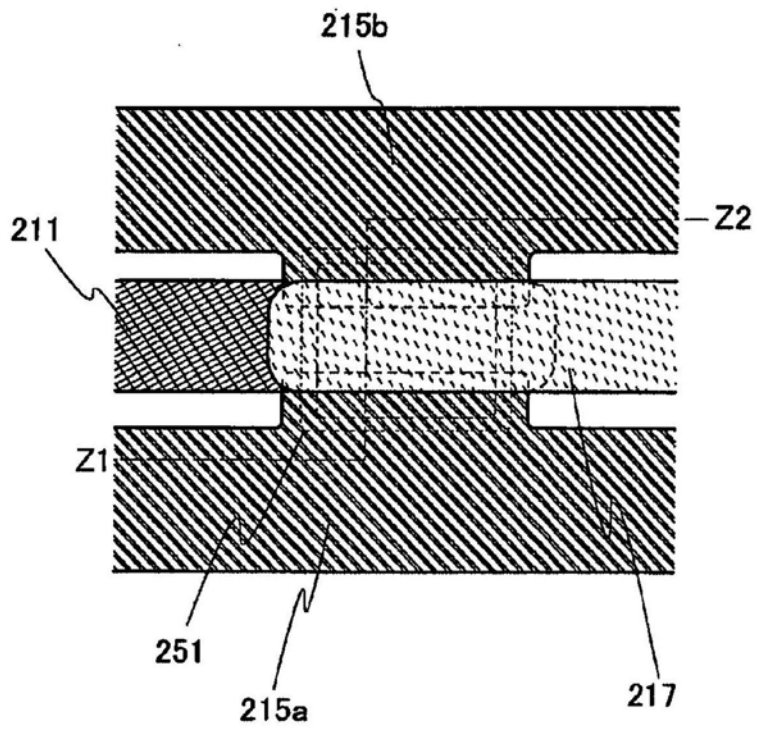


图9A

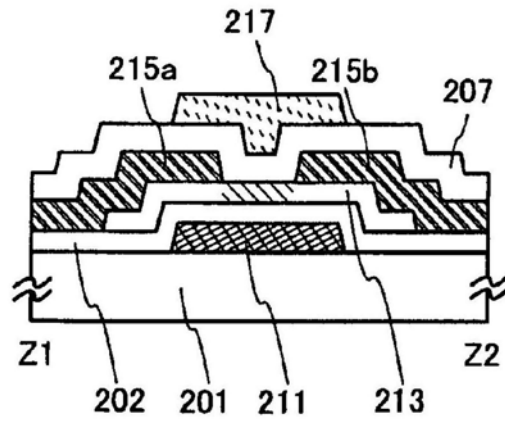


图9B

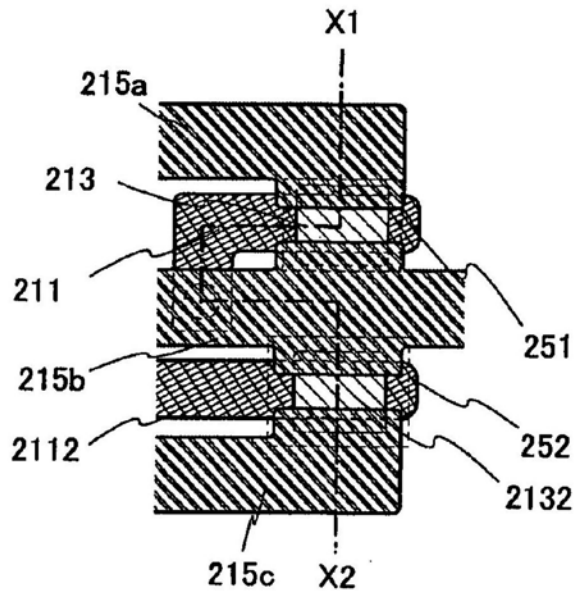


图10A

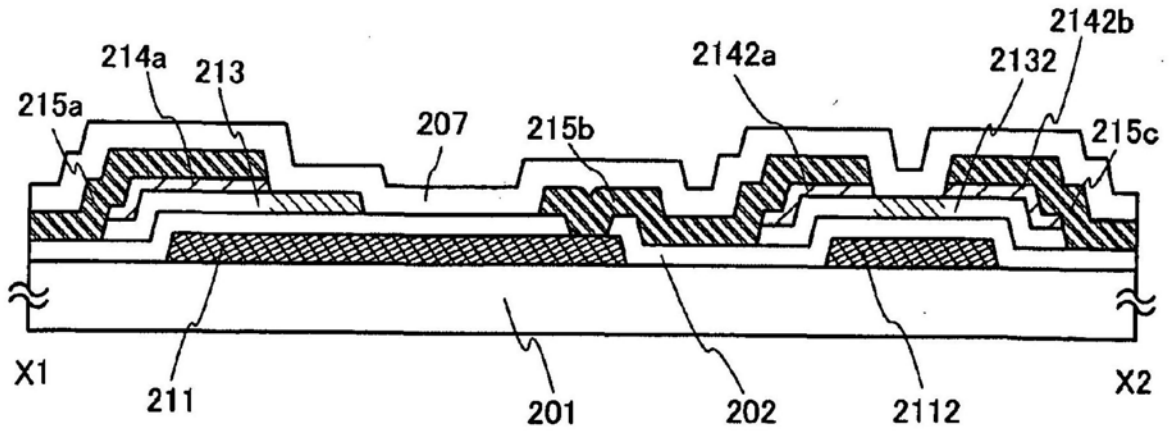


图10B

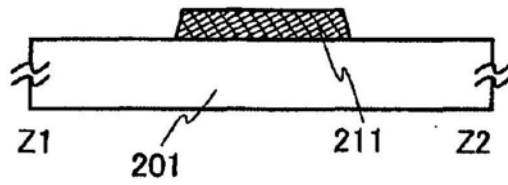


图11A

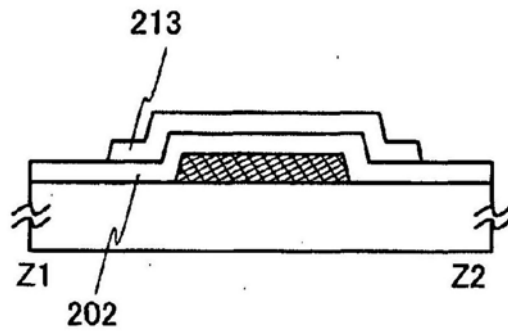


图11B

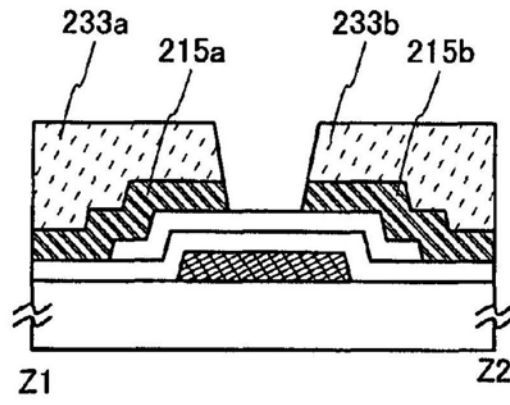


图11C

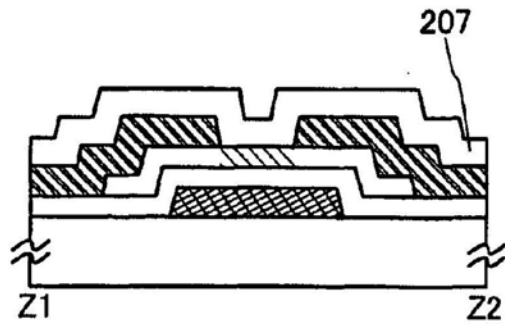


图11D

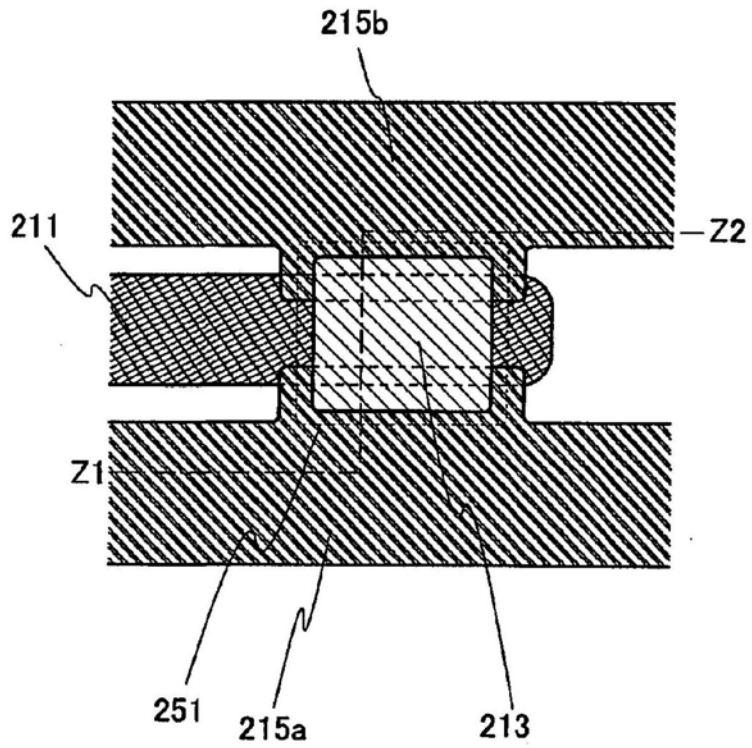


图12A

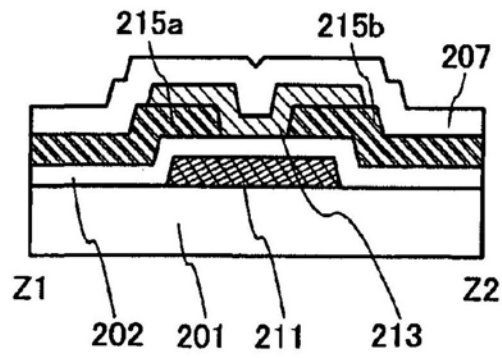


图12B

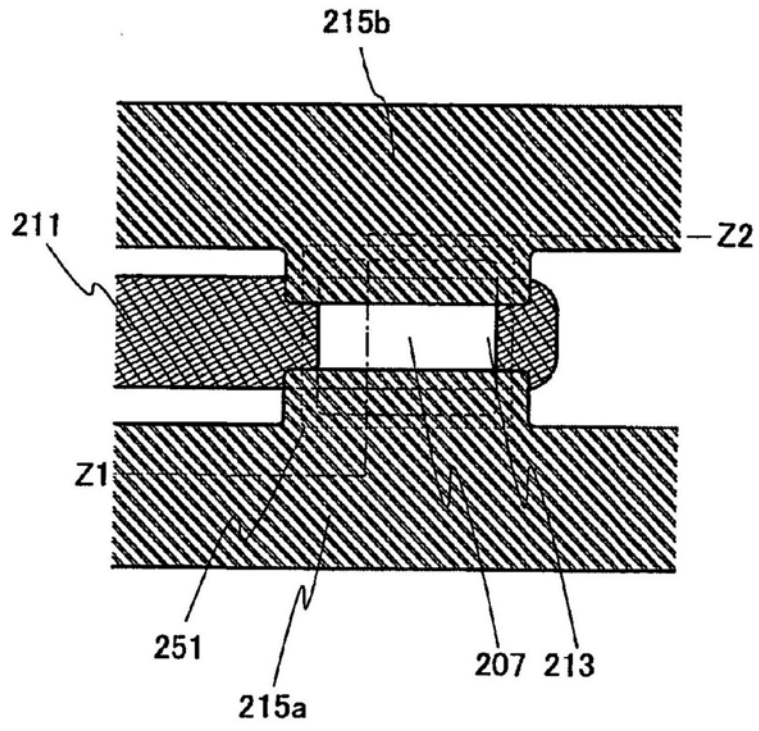


图13A

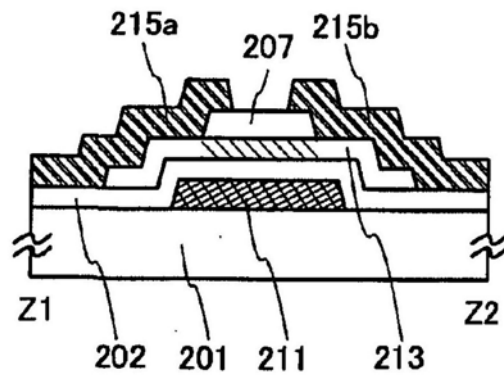


图13B

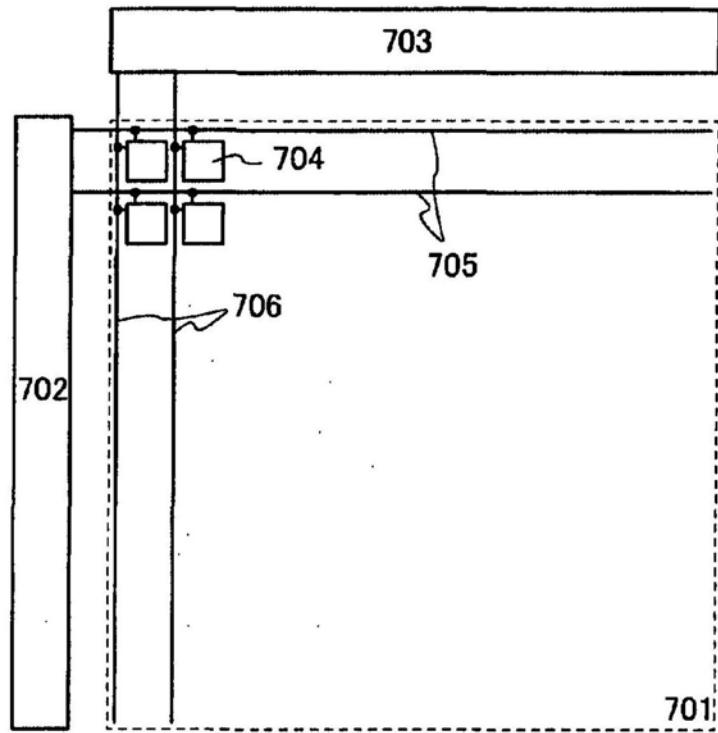


图14A

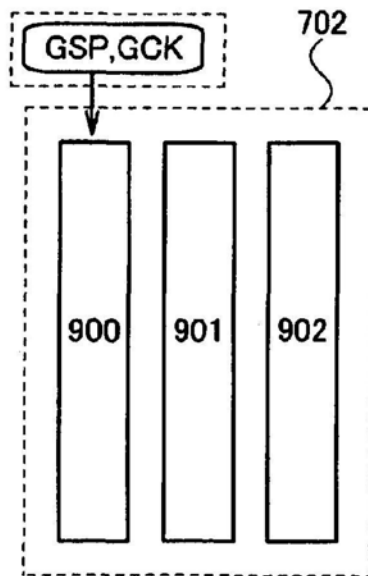


图14B

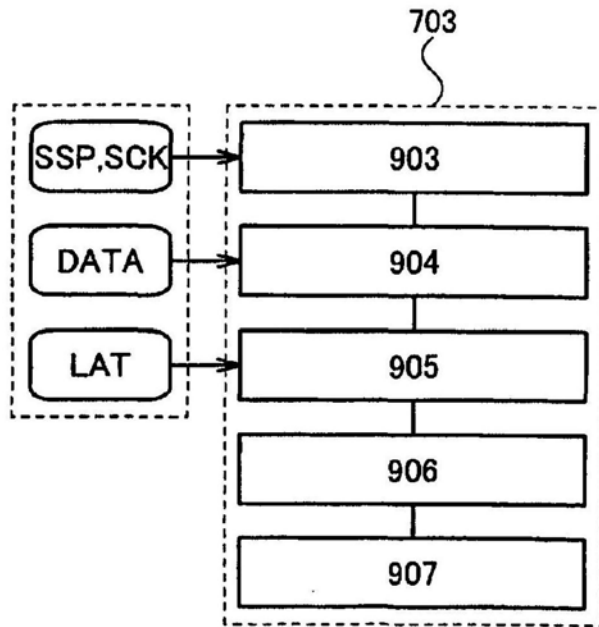


图14C

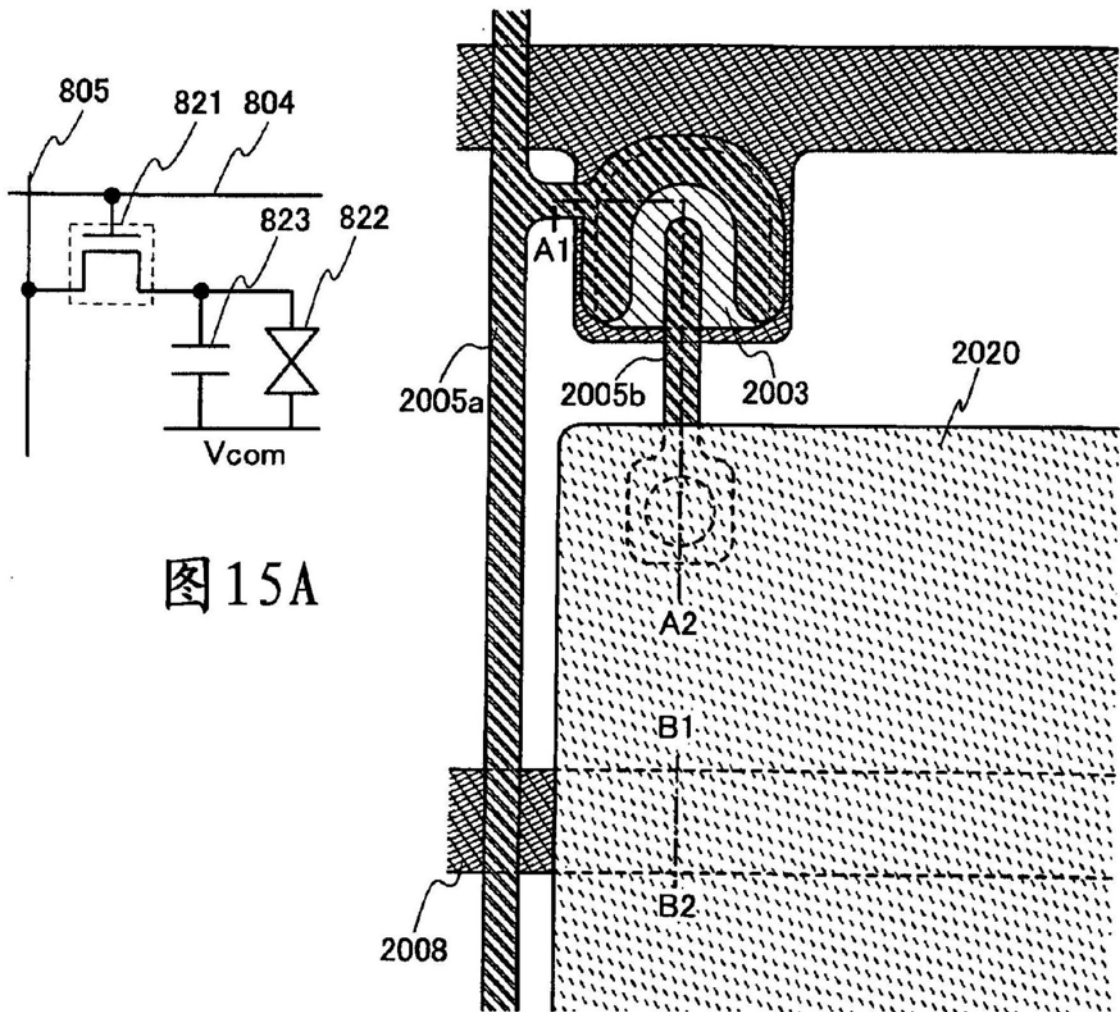


图15A

图15B

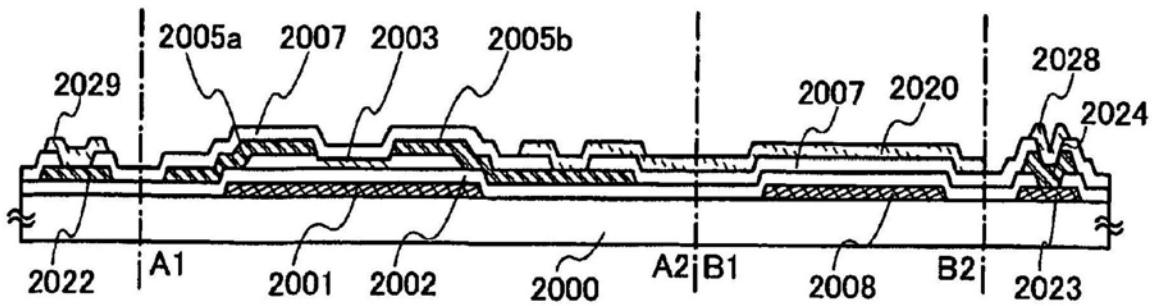


图15C

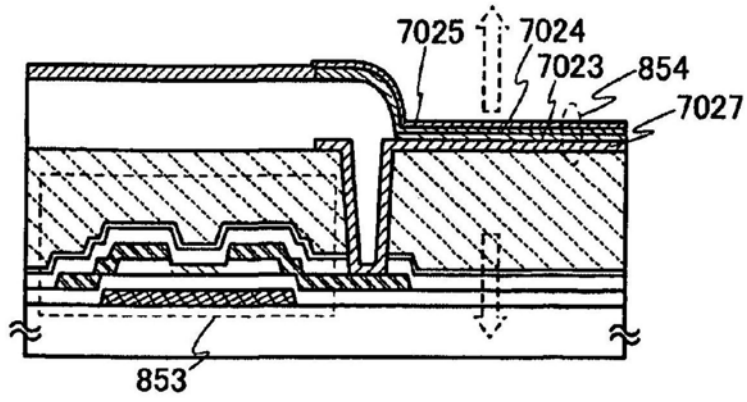


图16D

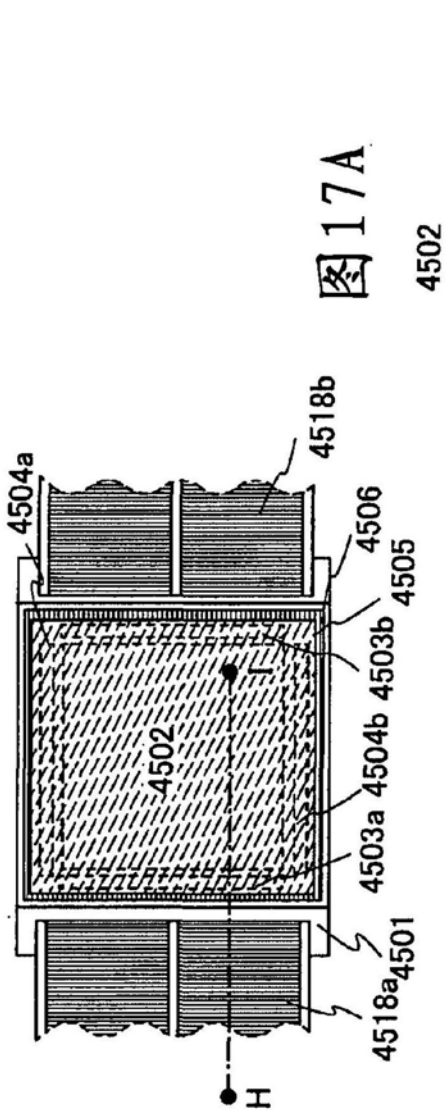


图 17A

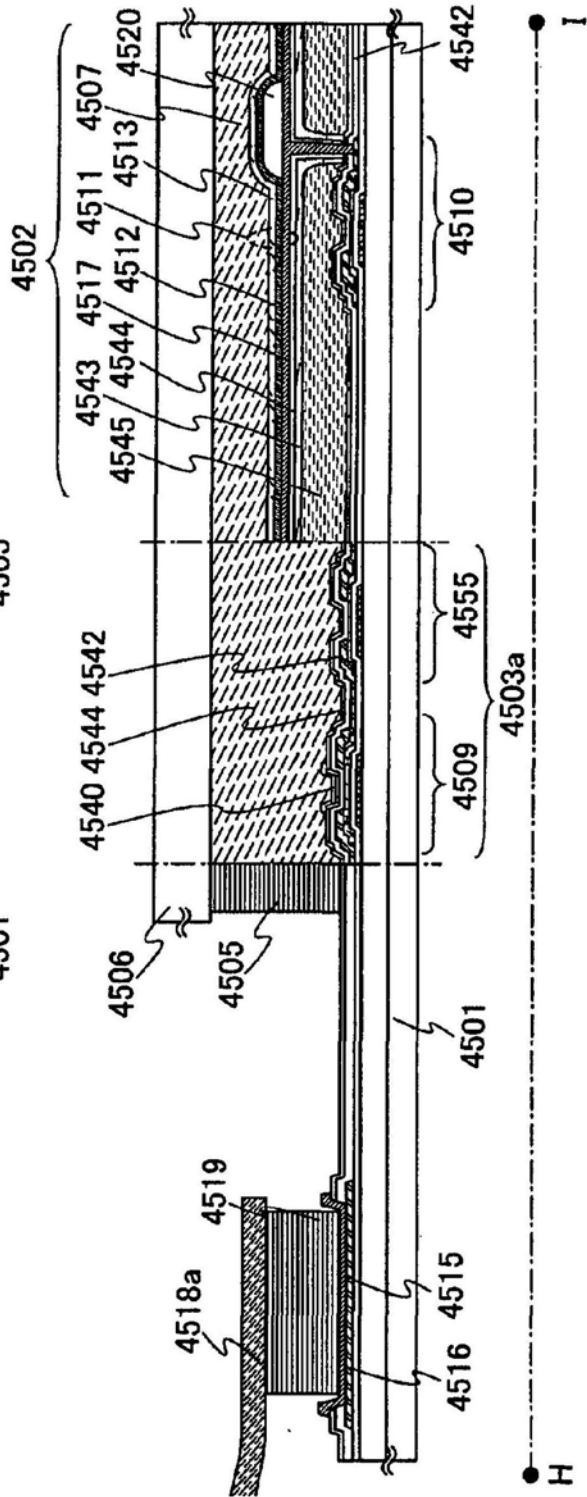


图 17B

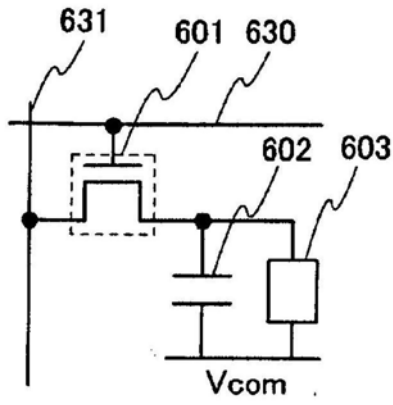


图18A

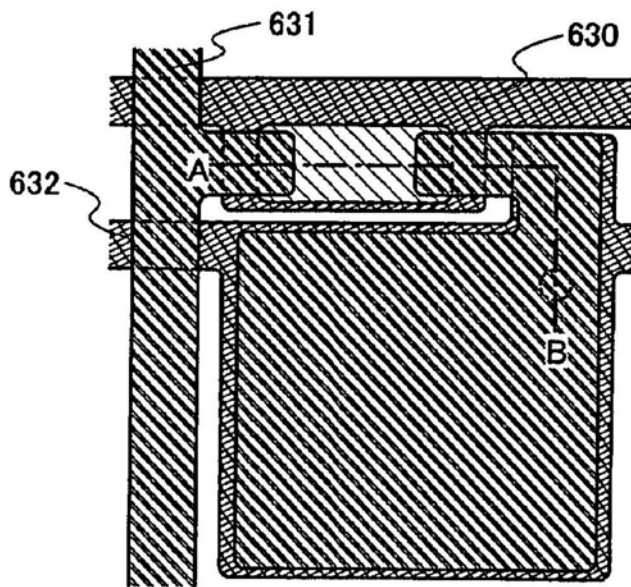


图18B

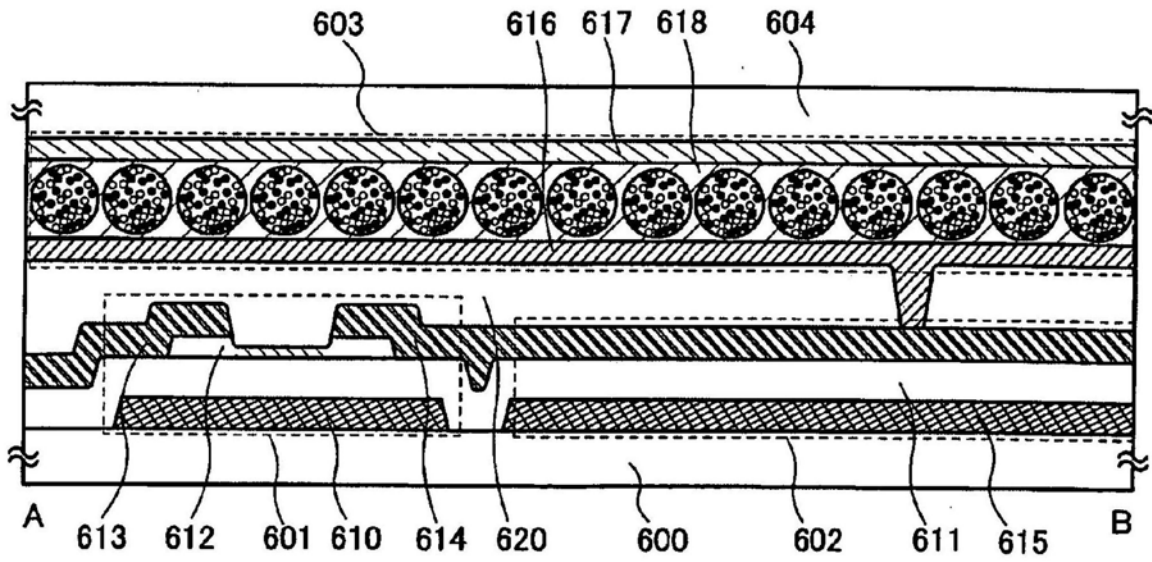


图18C

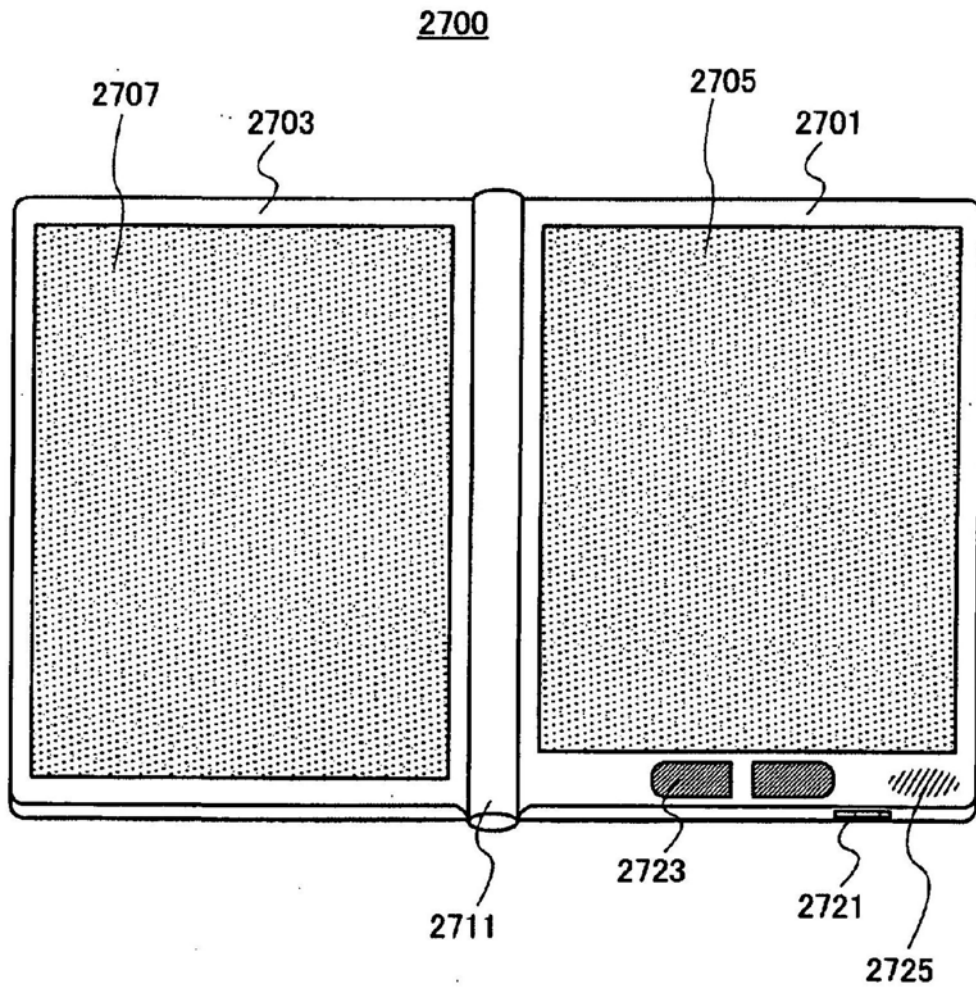


图19

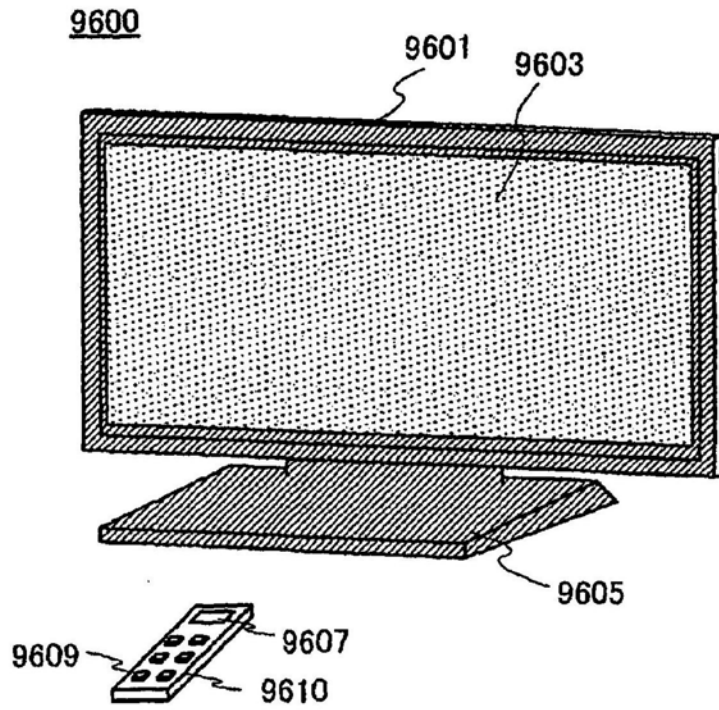


图20A

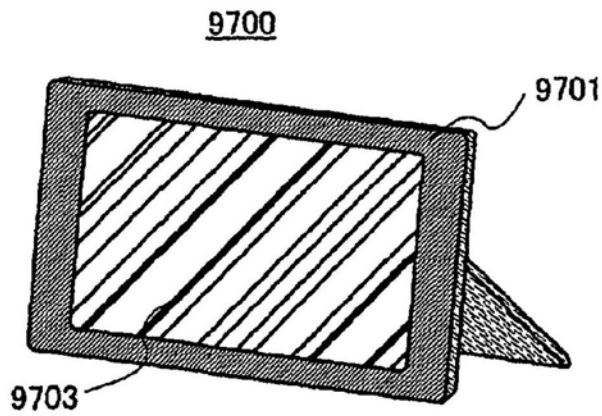


图20B

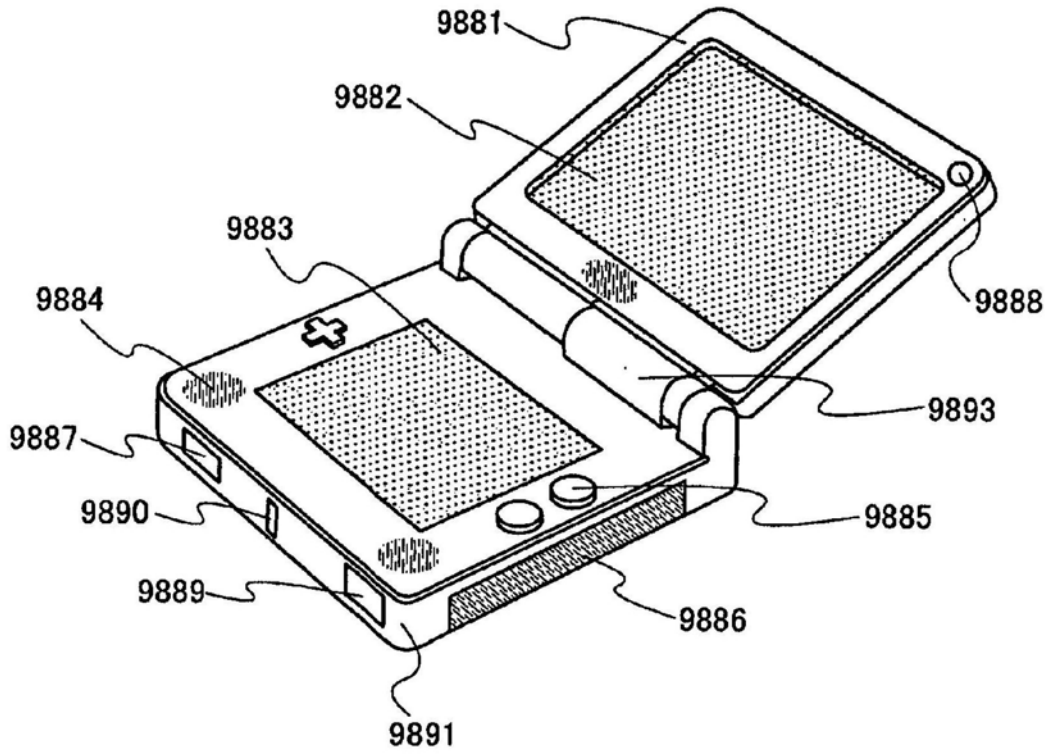


图21A

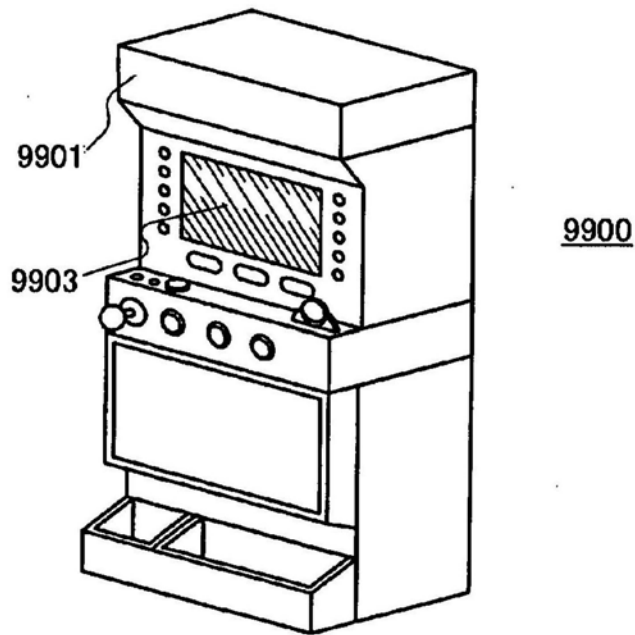


图21B

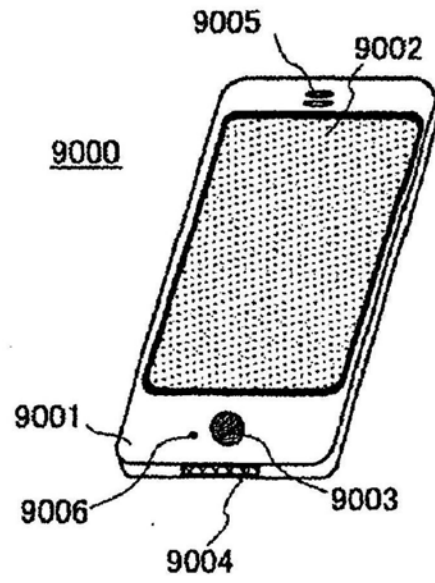


图22A

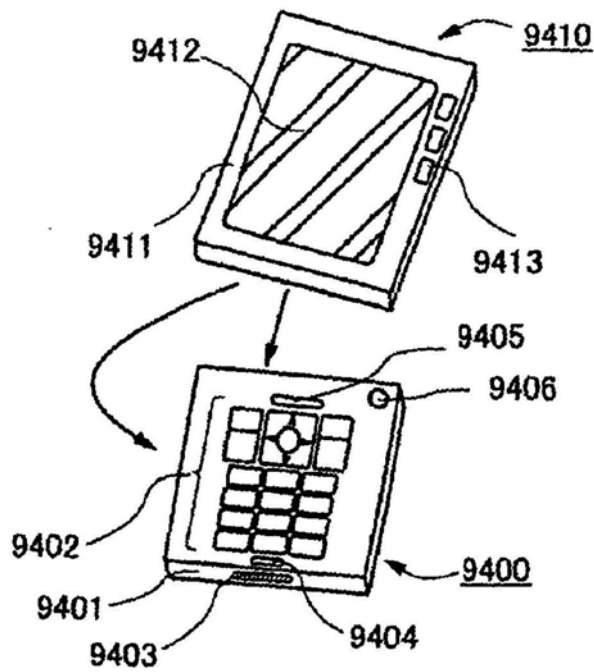


图22B