

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：**96122038**

※ 申請日期：**96.6.20**

※IPC 分類：

H01L <sup>21/</sup>8242, <sup>21/</sup>334.

一、發明名稱：(中文/英文)

(5206.01)

凹入式通道 MOS 電晶體元件與其製作方法 / RECESS  
CHANNEL MOS TRANSISTOR DEVICE AND FABRICATING  
METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司 / NANYA TECHNOLOGY CORP.

代表人：(中文/英文)

連日昌 / LIEN, JIH

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路六六九號 / Hwa-Ya Technology  
Park 669, Fuhsing 3 Rd., Kueishan, Tao-Yuan Hsien, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 林瑄智 / LIN, SHIAN-JYH
2. 李友弼 / LEE, YU-PI
3. 何家銘 / HO, JAR-MING

4. 陳順福 / CHEN, SHUN-FU

5. 郭哲銓 / KUO, TSE-CHUAN

國 籍：(中文/英文)

1. 中華民國 / TWN

2. 中華民國 / TWN

3. 中華民國 / TWN

4. 中華民國 / TWN

5. 中華民國 / TWN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種凹入式通道電晶體與其製作方法，特別是有關於一種製作具有凹入式超深圓角元件的凹入式通道電晶體與其製作方法。

### 【先前技術】

隨著元件設計的尺寸不斷縮小，電晶體閘極通道長度(gate channel length)縮短所引發的短通道效應(short channel effect)已成為半導體元件進一步提昇積集度的障礙。過去已有人提出避免發生短通道效應的方法，例如，減少閘極氧化層的厚度或是增加摻雜濃度等，然而，這些方法卻可能同時造成元件可靠度的下降或是資料傳送速度變慢等問題，並不適合實際應用在製程上。

為解決這些問題，該領域現已發展出並逐漸採用一種所謂凹入式閘極(recessed-gate)的 MOS 電晶體元件設計，藉以提昇如動態隨機存取記憶體(DRAM)等積體電路積集度。相較於傳統水平置放式 MOS 電晶體的源極、閘極與汲極，所謂的凹入式閘極 MOS 電晶體係將閘極與汲極、源極製作於預先蝕刻在半導體基底中的溝渠中，並且將閘極通道區域設置在該溝渠的底部，俾形成一凹入式通道(recessed-channel)，藉此降低 MOS 電晶體的橫向面積，以提昇半導體元件的積集度。

然而，前述製作凹入式閘極(recessed-gate) MOS 電晶體的方法仍有諸多缺點，猷待進一步的改善與改進。舉例來說，由於凹入式閘極 MOS 電晶體具有較長的閘極通道長度，而會因此提高電晶體的驅動電壓以及使得電晶體的驅動電流變小。

### 【發明內容】

因此，本發明之主要目的即在提供一種具有凹入式超深圓角元件的凹入式通道電晶體與其製作方法，以解決前述習知技藝之問題。

本發明提供一種製作凹入式通道 MOS 電晶體元件之方法，包含有提供一半導體基底，該半導體基底具有複數個絕緣結構、複數個主動區域與至少二溝渠電容，其中各該絕緣結構與各該主動區域互相交錯平行，該等溝渠電容位於該等主動區域其中之一上，於該等溝渠電容之間之該主動區域中形成一凹入式通道，該凹入式通道具有一底部，蝕刻該凹入式通道兩側之一部分之該絕緣結構，使該部分之該絕緣結構之上表面低於該凹入式通道之該底部，以形成一鰭狀矽結構凸出於該部分之該絕緣結構之上表面，圓角化該鰭狀矽結構，以形成一凹入式超深圓角元件，於該凹入式超深圓角元件上形成一閘極介電層，以及於該部分之該絕緣結構之上表面與該閘極介電層上形成一閘極材料層。

本發明另提供一種凹入式通道 MOS 電晶體元件，包含有一半

導體基底，該半導體基底具有複數個絕緣結構、複數個主動區域與至少二溝渠電容，其中各該絕緣結構與各該主動區域互相交錯平行，該等溝渠電容位於該等主動區域其中之一上，一凹入式通道，位於該等溝渠電容之間與該等絕緣結構之間之該主動區域中，且該凹入式通道具有一底部，一凹入式超深圓角元件，位於該半導體基底中，且位於該等溝渠電容之間，以及位於各該絕緣結構之間，並且凸出於該凹入式通道之該底部，一閘極介電層，位於該凹入式超深圓角元件上，以及一閘極材料層，位於該閘極介電層上與該凹入式通道中。

為了使 貴審查委員能更進一步了解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖。然而所附圖式僅供參考與輔助說明用，並非用來對本發明加以限制者。

### 【實施方式】

請參考第 1 圖至第 15 圖，其中第 1 圖至第 3 圖、第 5 圖至第 6 圖與第 9 圖至第 11 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖；第 4 圖繪示的是本發明較佳實施例記憶體陣列區域中的溝渠電容佈局的上視示意圖；第 7 圖至第 8 圖與第 12 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的三維立體示意圖；第 13 圖與第 14 圖係顯示第 12 圖中的 A-A' 剖面結構；第 15 圖係顯示第 12 圖中的 B-B' 剖面結構。

首先，如第 1 圖所示，一半導體基底 10 具有一記憶體陣列區域 100 與一週邊電路區域 102，而在半導體基底 10 的記憶體陣列區域 100 中具有所謂的「單邊埋入導電帶(Single-Sided Buried Strap，又稱為 SSBS)」製程的溝渠電容結構 20。溝渠電容結構 20 包含有一側壁電容介電(sidewall capacitor dielectric)層 24 以及一摻雜多晶矽(doped polysilicon)層 26，而摻雜多晶矽層 26 係用來作為溝渠電容結構 20 的連接層。溝渠電容結構 20 的製作方法為習知技藝，因此其詳細製作過程不再贅述。此外，為了簡化說明，溝渠電容結構 20 的埋入式電容下電極(buried plate)與上電極並未特別顯示在圖中，而僅簡要顯示溝渠電容結構 20 的上部構造。此外，在各溝渠電容結構 20 上另有一溝渠上蓋層 30，其中溝渠上蓋層 30 的材質可例如是氧化矽(SiO<sub>2</sub>)。接著，在半導體基底 10 的記憶體陣列區域 100 以及週邊電路區域 102 上依序沈積一第一氮化矽襯墊層(silicon nitride liner)42 以及一介電層 44，例如四乙氧基矽烷(tetra-ethyl-ortho-silicate, TEOS)。然後再塗佈一光阻層 130，並以微影製程將記憶體陣列區域 100 打開，並遮住週邊電路區域 102。

然後，如第 2 圖所示，進行一非等向性乾蝕刻製程，蝕刻介電層 44，在溝渠上蓋層 30 的側壁上形成環繞著溝渠上蓋層 30 的第一側壁子 46。在形成第一側壁子 46 之後，接著將光阻層 130 去除，暴露出週邊電路區域 102 的介電層 44。

接著，如第 3 圖所示，半導體基底 10 的記憶體陣列區域 100

上依序形成一低壓四乙氧基矽烷層 (LPTEOS) 48，然後再於低壓四乙氧基矽烷層 48 上以及半導體基底 10 的週邊電路區域 102 上形成一第二氮化矽襯墊層 50，其中第二氮化矽襯墊層 50 之厚度約為 20~200 奈米。

接著，如第 4 圖所示，進行半導體基底 10 的主動區域定義製程與淺溝絕緣製程，在半導體基底 10 上形成主動區域 52 以及淺溝絕緣區域 54，並且在淺溝絕緣區域 54 中形成複數個淺溝絕緣結構 (STI) 56，然後剝除第二氮化矽襯墊層 50。前述的主動區域 52 之定義製程與淺溝絕緣區域 54 之製程通常包括有以下幾個主要步驟：(1) 硼摻雜矽玻璃(BSG)沈積；(2) 多晶矽沈積；(3) 主動區域微影及蝕刻；(4) 主動區域氧化製程；(5) 淺溝絕緣溝渠填補以及化學機械研磨；但不限於上述步驟。

接著，如第 5 圖所示，進行一蝕刻製程，以在溝渠電容結構 20 之間的半導體基底 10 中先蝕刻低壓四乙氧基矽烷層 48 以形成一第二側壁子 60，然後再以第二側壁子 60 作為硬遮罩來蝕刻形成一開口 58，其中開口 58 之寬度約為 10~100 奈米，而深度約為 30~3000 奈米。

接著，如第 6 圖所示，進行一非等向性乾蝕刻製程，利用第一側壁子 46 以及溝渠上蓋層 30 作為蝕刻遮罩，將開口 58 繼續蝕刻成為一凹入式通道 62，而此時第二側壁子 60 亦同時被蝕刻清



除，其中凹入式通道 62 之寬度約為 20~200 奈米。其中，第一側壁子 46 與第二側壁子 60 可以是相同的材質也可以是不同的材質，本發明在這部分並沒有任何限制。另外請參考第 7 圖，第 7 圖為第 6 圖之三維立體示意圖。

接著，如第 8 圖所示，進行一濕蝕刻製程與乾蝕刻製程，將凹入式通道 62 兩側之淺溝絕緣結構 56 剝除掉一部份，使部分之淺溝絕緣結構 56 之上表面低於凹入式通道 62 之底部，以在半導體基底 10 中形成一鰭狀矽結構 64 凸出於部分之淺溝絕緣結構 56 之上表面，請參考第 9 圖，第 9 圖顯示第 8 圖中的 I-I' 剖面結構。然後，如第 10 圖所示，進行一等向性乾蝕刻製程或濕蝕刻製程將鰭狀矽結構 (fin silicon structure) 64 圓角化，以形成一凹入式超深圓角元件 66。此外，在圓角化鰭狀矽結構 64 之過程中也可以調整凹入式通道 62 之寬度與深度  $h$ ，其中，深度  $h$  可以是大於 5 奈米，但本發明並沒有限制深度  $h$  的大小，深度  $h$  可以依據元件的不同需求來彈性調整。

接著，如第 11 圖所示，於凹入式超深圓角元件 66 上形成一閘極介電層 68 以完成一鰭狀通道 (fin channel)，然後於部分之淺溝絕緣結構 56 之上表面與閘極介電層 66 上形成一閘極材料層 70，其中閘極材料層 70 的材質可以包含有多晶矽、鎢 (W)、氮化鈦 (HfN)、氮化鉬 (MoN)、鈦鉬合金 (HfMo)、氮化鈦鉬 (HfMoN)、氮化鈦 (TiN)、氮化鉭 (TaN) 以及氮化鋁 (AlN)

等，而凹入式超深圓角元件 66 可以是  $\text{SiO}_x$ 。然後再進行一平坦化製程，例如一化學機械研磨（CMP）製程，以磨平半導體基底 10 之主表面，請參考第 12 圖，第 12 圖為第 11 圖之三維立體示意圖。

此外，請參考第 13 圖，第 13 圖係顯示第 12 圖中的 A-A' 剖面結構。本發明可以進一步回蝕刻閘極材料層 70，然後再於淺溝絕緣結構 56 之側壁上形成第三側壁子 72。接著，請參考第 14 圖，第 14 圖也是顯示第 12 圖中的 A-A' 剖面結構，如第 14 圖所示，於閘極材料層 70、淺溝絕緣結構 56 以及第三側壁子 72 上依序沉積一多晶矽層 74、一鎢金屬層 76 與氮化矽層 78，以形成一閘極導電結構層 80，在此請注意，閘極導電結構層 80 之組成結構並非本發明之限制，舉例來說，在閘極導電結構層 80 中也可以只具有多晶矽層 74 與氮化矽層 78。

然後，再進行微影製程與蝕刻製程，以形成一閘極 82 於閘極材料層 70 上方，並且進行離子佈植製程以製作源極 84 與汲極 86，最後再於閘極 82 之側壁上形成第四側壁子 88，如第 15 圖所示，第 15 圖係顯示第 12 圖中的 B-B' 剖面結構。

綜上所述，由於本發明之凹入式通道 MOS 電晶體元件具有凹入式超深圓角元件 66，因此使得在具有較長的閘極通道長度的條件下，有效控制電晶體的驅動電壓與驅動電流。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖至第 3 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖。

第 4 圖繪示的是本發明較佳實施例記憶體陣列區域中的溝渠電容佈局的上視示意圖。

第 5 圖至第 6 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖。

第 7 圖至第 8 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的三維立體示意圖。

第 9 圖至第 11 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖。

第 12 圖繪示的是本發明較佳實施例之凹入式通道 MOS 電晶體元件的製作方法的三維立體示意圖。

第 13 圖係顯示第 12 圖中的 A-A' 剖面結構。

第 14 圖係顯示第 12 圖中的 A-A' 剖面結構。

第 15 圖係顯示第 12 圖中的 B-B' 剖面結構。

### 【主要元件符號說明】

10：半導體基底

20：溝渠電容結構

- 24：側壁電容介電層
- 26：摻雜多晶矽層
- 30：溝渠上蓋層
- 42：第一氮化矽襯墊層
- 44：介電層
- 46：第一側壁子
- 48：低壓四乙氧基矽烷層
- 50：第二氮化矽襯墊層
- 52：主動區域
- 54：淺溝絕緣區域
- 56：淺溝絕緣結構
- 58：開口
- 60：第二側壁子
- 62：凹入式通道
- 64：鰭狀矽結構
- 66：凹入式超深圓角元件
- 68：閘極介電層
- 70：閘極材料層
- 72：第三側壁子
- 74：多晶矽層
- 76：鎢金屬層
- 78：氮化矽層
- 80：閘極導電結構層

82：閘極

84：源極

86：汲極

88：第四側壁子

100：記憶體陣列區域

102：週邊電路區域

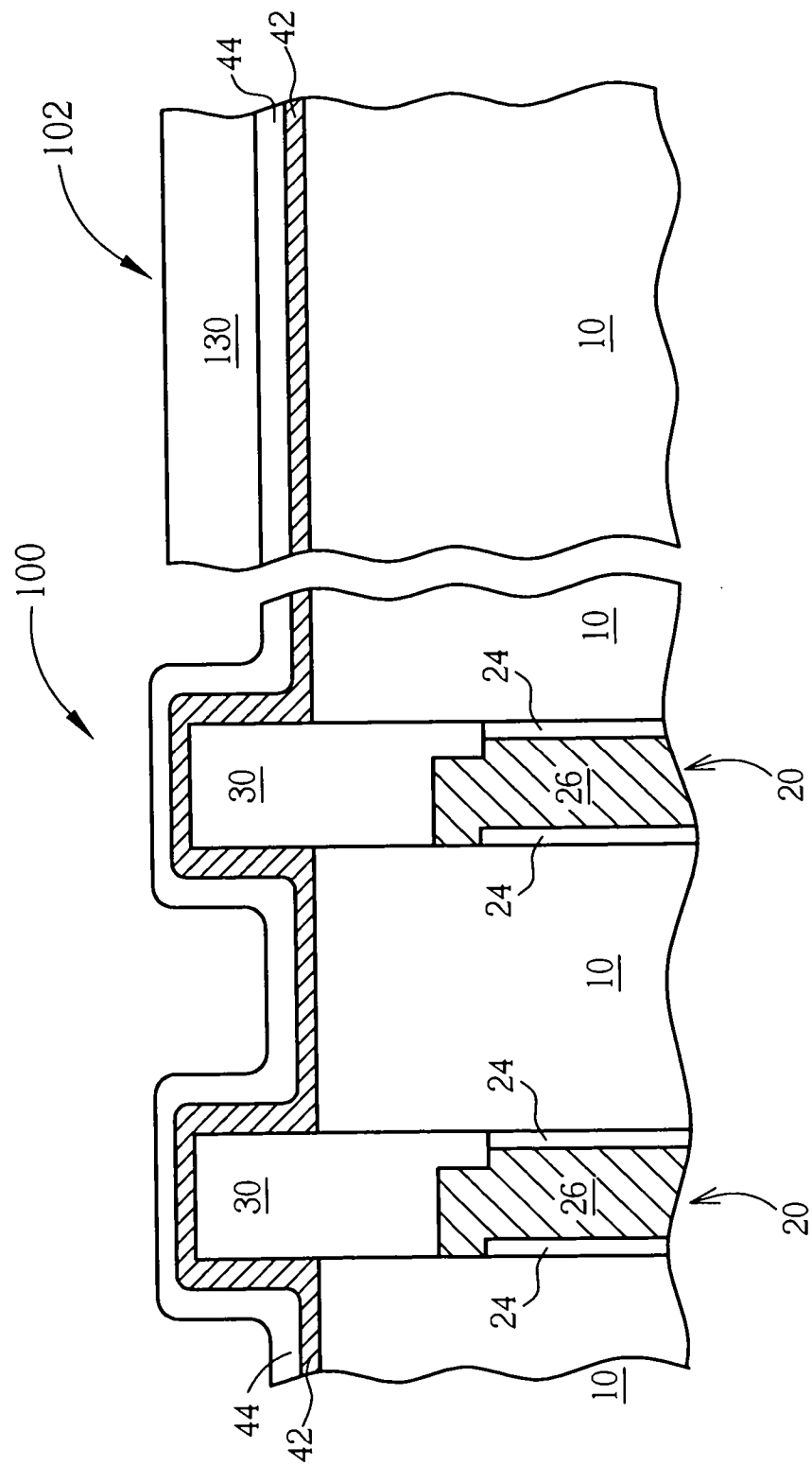
## 五、中文發明摘要：

本發明之凹入式通道 MOS 電晶體元件包含一半導體基底，該半導體基底具有複數個絕緣結構、複數個主動區域與至少二溝渠電容，其中各絕緣結構與各主動區域互相交錯平行，該等溝渠電容位於該等主動區域其中之一上，一凹入式通道，位於該等溝渠電容之間與該等絕緣結構之間之主動區域中，且該凹入式通道具有一底部，一凹入式超深圓角元件，位於該半導體基底中且位於該等溝渠電容之間，以及位於該等絕緣結構之間，並凸出於該凹入式通道之該底部，一閘極介電層，位於該凹入式超深圓角元件上，以及一閘極材料層，位於該閘極介電層上與該凹入式通道中。

## 六、英文發明摘要：

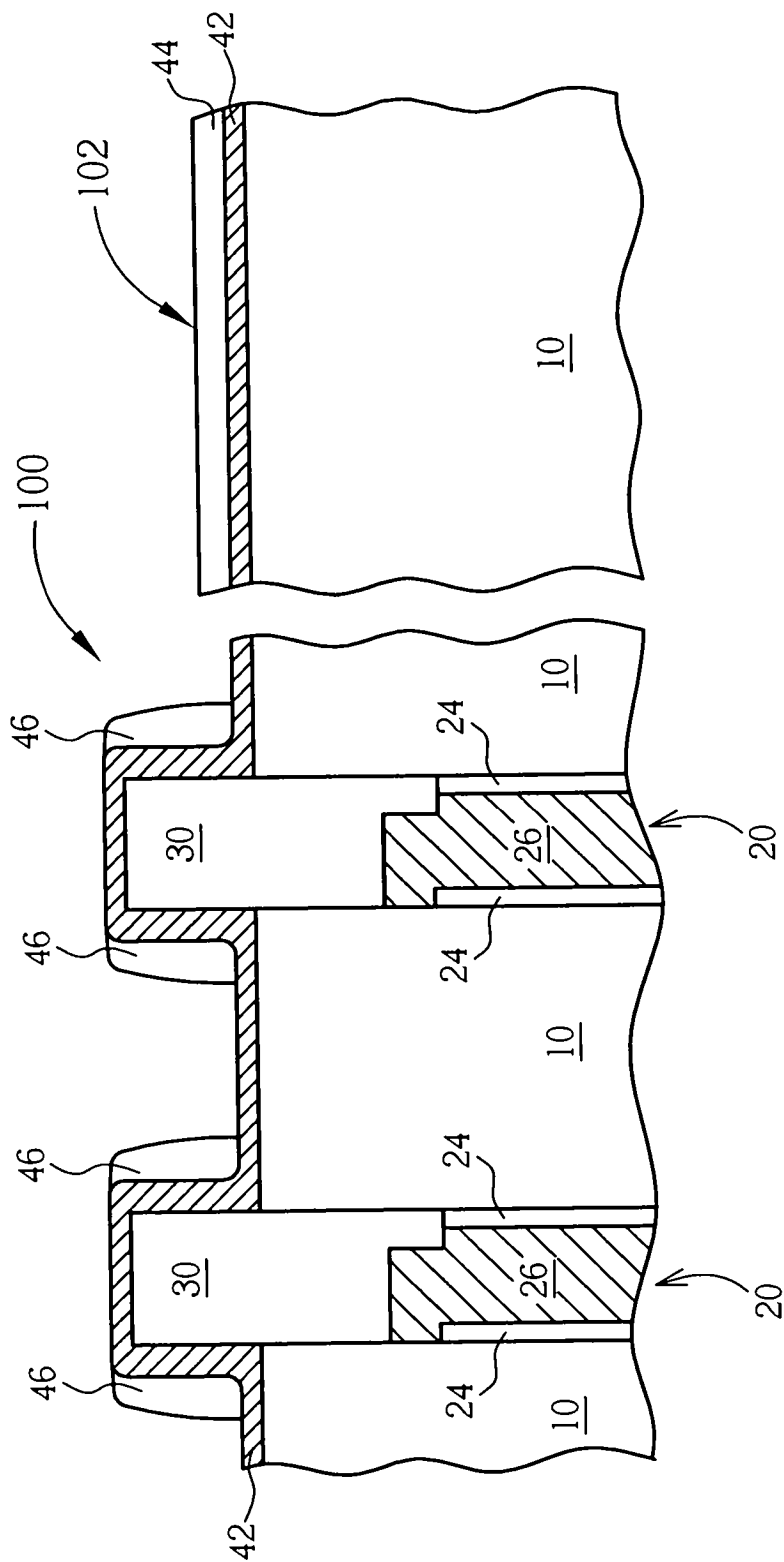
The recess channel MOS transistor device of the present invention includes a semiconductor substrate having a plurality of isolation structures, a plurality of active areas, and at least two trench capacitors, wherein each isolation structure is parallel with each active area, and the trench capacitors are positioned on one of the active areas, a recess channel, positioned in the active area between the trench capacitors and the isolation structures, the recess channel having a bottom, a recess ultra deep corner device, positioned in the semiconductor substrate, between the trench capacitors and between each isolation structure, and protruding over the bottom of the recess channel, a gate dielectric layer, positioned on the recess ultra deep corner device, and a gate material layer, positioned on the gate dielectric layer and in the recess channel.

十一、圖式：

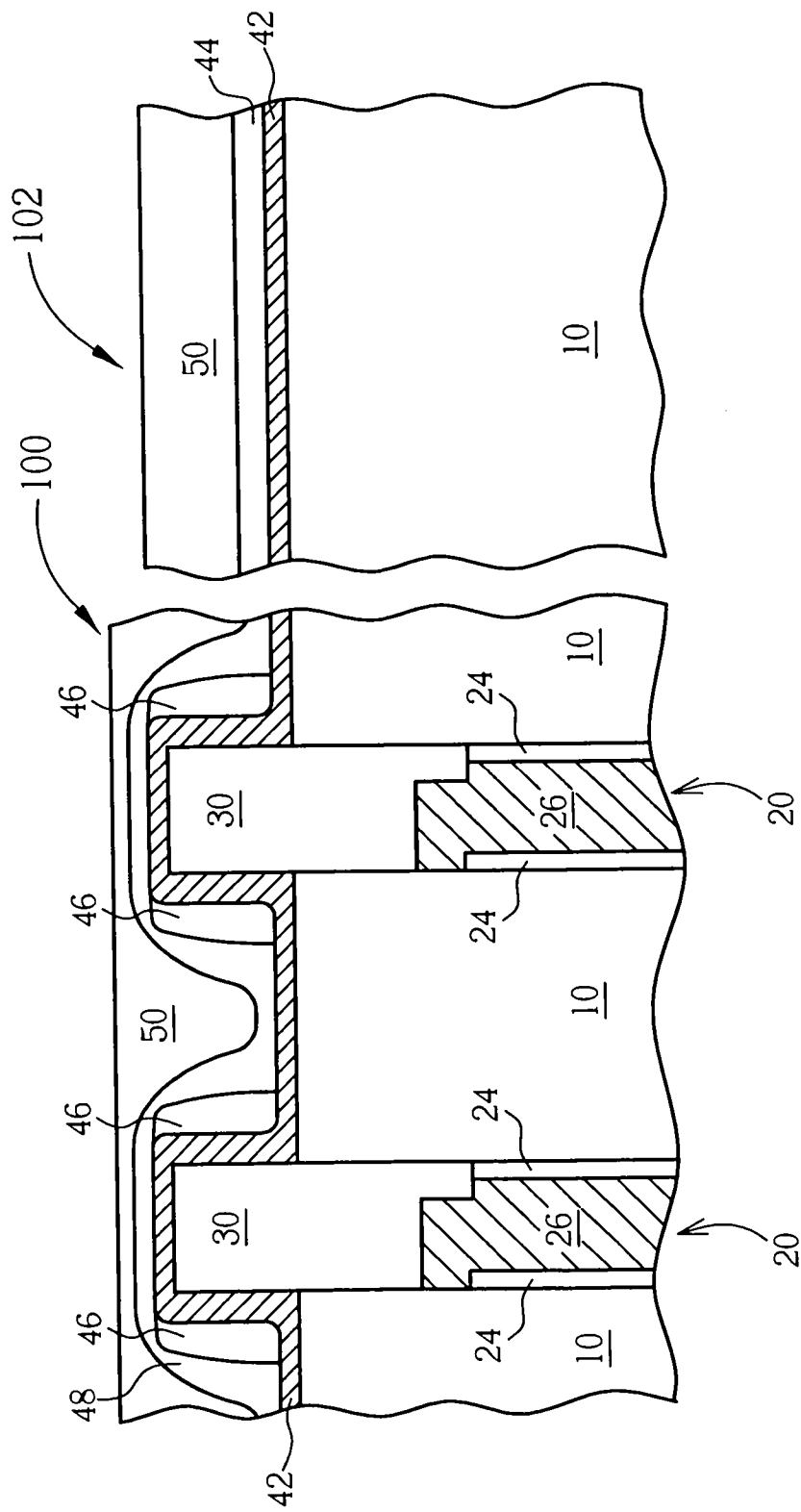


第1圖

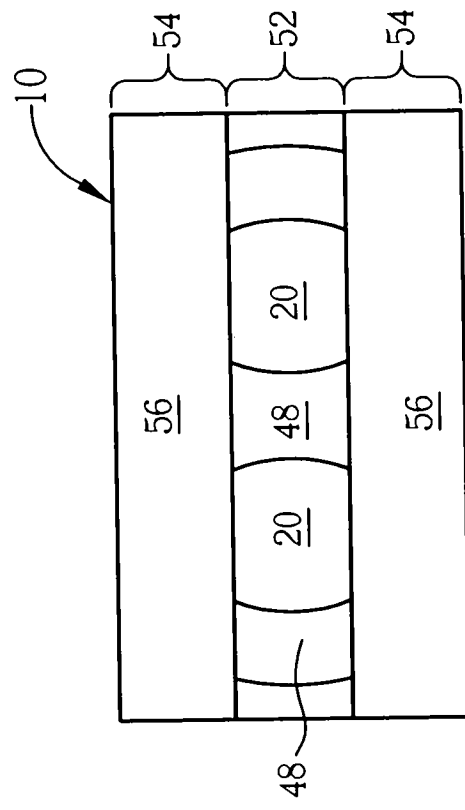




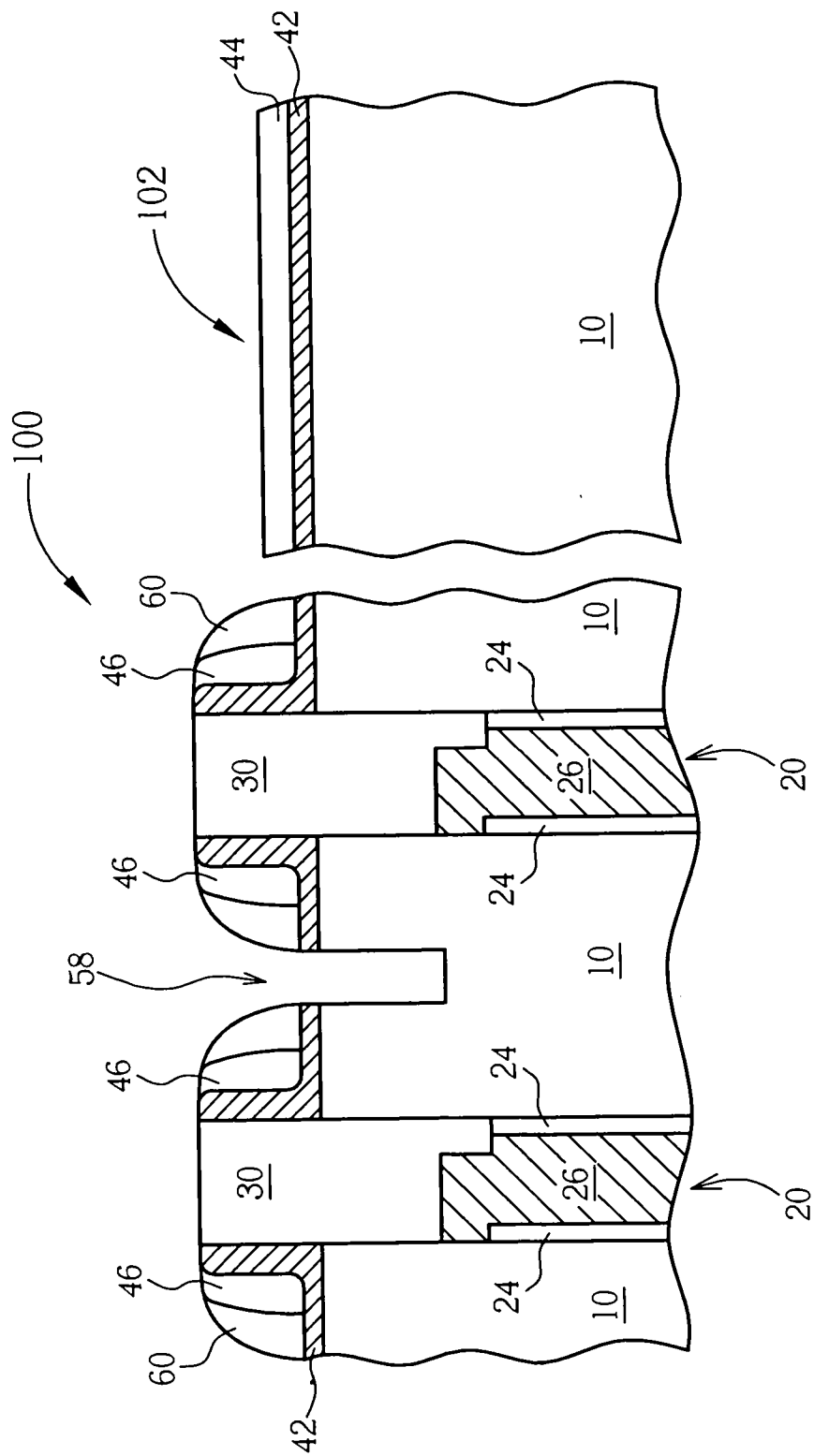
第2圖



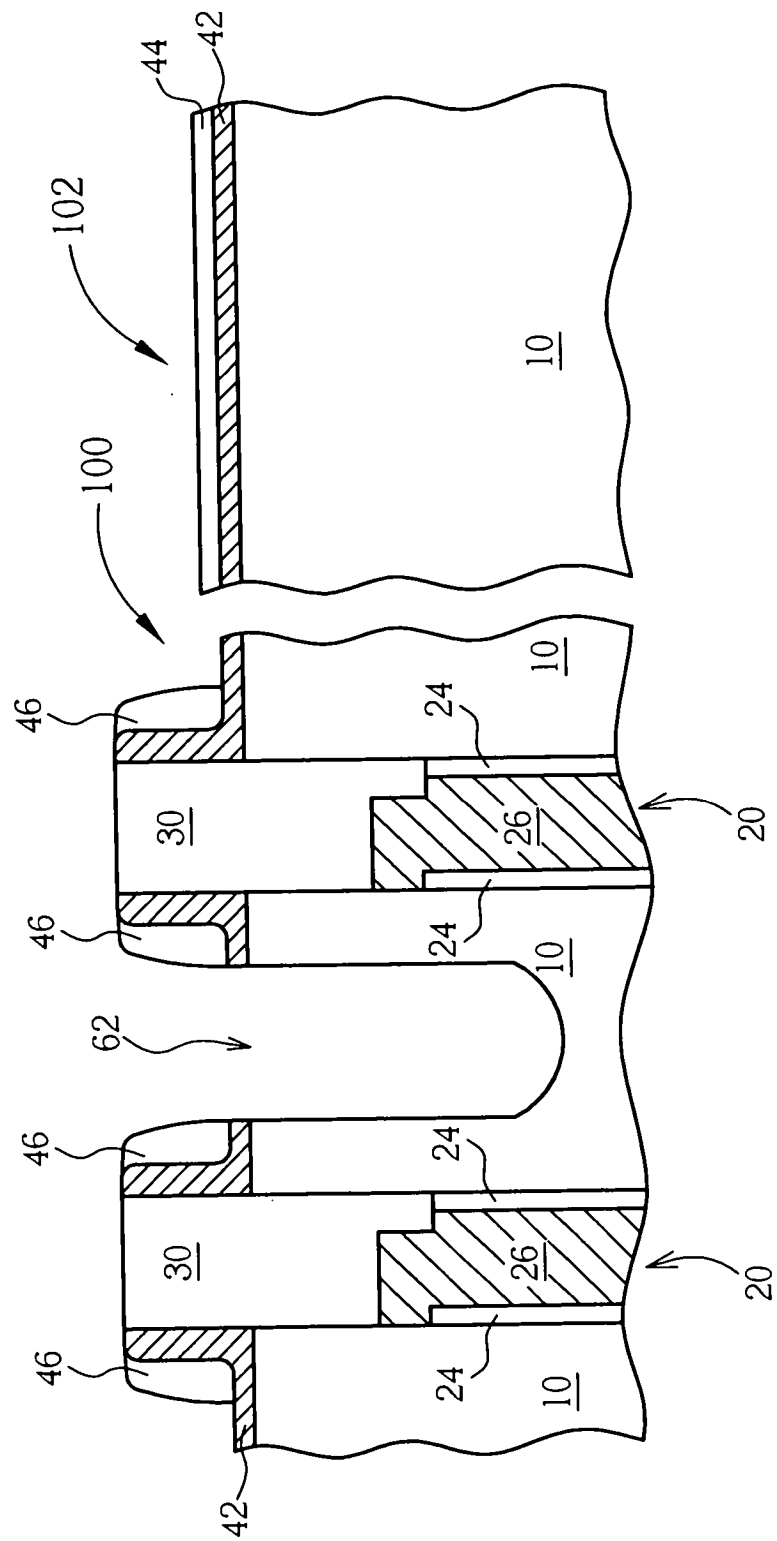
第3圖



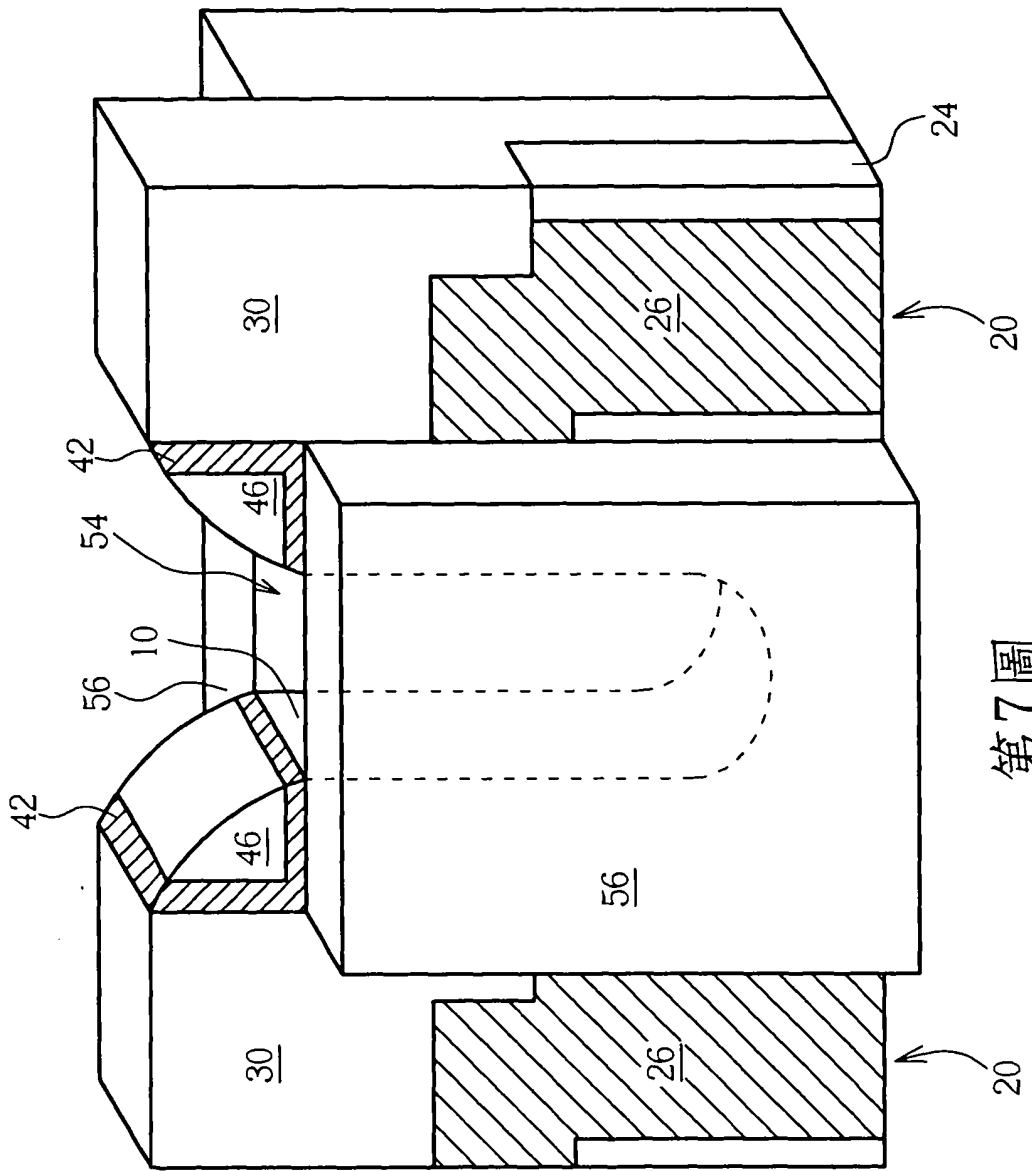
第4圖



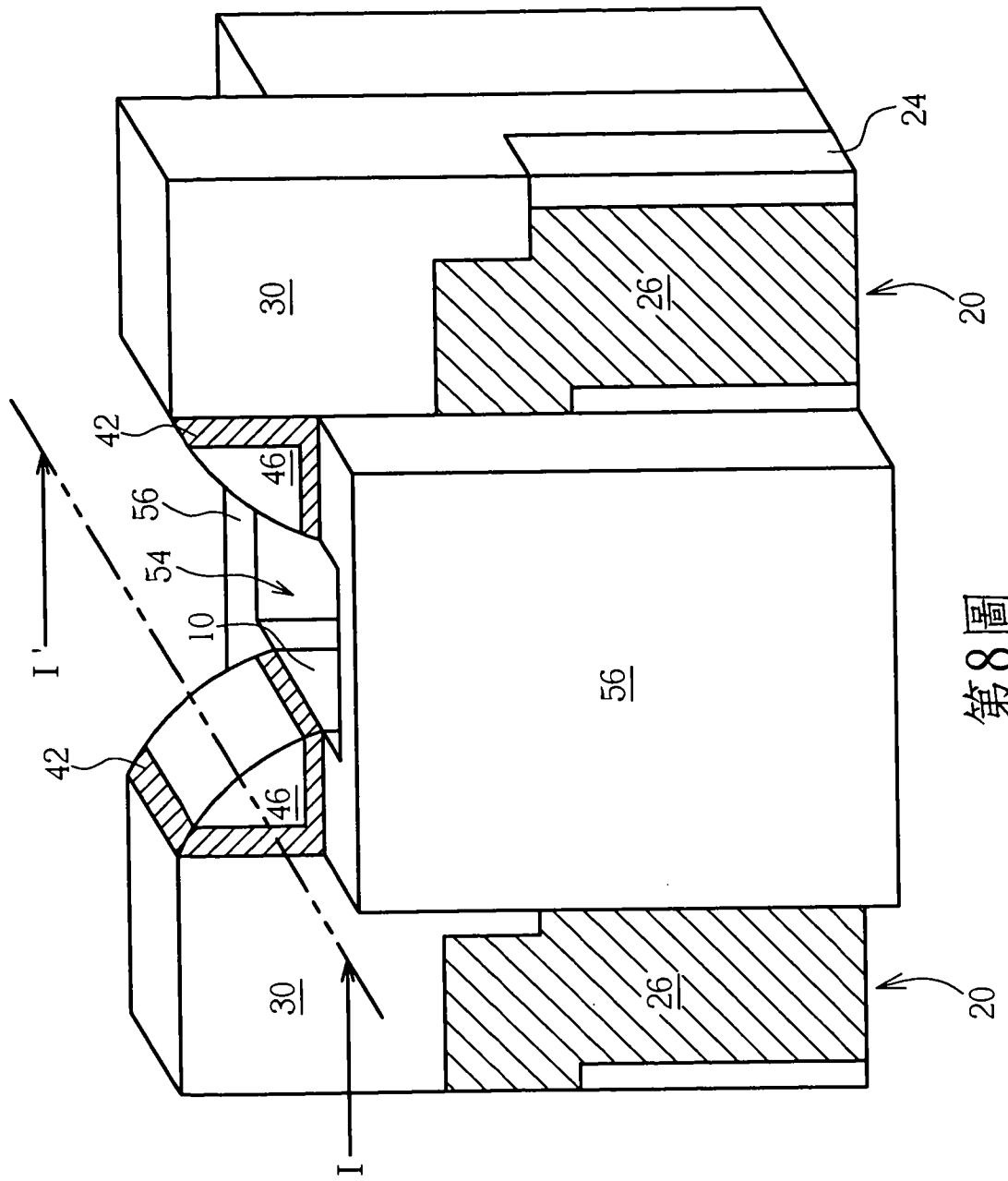
第5圖



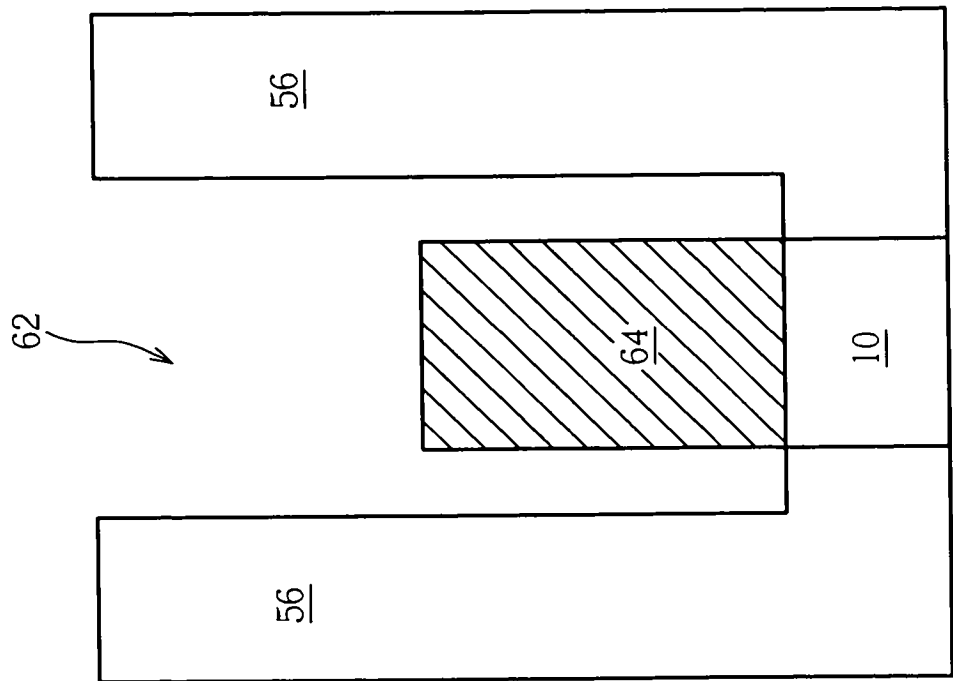
第6圖



第7圖

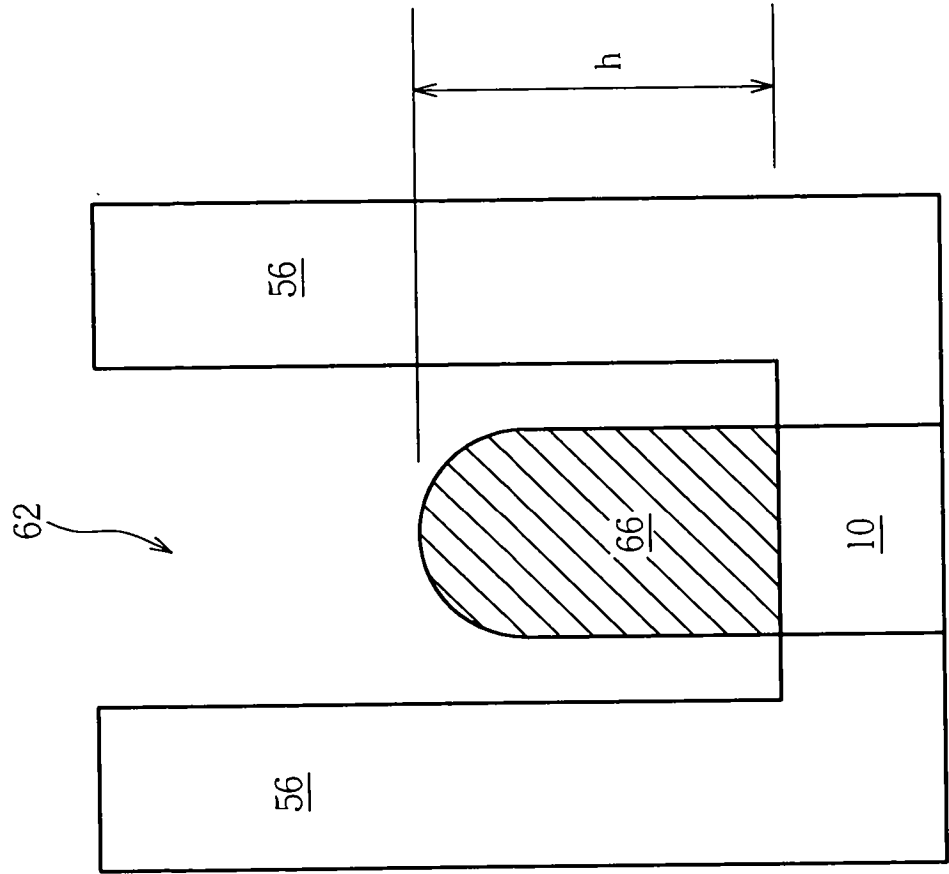


第8圖

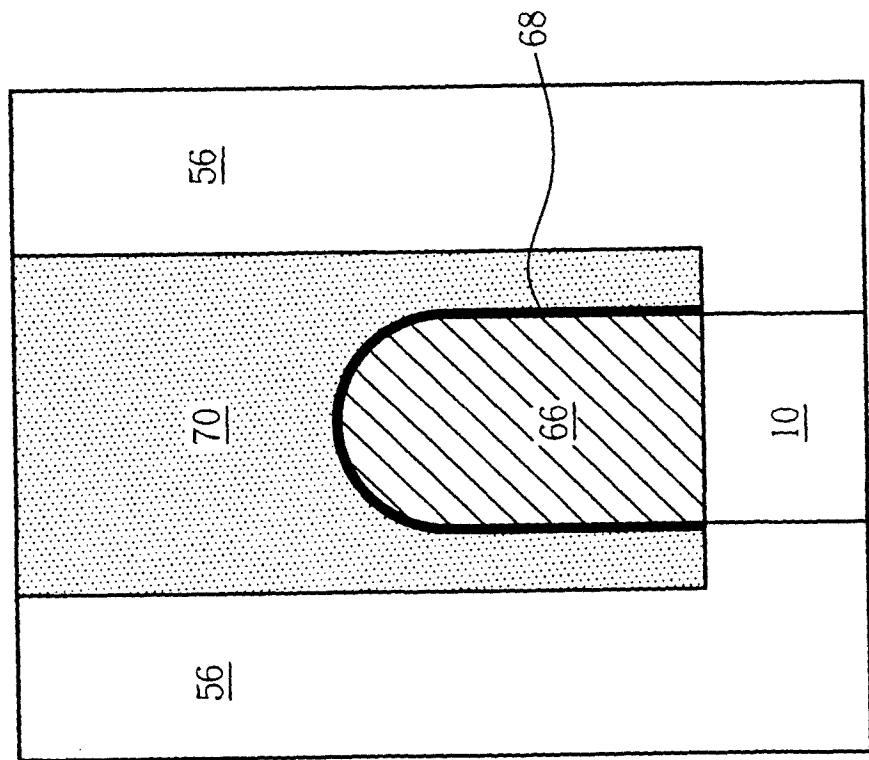


第9圖

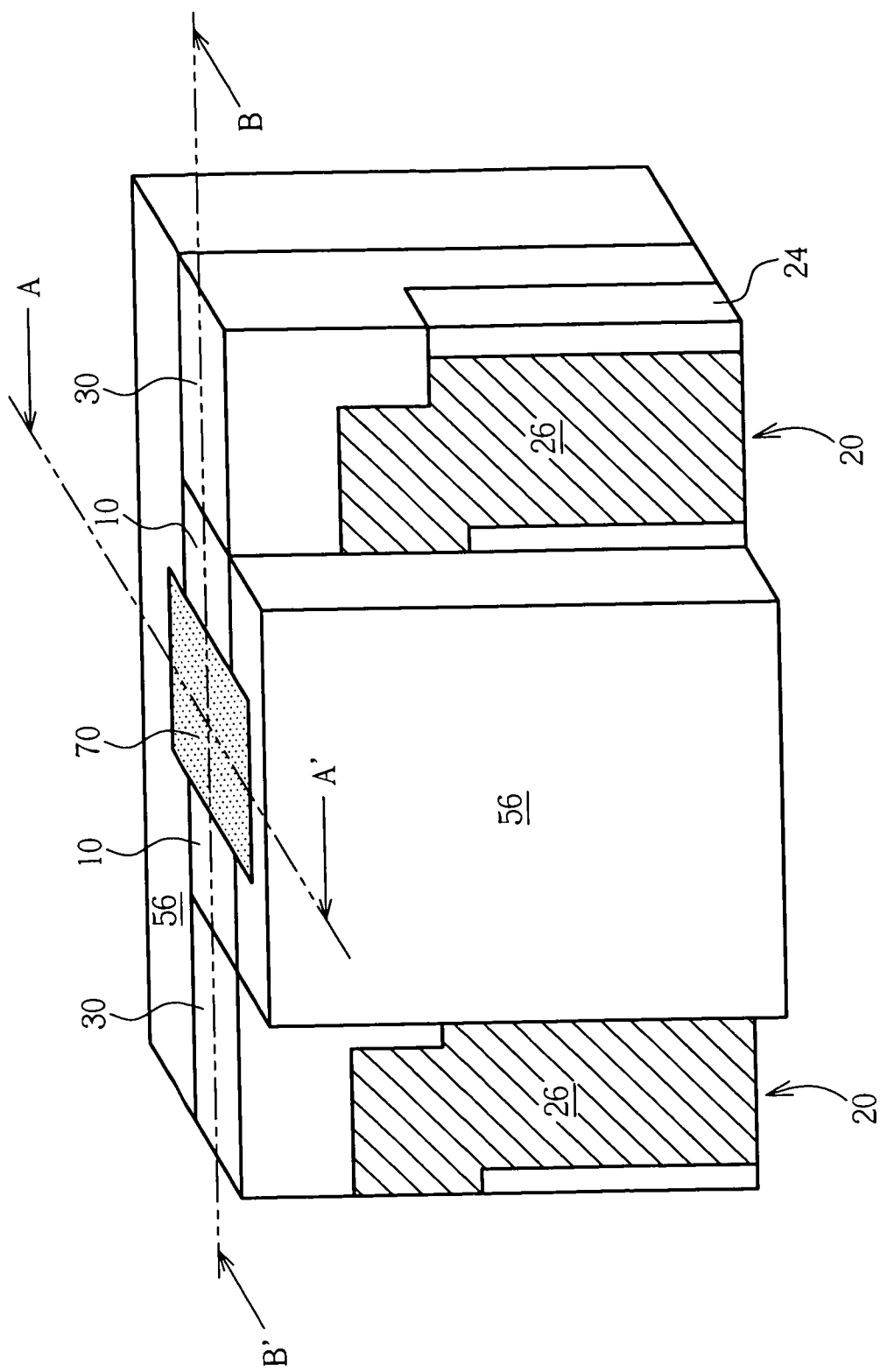




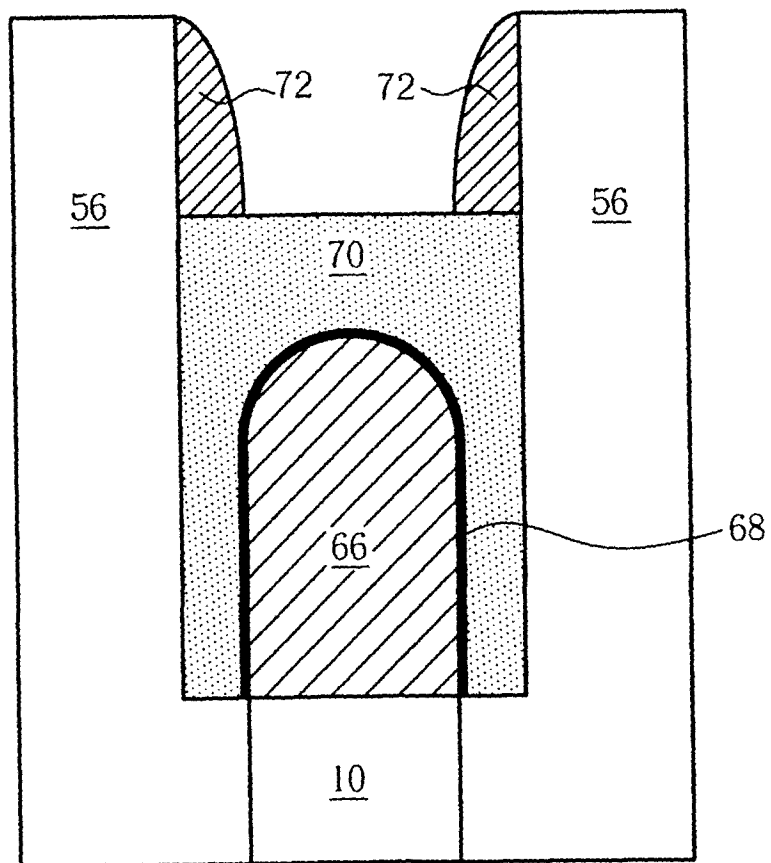
第10圖



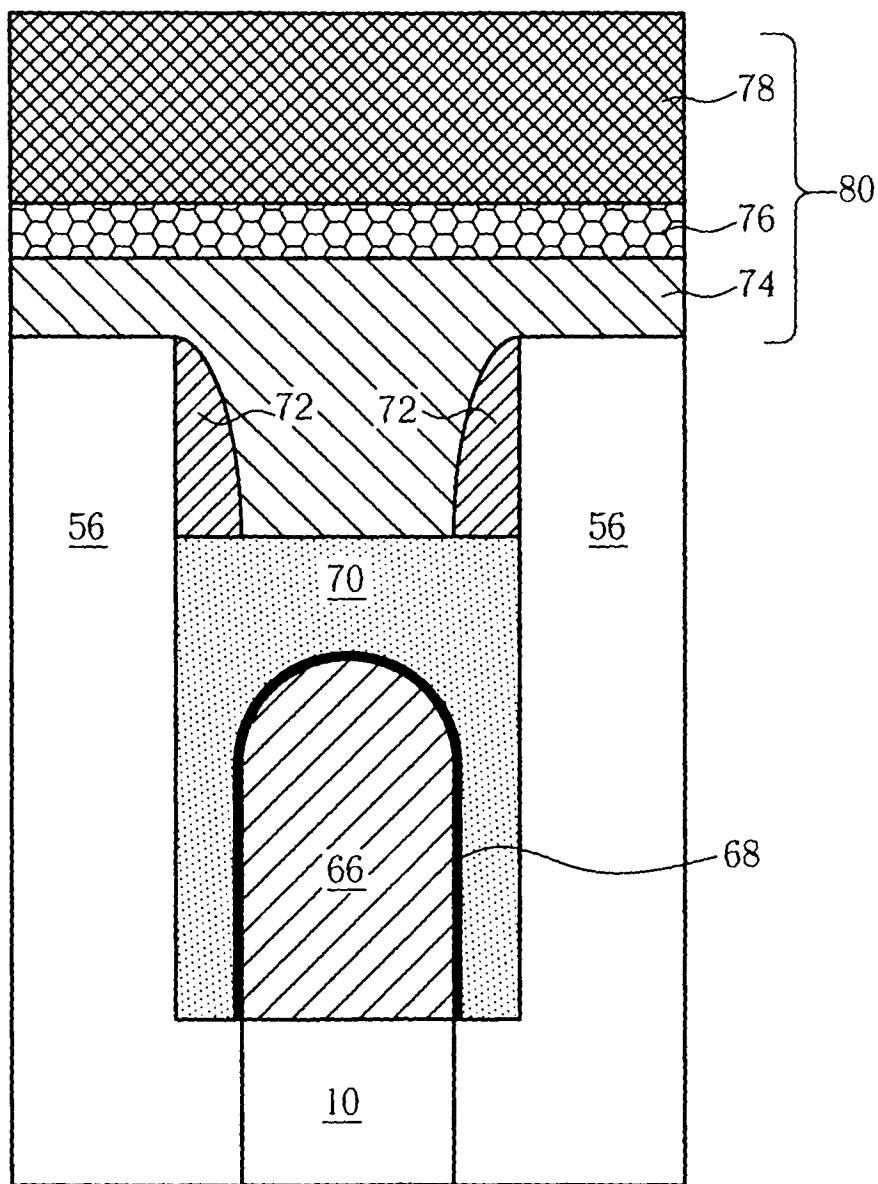
第11圖



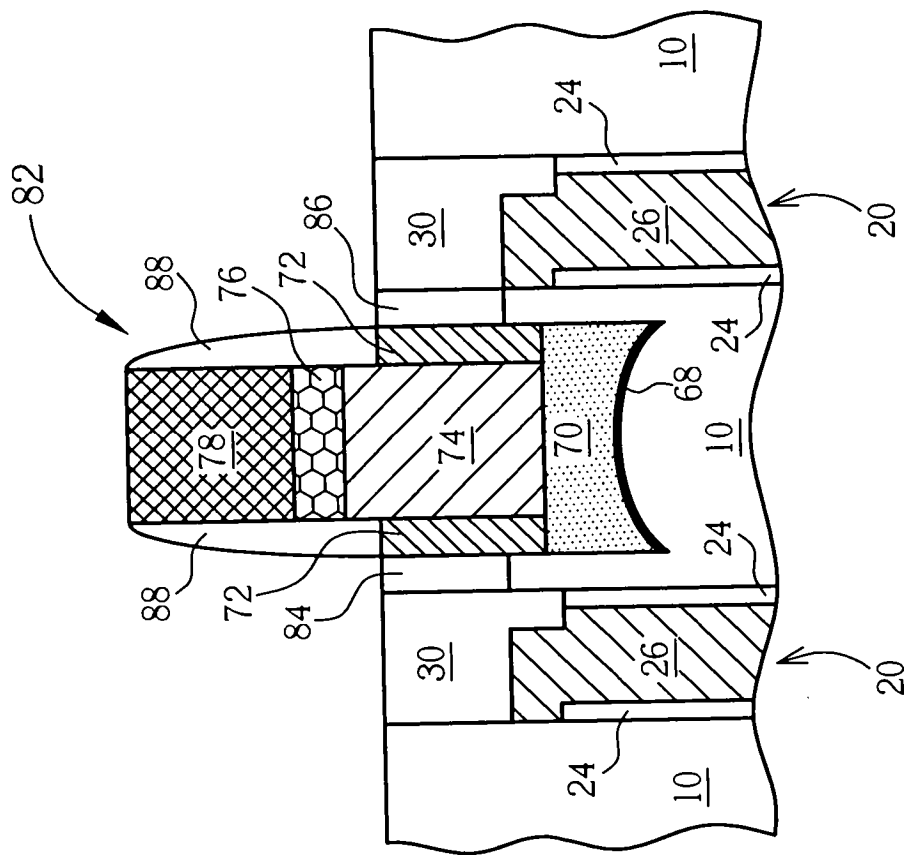
第12圖



第13圖



第14圖



第15圖

七、指定代表圖：

(一)本案指定代表圖為：第( 11 )圖。

(二)本代表圖之元件符號簡單說明：

10：半導體基底

56：淺溝絕緣結構

66：凹入式超深圓角元件

68：閘極介電層

70：閘極材料層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 十、申請專利範圍：

1. 一種製作凹入式通道 MOS 電晶體元件之方法，包含有：

提供一半導體基底，該半導體基底具有複數個絕緣結構、複數個主動區域與至少二溝渠電容，其中各該絕緣結構與各該主動區域互相交錯平行，該等溝渠電容位於該等主動區域中；

於該等溝渠電容間之該主動區域中形成一凹入式通道，該凹入式通道具有一底部；

蝕刻該凹入式通道兩側之一部分該絕緣結構，使該部分之該絕緣結構的上表面低於該凹入式通道之該底部，以形成一鰭狀矽結構凸出於該部分之該絕緣結構的上表面；

於該鰭狀矽結構上形成一閘極介電層；以及

於該部分之該絕緣結構之上表面與該閘極介電層上形成一閘極材料層。

2. 如申請專利範圍第 1 項之方法，其中在形成該鰭狀矽結構之步驟後另包含有：

圓角化該鰭狀矽結構，以形成一凹入式超深圓角元件。

3. 如申請專利範圍第 1 項之方法，其中該閘極材料層上另包含有一閘極與一側壁子。

4. 如申請專利範圍第 3 項之方法，其中該閘極包含有多晶矽層、鎢金屬層與氮化矽層。



5. 一種凹入式通道 MOS 電晶體元件，包含有：

一半導體基底，該半導體基底具有複數個絕緣結構、複數個主動區域與至少二溝渠電容，其中各該絕緣結構與各該主動區域互相交錯平行，該等溝渠電容位於該等主動區域其中之一上；

一凹入式通道，位於該等溝渠電容之間與該等絕緣結構之間之該主動區域中，且該凹入式通道具有一底部；

一凹入式超深圓角元件，位於該半導體基底中，且位於該等溝渠電容之間，以及位於該等絕緣結構之間，並且凸出於該凹入式通道之該底部；

一閘極介電層，位於該凹入式超深圓角元件上；以及

一閘極材料層，位於該閘極介電層上與該凹入式通道中，並使得該凹入式超深圓角元件凸入該閘極材料層中。

6. 如申請專利範圍第 5 項之凹入式通道 MOS 電晶體元件，其中該閘極材料層上另包含有一閘極以及一側壁子。

7. 如申請專利範圍第 6 項之凹入式通道 MOS 電晶體元件，其中該閘極包含有多晶矽層、鎢金屬層以及氮化矽層。