

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-214274  
(P2007-214274A)

(43) 公開日 平成19年8月23日(2007.8.23)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 25/18 (2006.01) HO 1 L 25/04 Z  
 HO 1 L 25/04 (2006.01)

審査請求 未請求 請求項の数 4 O L (全 13 頁)

|           |                            |          |   |
|-----------|----------------------------|----------|---|
| (21) 出願番号 | 特願2006-31271 (P2006-31271) | (71) 出願人 | 000002185<br>ソニー株式会社<br>東京都港区港南1丁目7番1号            |
| (22) 出願日  | 平成18年2月8日(2006.2.8)        | (74) 代理人 | 100082131<br>弁理士 稲本 義雄                            |
|           |                            | (72) 発明者 | 助川 俊一<br>東京都品川区北品川6丁目7番35号 ソニー株式会社内               |
|           |                            | (72) 発明者 | 重並 賢一<br>東京都品川区北品川6丁目7番35号 ソニー株式会社内               |
|           |                            | (72) 発明者 | 工藤 守<br>神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 |

(54) 【発明の名称】 半導体装置

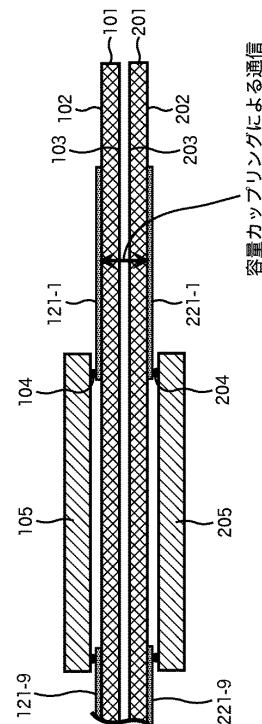
(57) 【要約】

【課題】 簡単かつ安価に製造ができ、少ない消費電力で通信することができる半導体装置を実現する。

【解決手段】 シリコンインターポーザ101の表面102に通信チップ105と平板121-1を形成する。シリコンインターポーザ201にも同様に、その表面202に通信チップ205と平板221-1を形成する。2つのシリコンインターポーザ101, 201を、裏面103, 203が対向するようにして配置し、平板121-1, 221-1の静電誘導により、通信チップ105, 205間で通信を行なう。

【選択図】 図8

図8



## 【特許請求の範囲】

## 【請求項 1】

高抵抗の素材からなる板状部材であって、一方の面に回路が形成された第 1 の板状部材と、

高抵抗の素材からなる板状部材であって、一方の面に回路が形成された第 2 の板状部材と、

前記第 1 の板状部材の前記回路が形成された面に配置された通信用のアンテナとしての複数の第 1 平板と、

前記第 1 の板状部材の前記回路が形成された面に配置された、前記第 1 の平板を介して通信する第 1 の通信部と、

前記第 2 の板状部材の前記回路が形成された面に配置された通信用のアンテナとしての複数の第 2 の平板と、

前記第 2 の板状部材の前記回路が形成された面に配置された、前記第 2 の平板を介して通信する第 2 の通信部と

を備え、

前記第 1 の板状部材と前記第 2 の板状部材が、それぞれの前記回路が形成されていない方の面が対向するように配置された半導体装置。

10

## 【請求項 2】

前記第 1 の板状部材は、電力の供給を受けるボンディングワイヤを有し、

前記第 2 の板状部材は、電力の供給を受けるバンプを有する

請求項 1 に記載の半導体装置。

20

## 【請求項 3】

前記第 1 の板状部材と前記第 2 の板状部材は、シリコンインターポーザであり、その体積抵抗は、 $1 \text{ k } \Omega \cdot \text{cm}$ 以上である

請求項 1 に記載の半導体装置。

## 【請求項 4】

前記第 1 の板状部材と前記第 2 の板状部材からなる組み合わせを少なくとも 2 組備え、

一方の組の前記第 1 の板状部材と前記第 2 の板状部材のうちの一方の前記回路が形成された面と、他方の組の前記第 1 の板状部材と前記第 2 の板状部材のうちの一方の前記回路が形成された面は、相互に対向するように配置され、両者の間には通信用のバンプと電力供給用のバンプが設けられている

請求項 1 に記載の半導体装置。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置に関し、特に、簡単かつ安価に製造でき、少ない消費電力で通信することができるようにした半導体装置に関する。

## 【背景技術】

## 【0002】

電子機器の普及に伴い、マルチチップモジュール (MCM) を積層したマルチチップパッケージ、或いはシステムインパッケージ (SIP) を低コストで実現する積層技術、チップ間配線技術などが提案されている。

40

## 【0003】

図 1 は、従来 of マルチチップモジュールの構造の例を表している。このマルチチップモジュールでは、シリコンインターポーザ 1 とシリコンインターポーザ 21 が組み合わされている。シリコンインターポーザ 1 の表面 2 には、チップ 5 がバンプ 4 を介して装着されている。同様に、シリコンインターポーザ 21 の表面 22 には、チップ 25 がバンプ 24 を介して装着されている。さらに、シリコンインターポーザ 1 の表面 2 と裏面 3 の間には貫通ホール 6 が形成されており、シリコンインターポーザ 21 の表面 22 と裏面 23 の間には貫通ホール 26 が形成されている。そして、貫通ホール 6 と貫通ホール 26 は、バンプ 7 を介して相互に接

50

続されている。シリコンインターポーザ1上のチップ5と、シリコンインターポーザ21上のチップ25との間の通信は、シリコンインターポーザ1上に形成されたパターン、シリコンインターポーザ1の貫通ホール6、バンプ7、シリコンインターポーザ21の貫通ホール26、並びにシリコンインターポーザ21上のパターンを介して行なわれる。

【0004】

しかしながら、貫通ホールを形成するには新たなプロセス開発が必要となるばかりでなく、シリコンインターポーザの裏面に電極形成が必要となり、さらに、微細な貫通ホールの形成は困難であるなどの課題がある。

【0005】

そこで、例えば図2Aに示されるように、静電容量結合を利用して通信を行なうことが知られている（例えば、非特許文献1）。図2Aの例においては、シリコンインターポーザ1の表面2（チップ5が装着されている面）に電極41が形成され、同様にインターポーザ21の表面22（チップ25が装着されている面）に電極51が形成され、電極41と電極51が対向するようにシリコンインターポーザ1の表面2とシリコンインターポーザ21の表面22が配置されている。シリコンインターポーザ1の表面2上のチップ5と、シリコンインターポーザ21の表面22上のチップ25とは、それぞれ、電極41と電極51の静電誘導を利用した通信路を介して通信を行なう。

10

【0006】

【非特許文献1】「日経エレクトロニクス」2005年10月10日発行、p.92-99

【発明の開示】

20

【発明が解決しようとする課題】

【0007】

しかしながら、図2Aに示されるように、電極41,51を対向して配置して無線通信を行なうのであれば、例えば図2Bに示されるように、シリコンインターポーザ1の表面2とシリコンインターポーザ21の表面22との間にバンプ61を配置し、このバンプ61を介して通信を行なうようにした方が、より安価で製造が容易となる。

【0008】

本発明は、このような状況に鑑みてなされたものであり、簡単かつ安価に製造でき、少ない消費電力で通信することができる半導体装置を実現するものである。

【課題を解決するための手段】

30

【0009】

本発明の側面は、高抵抗の素材からなる板状部材であって、一方の面に回路が形成された第1の板状部材と、高抵抗の素材からなる板状部材であって、一方の面に回路が形成された第2の板状部材と、前記第1の板状部材の前記回路が形成された面に配置された通信用のアンテナとしての複数の第1平板と、前記第1の板状部材の前記回路が形成された面に配置された、前記第1の平板を介して通信する第1の通信部と、前記第2の板状部材の前記回路が形成された面に配置された通信用のアンテナとしての複数の第2の平板と、前記第2の板状部材の前記回路が形成された面に配置された、前記第2の平板を介して通信する第2の通信部とを備え、前記第1の板状部材と前記第2の板状部材が、それぞれの前記回路が形成されていない方の面が対向するように配置された半導体装置である。

40

【0010】

前記第1の板状部材は、電力の供給を受けるボンディングワイヤを有し、前記第2の板状部材は、電力の供給を受けるバンプを有することができる。

【0011】

前記第1の板状部材と前記第2の板状部材は、シリコンインターポーザであり、その体積抵抗は、1kΩ・cm以上とすることができる。

【0012】

前記第1の板状部材と前記第2の板状部材からなる組み合わせを少なくとも2組備え、一方の組の前記第1の板状部材と前記第2の板状部材のうち一方の前記回路が形成された面と、他方の組の前記第1の板状部材と前記第2の板状部材のうち一方の前記回路が

50

形成された面は、相互に対向するように配置され、両者の間には通信用のバンプと電力供給用のバンプが設けることができる。

【0013】

本発明の側面においては、回路が形成された面に通信用のアンテナとしての複数の第1の平板が配置された第1の板状部材と、回路が形成された面に通信用のアンテナとしての複数の第2の平板が配置された第2の板状部材が、それぞれの回路が形成されていない方の面が対向するように配置される。第1の板状部材と第2の板状部材が間に介在された状態の第1の平板と第2の平板とによる静電誘導を利用して、第1の板状部材の第1の通信部と第2の板状部材の第2の通信部との間で通信が行われる。

【発明の効果】

10

【0014】

以上のように、本発明の側面によれば、半導体装置を実現することができる。特に、簡単かつ安価に製造でき、少ない消費電力で通信することができる半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0015】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書または図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書または図面に記載されていることを確認するためのものである。従って、明細書または図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

20

【0016】

本発明の側面は、高抵抗の素材からなる板状部材であって、一方の面に回路(例えば、図4のチップ106,107)が形成された第1の板状部材(例えば、図4のシリコンインターポーザ101)と、高抵抗の素材からなる板状部材であって、一方の面に回路(例えば、図4のチップ206,207)が形成された第2の板状部材(例えば、図4のシリコンインターポーザ201)と、前記第1の板状部材の前記回路が形成された面(例えば、図4の表面102)に配置された通信用のアンテナとしての複数の第1の平板(例えば、図8の平板121-1)と、前記第1の板状部材の前記回路が形成された面に配置された、前記第1の平板を介して通信する第1の通信部(例えば、図10の送信部1001-1-1)と、前記第2の板状部材の前記回路が形成された面に配置された通信用のアンテナとしての複数の第2の平板(例えば、図8の平板221-1)と、前記第2の板状部材の前記回路が形成された面に配置された、前記第2の平板を介して通信する第2の通信部(例えば、図10の受信部2002-1-1)とを備え、前記第1の板状部材と前記第2の板状部材が、それぞれの前記回路が形成されていない方の面(例えば、図4の裏面103,203)が対向するように配置された半導体装置である。

30

【0017】

40

前記第1の板状部材は、電力の供給を受けるボンディングワイヤ(例えば、図4のボンディングワイヤ504)を有し、前記第2の板状部材は、電力の供給を受けるバンプ(例えば、図4のバンプ505)を有することができる。

【0018】

前記第1の板状部材と前記第2の板状部材からなる組み合わせを少なくとも2組(例えば、図4のシリコンインターポーザ101,201の組と、シリコンインターポーザ301,401の組)を備え、一方の組(例えば、図4のシリコンインターポーザ101,201の組)の前記第1の板状部材と前記第2の板状部材のうちの一方の前記回路が形成された面(例えば、図4のシリコンインターポーザ201の表面202)と、他方の組(例えば、図4のシリコンインターポーザ301,401の組)の前記第1の板状部材と前記第2の板状部材のうちの一方の前記回路が形成

50

された面(例えば、図4のシリコンインターポーザ301の表面302)は、相互に対向するように配置され、両者の間には通信用の bumps と電力供給用の bumps (例えば、図4の bumps 505)が設けることができる。

【0019】

以下、図を参照して本発明の実施の形態について説明する。

【0020】

図3は、本発明が適用されるマルチチップモジュールに組み込まれる高抵抗の素材からなる板状部材としてのシリコンインターポーザの構成を表している。シリコンインターポーザ101には、その表面102に複数の bumps 104を介して通信チップ105が配置されているとともに、チップ106,107が配置されている。通信チップ105は、その詳細は図6乃至図8を参照して後述するが、他のシリコンインターポーザとの間での通信を行なう。チップ106,107は、例えばCPU(Central Processing Unit)、或いはメモリなどにより構成され、それぞれ、あらかじめ定められた所定の機能に関する処理を実行する。シリコンインターポーザ101の表面102には、図示はしないが、配線パターンが形成されている。これに対して、表面102の反対側の裏面103には、チップは配置されていない。

10

【0021】

シリコンインターポーザ201も同様に、表面202に通信チップ205、チップ206,207が複数の bumps 204を介して装着されている。シリコンインターポーザ201の裏面203にはチップは装着されていない。

【0022】

シリコンインターポーザ301の表面302には、通信チップ305、チップ306,307が複数の bumps 304を介して配置されている。シリコンインターポーザ301の裏面303にはチップは配置されていない。

20

【0023】

同様に、シリコンインターポーザ401の表面402には、通信チップ405、チップ406,407が複数の bumps 404を介して装着されている。シリコンインターポーザ401の裏面403にはチップは装着されていない。

【0024】

チップ206,207,306,307,406,407もチップ106,107と同様に、通信以外の所定の機能を実行するチップである。

30

【0025】

図4は、シリコンインターポーザ101乃至401を組み合わせて製造したマルチチップモジュールの構成を表している。このマルチチップモジュール501においては、シリコンインターポーザ101とシリコンインターポーザ201が組とされ、シリコンインターポーザ301とシリコンインターポーザ401が組とされている。

【0026】

すなわち、シリコンインターポーザ101とシリコンインターポーザ201は、それぞれ通信チップ105と通信チップ205のアンテナとしての平板(図6を参照して後述する)が、それぞれ対向するように、かつ、それぞれの裏面103と裏面203が対向するように配置される。同様に、シリコンインターポーザ301とシリコンインターポーザ401は、それぞれの裏面303と裏面403が対向するように、かつ、通信チップ305の平板と通信チップ405の平板が、それぞれ対向するように配置される。

40

【0027】

基板502の表面503には配線パターンが形成されているとともに、必要に応じて各種のチップも装着されている(いずれも図示せず)。また、表面503は、ボンディングワイヤ506を介してシリコンインターポーザ301の表面302に接続されている。シリコンインターポーザ101の表面102も、ボンディングワイヤ504を介して基板502の表面503と接続されている。シリコンインターポーザ401の表面402は、複数の bumps 404を介して基板502の表面503に接続されている。また、シリコンインターポーザ301の表面302とシリコンインターポーザ201の表面202は、複数の bumps 505により接続されている。

50

## 【0028】

このように構成することで、基板502の表面503に形成されている配線パターンから、パンプ404のうちの所定のものを介してシリコンインターポーザ401の表面402上に配置されている通信チップ405、チップ406,407に必要な電力が供給される。また同様に、所定の他のパンプ404を介して、基板502の表面503に形成された所定の配線パターンとシリコンインターポーザ401上の通信チップ405、チップ406,407との間で信号の授受が行われる。

## 【0029】

シリコンインターポーザ301上の通信チップ305、チップ306,307には、基板502の表面503の配線パターンからボンディングワイヤ506を介して必要な電力が供給される。シリコンインターポーザ301上のチップ306,307は、通信チップ305と通信チップ405を介して、シリ

10

## 【0030】

シリコンインターポーザ201上の通信チップ205、チップ206,207には、基板500の表面503の配線パターンからボンディングワイヤ506、シリコンインターポーザ301上の配線パターン、所定のパンプ505、シリコンインターポーザ201の表面202の配線パターン、所定のパンプ204を介して電力が供給される。チップ206,207は、所定のパンプ204、シリコンインターポーザ201上の配線パターン、所定のパンプ505、シリコンインターポーザ301上の配線パターン、所定のパンプ304を介してシリコンインターポーザ301上のチップ306,307と通信する。

## 【0031】

シリコンインターポーザ101の通信チップ105、チップ106,107には、基板502の表面503上の配線パターンからボンディングワイヤ504、シリコンインターポーザ101上の配線パターン、所定のパンプ104を介して必要な電力が供給される。チップ106,107と、チップ206,207との間の通信は、通信チップ105,205を介して行なわれる。

20

## 【0032】

直接隣接していないシリコンインターポーザ間の通信は、直接隣接するシリコンインターポーザ間の通信を順次介することで行われる。例えば、チップ106,107とチップ306,307との間の通信は、通信チップ105、通信チップ205、パンプ505を介して行なわれる。さらに、チップ106,107とチップ406,407との間の通信は、通信チップ105、通信チップ205、パンプ505、通信チップ305、通信チップ405を介して行なわれる。チップ106,107と基板502

30

## 【0033】

図5は、シリコンインターポーザ101とシリコンインターポーザ201の平面的構成を表している。シリコンインターポーザ101は、図5Aに示されるように、チップ106の左上にチップ108が配置され、チップ106の左下側にチップ107が配置されている。チップ106の右側の領域Qには通信領域111が形成されている。この通信領域111には、さらに通信チップ105-1乃至105-4が配置されている。

## 【0034】

同様に、図5Bに示されるように、シリコンインターポーザ201上においては、チップ206

40

## 【0035】

図示は省略するが、シリコンインターポーザ301,401も同様に構成されている。

## 【0036】

図6は、通信チップ105-1乃至105-4の平面的構成を拡大して示している。通信チップ105-1は、その上側にアルミニウムなどの金属で構成されるアンテナとしての平板121-1-1,122-1-1が形成されている。平板121-1-1,122-1-1は、組となって送信または受信の通信が行われる。同様に、通信チップ105-1は、平板121-1-1,122-1-1の左から右に順番に、さら

50

に平板121-1-2,122-1-2乃至121-1-8,122-1-8を有している。または、同様に、下側には左から右に順番に、平板121-1-9,122-1-9乃至121-1-16,122-1-16を有している（番号の図示は一部省略されている）。

【0037】

同様に、通信チップ105-2は平板121-2-1,122-2-1乃至121-2-16,122-2-16を有し、通信チップ105-3は、平板121-3-1,122-3-1乃至121-3-16,122-3-16を有し、通信チップ105-4は、平板121-4-1,122-4-1乃至121-4-16,122-4-16を有している。

【0038】

図7は、通信チップ105-1の断面構成を拡大して表している。同図に示されるように、通信チップ105-1の図中右側と左側には、パンプ104を介して平板121-1,121-9が配置されている。また、通信チップ105-1は、パンプ104を介してシリコンインターポーザ101上のパッド131と接続されている。このパッド131はさらに、図示せぬ配線パターンと接続されている。

10

【0039】

シリコンインターポーザ101の平板121-1（121-1-1乃至121-1-16）と、シリコンインターポーザ201の平板221-1（221-1-1乃至221-1-16）は、図8に示されるように、対応するものが対向するように配置される。その結果、対向して配置される平板121-1と平板221-1の間に、高抵抗の材料で構成されるシリコンインターポーザ101,201が介在することになる。シリコンインターポーザ101,201は、高抵抗シリコン基板であるから誘電率が高く、平板121-1,221-1で構成されるコンデンサの容量が、図2Aに示されるように電極41,51を単

20

【0040】

に空気を介して対向配置する場合に比べて、極めて大きい値にすることができる。その結果、平板121-1,221-1の面積を小さくしたとしても、充分大きな静電結合を実現することが可能となる。

【0041】

シリコンインターポーザ101乃至401の体積抵抗率は、具体的には、1k cm以上の値とされる。体積抵抗率は、例えば図9に示されるように、幅W、厚さt、長さLの物質中に電流Iを流したとき、距離Lの両端に発生する電位差Vを測定することにより、次式から求めることができる。

【0042】

体積抵抗率 =  $(V / I) \times (W / L) \times t$  ... (1)

30

【0043】

シリコンインターポーザ101乃至401の体積抵抗率は、具体的には、1k cm以上の値とされる。体積抵抗率は、例えば図9に示されるように、幅W、厚さt、長さLの物質中に電流Iを流したとき、距離Lの両端に発生する電位差Vを測定することにより、次式から求めることができる。

【0044】

高抵抗のシリコンインターポーザは、シリコンは本来非導電部材であるから不純物をシリコンにドーブしないことで実現することができる。

【0045】

通信チップ105,205,305,405は、それぞれ、各平板に対応して送信部または受信部の少なくとも一方からなる通信部を有している。すなわち、送信用の平板に対しては送信部が、受信用の平板に対しては受信部が、それぞれ設けられている。対応する平板が送信と受信の両方を行う場合には、送信部と受信部の両方が設けられている。通信チップ105と通信チップ205は、それぞれ送信用の平板に対して受信用の平板が対向するように配置される。例えば、送信用の平板121-1-1,122-1-1に対して受信用の平板221-1-1,222-1-1が対向するように配置された場合、送信用の平板121-1-1,122-1-1に対応する送信部1001-1-1と、受信用の平板221-1-1,222-1-1に対応する受信部2002-1-1が、図10に示されるように接続される。

40

【0044】

送信部1001-1-1は、インバータ1011ないし1014により構成されている。端子INから入力された信号は、インバータ1011,1012,1013を介して端子N1から平板121-1-1に供給されるとともに、インバータ1011,1014を介して端子N2から平板122-1-1に供給される。

【0045】

受信部2002-1-1の入力端子N3,N4には、平板221-1-1,222-1-1がそれぞれ接続されている。入力端子N3,N4は、増幅器2013の入力端子に接続されている。入力端子N3とN4の間には

50

、抵抗2011,2012が接続されている。抵抗2011と抵抗2012の間には、基準電圧VREFが供給されている。増幅器2013の出力は、ヒステリシスコンパレータ(Hysteresis Comparator)2014の非反転入力端子と、ヒステリシスコンパレータ2016の反転入力端子に供給されている。コンパレータ2014の反転入力端子には、基準電圧VR1が供給され、コンパレータ2016の非反転入力端子には基準電圧VR2が供給されている。

**【0046】**

コンパレータ2014の出力(ノードN5)は、インバータ2015を介して、NAND回路2019とともにクロスラッチ回路を構成するNAND回路2018の一方の入力に接続されている。コンパレータ2016の出力(ノードN6)は、インバータ2017を介してNAND回路2019の一方の入力に接続されている。NAND回路2018の出力はNAND回路2019の他方の入力に接続され、NAND回路2019の出力はNAND回路2018の他方の入力に接続されている。

10

**【0047】**

送信部1001-1-1の端子INに信号(図11A)が入力されると、端子N1(平板121-1-1)には、インバータ1011,1012,1013を介して、端子N2(平板122-1-1)には、インバータ1011,1014を介して、それぞれ逆位相の電圧(図11Bの破線で表される電圧と実線で表される電圧)が発生する。静電誘導により受信側の平板221-1-1,222-1-1(入力端子N3,N4)には、逆位相の電圧が発生する(図11Cの破線で表される電圧と実線で表される電圧)。増幅器2013は、この静電誘導により供給された信号を増幅し、ノードVAに出力する(図11D)。

**【0048】**

コンパレータ2014は、増幅器2013より入力された信号のレベルを基準電圧VR1と比較し、基準電圧VR1より大きい場合には、ノードN5に正のパルスを出力する(図11E)。同様に、コンパレータ2016は、増幅器2013より出力された信号のレベルを基準電圧VR2と比較し、基準電圧VR2より小さい場合には、ノードN6に正のパルスを出力する(図11F)。ノードN5,N6の出力がそれぞれインバータ2015,2017により反転され、負のパルスが入力される毎に出力を反転するクロスラッチ回路によりラッチされ、出力される(図11G)。

20

**【0049】**

以上においては、2組の平板で信号を授受するようにしたが、十分なレベルの信号が得られる場合には、図12に示されるように、1組の平板121-1-1,122-1-1で信号を授受することもできる。この場合、送信部1001-1-1は、インバータ1031,1032で構成され、端子INに入力された信号が、インバータ1031,1032を介して端子N1に接続されている平板121-1-1に供給される。

30

**【0050】**

受信部2002-1-1は、インバータ2031,2032,2033により構成され、端子N2に接続されている平板221-1-1からの信号は、インバータ2031,2032を介して端子OUTから出力される。また、インバータ2031の出力は、インバータ2032を介してインバータ2031の入力に帰還される。

**【0051】**

送信部1001-1-1の端子INに信号(図13A)が入力されると、端子N1(平板121-1-1)には、インバータ1031,1032を介して電圧(図13B)が発生する。静電誘導により受信側の平板221-1-1(入力端子N2)にも電圧が発生する(図13C)。端子N2の電圧が、インバータ2031の閾値 $V_{th}$ より大きくなると、インバータ2031の出力が反転し、インバータ2032の出力も反転して、インバータ2031の入力の変化を加速する。インバータ2031の出力はさらにインバータ2033により反転され、端子OUTから出力される(図13D)。

40

**【0052】**

以上においては、シリコンインターポーザ101乃至401上に通信チップ105乃至405、チップ106乃至406,107乃至407をそれぞれ搭載することで、対応する回路を形成するようにしたが、各シリコンインターポーザ101乃至401上に直接組み込むことで対応する回路を形成するようにしてもよい。

**【0053】**

図14に示される実施の形態においては、シリコンインターポーザ101上に通信回路151-1

50



乃至151-4が直接組み込むことで形成されている。同様に、シリコンインターポーザ201上においても通信回路251-1乃至251-4が直接組み込むことで形成されている。

【0054】

この場合、シリコンインターポーザ101とシリコンインターポーザ201を組み合わせると、図15に示されるようになる。この場合においては、シリコンインターポーザ101の表面102上に通信回路151-1乃至151-4に対応するCMOS(Complementary Metal-Oxide Semiconductor)回路161が形成されている。ただしこの場合においても、平板121-1は、図8における場合と同様に形成されている。

【0055】

また、シリコンインターポーザ201上の表面202にも通信回路251-1乃至251-4に対応するCMOS回路261が形成されている。この場合においても、平板221-1は、図8における場合と同様に、シリコンインターポーザ201の表面202上に形成されている。

10

【0056】

したがって、この場合においても、図8における場合と同様に通信処理を行なうことが可能となる。

【0057】

図16は、シリコンインターポーザの通信領域111の内部の断面構成の例を表している(図14や図15に示される実施の形態におけるCMOS構造は図示しない)。P型シリコンバルク1511上には、フィールド酸化膜1512が形成されている。フィールド酸化膜1512上には、ポリサイド1513と、ポリサイド1513から所定の間隔を隔ててポリサイド1514が形成されている。ポリサイド1513,1514間の容量は電源の安定化に用いられる。ポリサイド1513は、コンタクト1515により金属層1516に接続されている。

20

【0058】

金属層1516と、その上に酸化膜1518を介して形成されている金属層1519は、ビア1517により接続されている。金属層1519とその上に酸化膜1520を介して形成されている金属層1521とは、ビア1522で接続されている。金属層1521の上には酸化膜1523が形成され、さらにその上には、保護膜1524が形成されている。保護膜1524と酸化膜1523には、PAD開口1525が形成されている。

【0059】

以上においては、本発明をマルチチップモジュールに適用した場合を例として説明したが、本発明はその他の半導体装置に適用することも可能である。

30

【0060】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0061】

【図1】従来のマルチチップモジュールの構成を示す断面図である。

【図2】従来のシリコンインターポーザ間の通信を説明する図である。

【図3】本発明を適用したマルチチップモジュールに適用するシリコンインターポーザの構成を説明する側断面図である。

40

【図4】本発明を適用したマルチチップモジュールの断面の構成を示す側断面図である。

【図5】シリコンインターポーザの平面の構成を示す平面図である。

【図6】通信チップの構成を示す平面図である。

【図7】通信チップの付近の構成を示す側断面図である。

【図8】シリコンインターポーザを組み合わせた状態の構成を示す側断面図である。

【図9】体積抵抗率を説明する図である。

【図10】通信部の構成を示す回路図である。

【図11】図10の回路図の動作を説明するタイミングチャートである。

【図12】他の通信部の構成を示す回路図である。

【図13】図12の通信部の動作を説明するタイミングチャートである。

50

【図14】シリコンインターポーザの平面の構成を示す平面図である。

【図15】シリコンインターポーザを組み合わせた状態を説明する側断面図である。

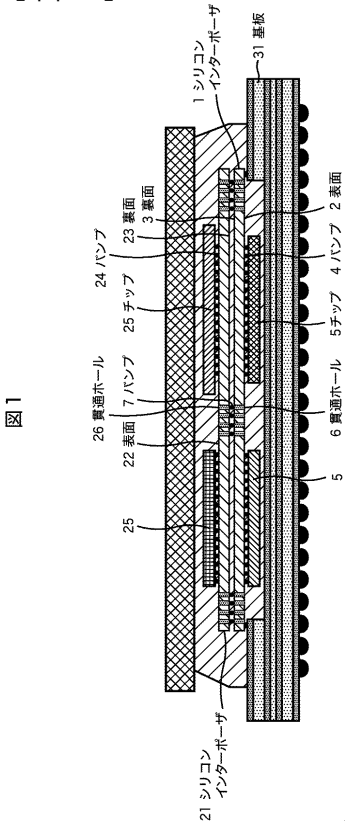
【図16】シリコンインターポーザの内部の構成を示す側断面図である。

【符号の説明】

【0062】

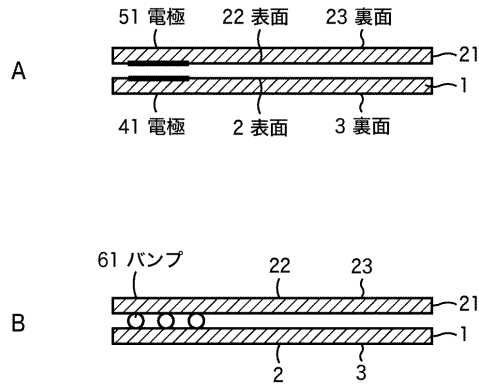
101 シリコンインターポーザ, 102 表面, 103 裏面, 104 バンプ, 105 通信チップ, 106, 107, 108 チップ, 201 シリコンインターポーザ, 202 表面, 203 裏面, 204 バンプ, 205 通信チップ, 206, 207, 208 チップ, 301 シリコンインターポーザ, 302 表面, 303 裏面, 304 バンプ, 305 通信チップ, 306, 307 チップ, 401 シリコンインターポーザ, 402 表面, 403 裏面, 404 バンプ, 405 通信チップ, 406, 407 チップ

【図1】



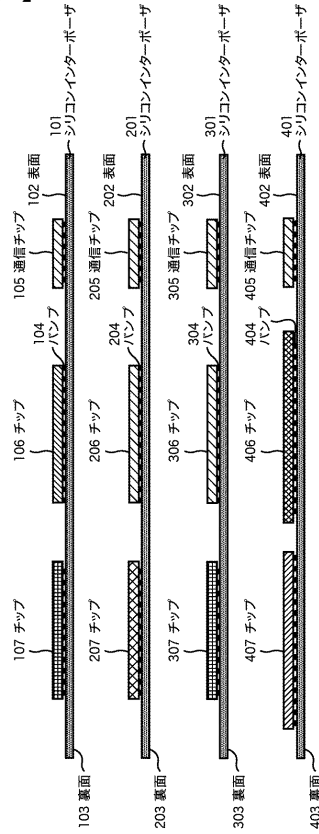
【図2】

図2



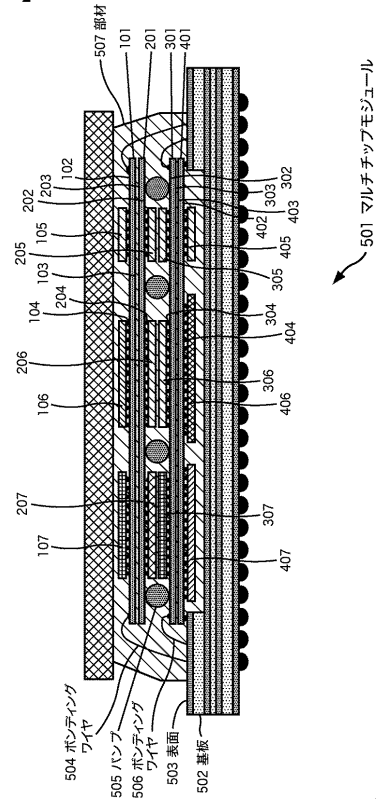
【 図 3 】

図 3



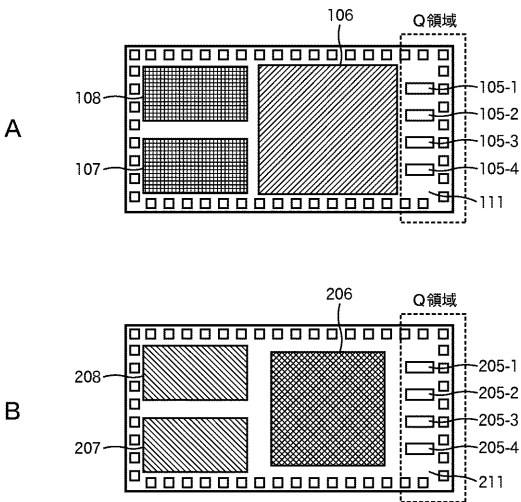
【 図 4 】

図 4



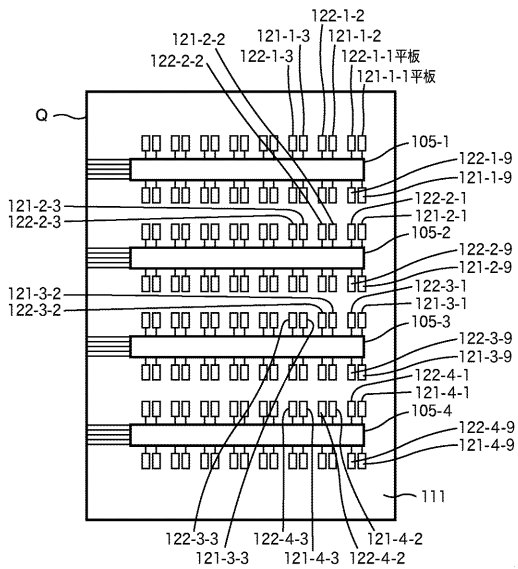
【 図 5 】

図 5



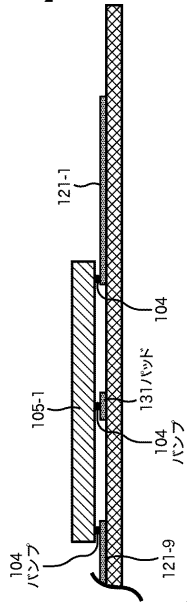
【 図 6 】

図 6



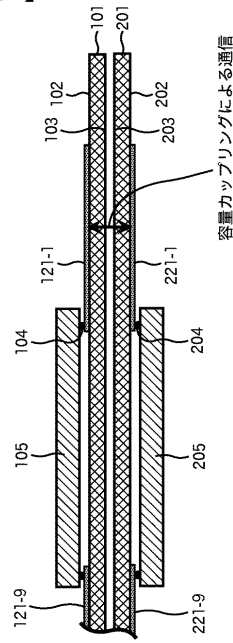
【 図 7 】

図 7



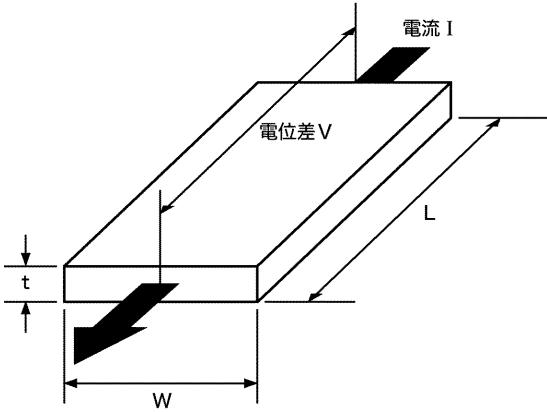
【 図 8 】

図 8



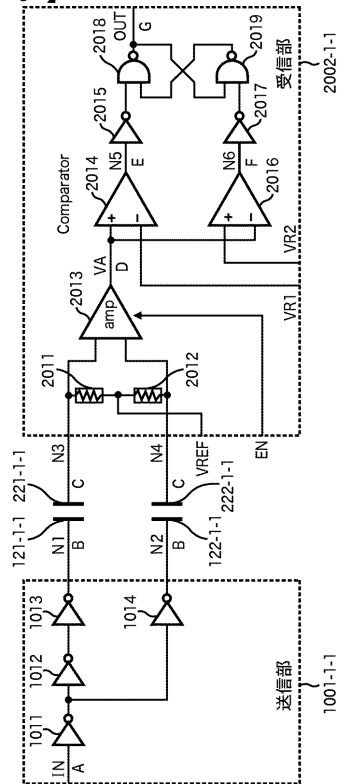
【 図 9 】

図 9



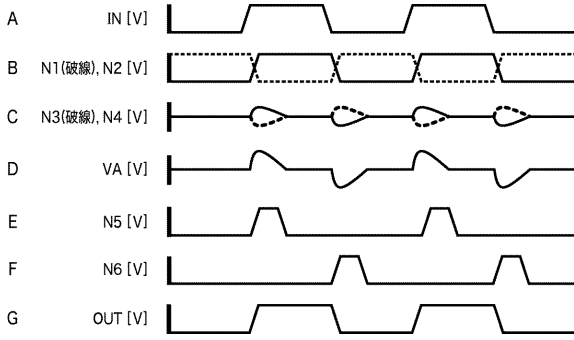
【 図 10 】

図 10



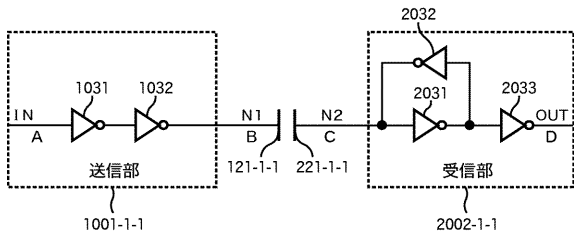
【図11】

図11



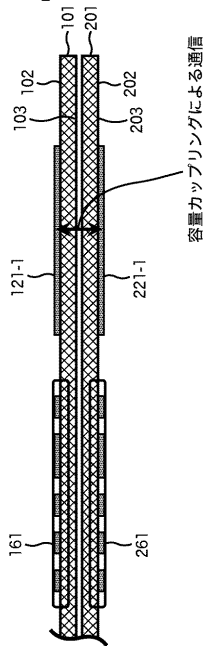
【図12】

図12



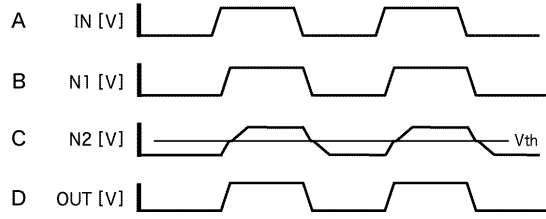
【図15】

図15



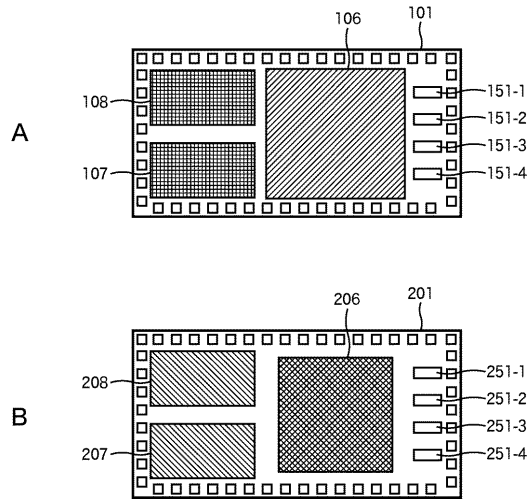
【図13】

図13



【図14】

図14



【図16】

図16

