



(12) 发明专利

(10) 授权公告号 CN 118035006 B

(45) 授权公告日 2024.06.18

(21) 申请号 202410437569.8

G06F 1/12 (2006.01)

(22) 申请日 2024.04.12

G06F 9/52 (2006.01)

G06F 9/48 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 118035006 A

(56) 对比文件

US 2023350746 A1, 2023.11.02

(43) 申请公布日 2024.05.14

刘强;关宁;王冠雄;杨凯;黄硕.基于RISC-V的多核可重构处理器架构研究.航天标准化.2020,(02),全文.

(73) 专利权人 西北工业大学

地址 710072 陕西省西安市友谊西路127号

(72) 发明人 赵晓冬 张海金 崔媛媛 张洵颖

李万通 肖和业

审查员 赵鹏翔

(74) 专利代理机构 重庆三航专利代理事务所

(特殊普通合伙) 50307

专利代理师 万文会

(51) Int. Cl.

G06F 11/20 (2006.01)

G06F 11/16 (2006.01)

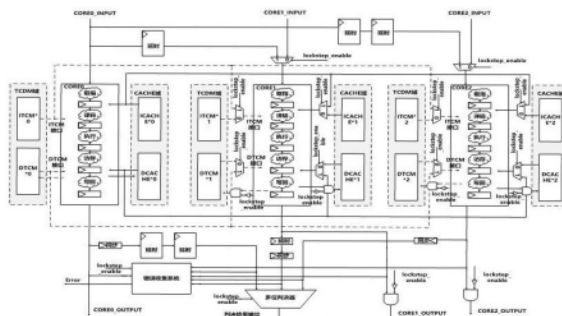
权利要求书2页 说明书7页 附图4页

(54) 发明名称

一种三核处理器独立和锁步运行可动态配置的控制系统的控制系统

(57) 摘要

本发明提供了一种三核处理器独立和锁步运行可动态配置的控制系统的控制系统,通过独立-锁步状态微体系结构层面的设计,整个处理器系统可以根据任务调度的不同灵活切换工作模式,充分发挥了多核处理器的性能优势,同时也利用多核处理器的冗余特性配置了锁步策略,做到了计算资源不浪费的同时系统可靠性也有所保障。本发明采用多处理器时钟域的处理方式,消除了由单一时钟串扰、对比逻辑错误翻转造成的单点故障,同时在错误检测与控制模块中分别设置了时钟同步前后的同一处理器结果对比、时钟域同步后的多个处理器输出结果对比,实现了故障结果的精确追踪。



1. 一种三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,包括不含存储器的主处理器及两个不含存储器的从处理器、可配置的主从处理器的存储系統、多位判决器、故障收集和控制单元、分立锁步状态控制系統及延时锁步同步系統,两个从处理器通过总线连接至主处理器的存储系統;

所述分立锁步状态控制系統能够通过配置工作模式,使所述主处理器和所述从处理器分别运行在锁步模式或者独立运行模式;锁步模式下,三个所述处理器输入相同信号,结果通过多位判决器产生一个输出;独立运行模式下,三个处理器分别输入不同的信号并独立输出各自的运算结果;

三个处理器的输出结果发送到多位判决器检查输出结果的正确性,多位判决器通过按位逐一对比三个处理器的输出结果并按照多数判决逻辑输出最终的处理结果;

所述延时锁步同步系統采用将三个处理器核执行顺序错位的延时策略:对三个处理器核心采用相同时钟频率的三个时钟信号,运行在主时钟域下的主处理器核先取指令,相同指令分别延时一个周期和两个周期后传入两个从处理器核;在主处理器核处理完指令后通过延时两个周期且在锁步时钟域下进行同步后传入多位判决器;而两个从处理器核在处理完成指令后通过在主处理器时钟域进行同步后分别延时一个周期和直接输出指令到多位判决器;同时三个处理器信号还通过所述故障收集和控制单元进一步对比输出错误指示信号。

2. 如权利要求1所述的三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,所述主从处理器的存储系統均包括CACHE域和TCM域;所述CACHE域包含分立的指令CACHE和数据CACHE,CACHE域通过总线连接到下一级的存储系統;所述TCM域包括指令TCM和数据TCM。

3. 如权利要求1所述的三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,当处理器被配置为锁步模式时,主处理器执行一个自定义的软件例程,通过配置相关寄存器,配置核心为三核锁步模式,使得锁步核心两个从处理器触发中断暂停自己的线程从而进入锁步模式,中断服务程序将两个从处理器内部寄存器状态暂时存储到堆栈寄存器中。

4. 如权利要求3所述的三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,当两个从处理器核的状态存储到堆栈寄存器中,堆栈寄存器中存储的数据信息存到各处理器的存储系統。

5. 如权利要求3所述的三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,当处理器转到独立运行模式时,通过锁步使能指示信号控制寄存器,将所有处理器核从锁步模式中释放出来,同时所有状态组合逻辑电路被切断,通过清除两个从处理器的内核状态,并通过使用各自存储系統内存映射的堆栈寄存器将两个从处理器的状态寄存器加载回来,实现锁步模式到独立运行模式的切换。

6. 如权利要求5所述的三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,所述组合逻辑电路使用分层式门控多路选择器用于电路状态的切换。

7. 如权利要求1所述的三核处理器独立和锁步运行可动态配置的控制系統,其特征在于,各处理器信号在进入故障收集与控制单元后在不同时钟域下完成输出一致性对照,将对照后的信号输出后经过三输入异或门进行结果对照并输出错误指示信号,同时通过将主

处理器与两个从处理器,从处理器与从处理器进行异或处理后对照输出三位信号E,E信号被存储在使能锁存器中。

一种三核处理器独立和锁步运行可动态配置的控制系統

技术领域

[0001] 本发明涉及处理器容错设计技术领域,具体涉及一种三核处理器独立和锁步运行可动态配置的控制系統。

背景技术

[0002] 随着航天技术的发展,复杂空间任务对于高性能高可靠处理器提出了更加苛刻的要求。航天器在太空环境中面临极端温度、辐射、冲击和振动等多种因素的影响,这些因素可能导致电子系统的性能下降或完全失效,从而致使任务失败。因此,航天器需要使用专门设计容错处理器,以具有高速、低功耗、容错和抗辐射等特点,从而保证数据的完整性和系统的连续运行。

[0003] 目前业界常用的处理器容错设计包括关键路径寄存器多模冗余技术、存储器纠错编码以及多核锁步技术等。然而在先进纳米工艺尺度下,集成度的提高同时也带来了诸如多位翻转率增加等可靠性问题,传统针对处理器中薄弱点进行针对性的加固方法已经很难起到效果,以多核锁步为主的系統级容错方法正成为主流。

[0004] 当前主要的处理器锁步技术包含双核锁步和三核锁步技术,前者通过双核的输出在检查器上进行实时对比检查,通过对比结果重启故障处理器,这种方式具有方法简单、面积开销适中、不影响电路运行速度的优点;后者通过输出表决的方式进行纠错,具有可靠性高、实时性强的优点。然而这些设计存在以下问题和缺点:

[0005] 在极端场景的应用下,针对实时任务的功能特性,按照任务分类分别对处理性能和可靠性提出较高的要求,如果将多核处理器核心配置为锁步仅仅可以保障其可靠性,设计可靠性和性能之间不能做到灵活配比,不能有效的发挥出设计原有的性能;当前锁步设计中虽然引入了延时设计,但对处理器延时所使用的时钟域没有进行细分,对在延时-同步过程中可能因为时钟信号的串扰所引起的单点故障无法做出有效的防护,这些单点故障来源于锁步系統本身,可能会与外界环境造成的错误翻转同时累积造成严重的系統性故障。

发明内容

[0006] 为了解决上述背景技术中存在的技术问题,本发明提供了一种三核处理器独立和锁步运行可动态配置的控制系統,其目的在于,提供一种可配置处理器核处理模式的控制系統,使得处理器实现高可靠锁步冗余模式和高性能独立运行模式的灵活配置,以适用于不同复杂度的空间任务,同时改进三核锁步的运行模式,在空间冗余的基础上通过延时锁步和配置多时钟域等手段进一步完善时间冗余模式,保证每一个节点的运行正确性。

[0007] 本发明具体通过以下技术方案实现:

[0008] 提供一种三核处理器独立和锁步运行可动态配置的控制系統,包括不含存储器的主处理器及两个不含存储器的从处理器、可配置的主从处理器的存储系統、多位判决器、故障收集和控制单元、分立锁步状态控制系統及延时锁步同步系統,两个从处理器通过总线连接至主处理器的存储系統;

[0009] 所述分立锁步状态控制系统能够通过配置工作模式,使所述主处理器和所述从处理器分别运行在锁步模式或者独立运行模式;锁步模式下,三个所述处理器输入相同信号,结果通过多位判决器产生一个输出;独立运行模式下,三个处理器分别输入不同的信号并独立输出各自的运算结果;

[0010] 三个处理器的输出结果发送到多位判决器检查输出结果的正确性,多位判决器通过按位逐一对比三个处理器的输出结果并按照多数判决逻辑输出最终的处理结果;

[0011] 所述延时锁步同步系统采用将三个处理器核执行顺序错位的延时策略:对三个处理器核心采用相同时钟频率的三个时钟信号,运行在主时钟域下的主处理器核先取指令,相同指令分别延时一个周期和两个周期后传入两个从处理器核;在主处理器核处理完指令后通过延时两个周期且在锁步时钟域下进行同步后传入多位判决器;而两个从处理器核在处理完成指令后通过在主处理器时钟域进行同步后分别延时一个周期和直接输出指令到多位判决器;同时三个处理器信号还通过所述故障收集和控制单元进一步对比输出错误指示信号。

[0012] 作为本发明的进一步说明,所述主从处理器的存储系统均包括CACHE域和TCM域;所述CACHE域包含分立的指令CACHE和数据CACHE,CACHE域通过总线连接到下一级的存储系统;所述TCM域包括指令TCM和数据TCM组成。

[0013] 作为本发明的进一步说明,当处理器被配置为锁步模式时,主处理器执行一个自定义的软件例程,通过配置相关寄存器,配置核心为三核锁步模式,使得锁步核心两个从处理器触发中断暂停自己的线程从而进入锁步模式,中断服务程序将锁步处理器内部寄存器状态暂时存储到堆栈寄存器中。

[0014] 作为本发明的进一步说明,当处理器核的状态存储到堆栈寄存器中,堆栈寄存器中存储的数据信息存到各处理器的存储系统。

[0015] 作为本发明的进一步说明,当处理器转到独立运行模式时,通过锁步使能指示信号控制寄存器,将所有处理器核从锁步模式中释放出来,同时所有状态组合逻辑电路被切断,通过清除两个从处理器的内核状态,并通过使用各自存储系统内存映射的堆栈寄存器将两个从处理器的状态寄存器加载回来,实现锁步模式到独立运行模式的切换。

[0016] 作为本发明的进一步说明,所述组合逻辑电路使用分层式门控多路选择器用于电路状态的切换。

[0017] 作为本发明的进一步说明,各处理器信号在进入故障收集与控制单元后在不同时钟域下完成输出一致性对照,将对照后的信号输出后经过三输入异或门进行结果对照并输出错误指示信号,同时通过将主处理器与两个从处理器,从处理器与从处理器进行异或处理后对照输出三位信号E,E信号被存储在使能锁存器中。

[0018] 与现有技术相比,本发明具有以下有益的技术效果:

[0019] 1、通过独立-锁步状态微体系结构层面的设计,整个处理器系统可以根据任务调度的不同灵活切换工作模式,充分发挥了多核处理器的性能优势,同时也利用多核处理器的冗余特性配置了锁步策略,做到了计算资源不浪费的同时系统可靠性也有所保障。

[0020] 2、采用多处理器时钟域的处理方式,消除了由单一时钟串扰、对比逻辑错误翻转造成的单点故障,同时在错误检测与控制模块中分别设置了时钟同步前后的同一处理器结果对比、时钟域同步后的多个处理器输出结果对比,实现了故障结果的精确追踪。

[0021] 3、对多时钟域切换、模式切换中组合逻辑电路造成的功耗较高问题,设计了分层式门控多路选择器,一方面实现了组合逻辑电路中的静态功耗优化,一方面也与系统中多时钟设计耦合,形成多级切换的功耗控制结构。

[0022] 本技术方案的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本技术方案而了解。本技术方案的目的和其他优点可通过在所写的说明书以及附图中所特别指出的结构来实现和获得。

[0023] 下面通过附图和实施例,对本技术方案的技术方案做进一步的详细描述。

附图说明

[0024] 附图用来提供对本技术方案的进一步理解,并且构成说明书的一部分,与本技术方案的实施例一起用于解释本技术方案,并不构成对本技术方案的限制。在附图中:

[0025] 图1为本发明提供的三核处理器独立和锁步运行可动态配置的控制系统的微体系结构框图。

[0026] 图2为本发明中独立-锁步模式切换的有限状态机实现图。

[0027] 图3为本发明中故障收集与控制单元示意图。

[0028] 图4为本发明中分层式门控多路选择器逻辑图。

具体实施方式

[0029] 以下结合附图对本技术方案的优选实施例进行说明,应当理解,此处所描述的优选实施例仅用于说明和解释本技术方案,并不用于限定本技术方案。

[0030] 如图1所示,本发明提供了一种三核处理器独立和锁步运行可动态配置的控制系统的,包括不含存储器的主处理器CORE0及两个不含存储器的从处理器CORE1和CORE2、可配置的主从处理器的存储系统、多位判决器、故障收集和控制单元、分立锁步状态控制系统及延时锁步同步系统,两个从处理器通过总线连接至主处理器的存储系统。

[0031] 分立锁步状态控制系统能够通过配置工作模式,使主处理器CORE0和从处理器CORE1、CORE2分别运行在锁步模式或者独立运行模式;锁步模式下,三个处理器输入相同信号,结果通过多位判决器产生一个输出;独立运行模式下,三个处理器分别输入不同的信号并独立输出各自的运算结果。

[0032] 三个处理器的输出结果发送到多位判决器检查输出结果的正确性,多位判决器通过按位逐一对比三个处理器的输出结果并按照多数判决逻辑输出最终的处理结果。在检测到数据的不一致时,将在多位判决器按照多数服从少数的原则进行输出,在任意单核故障的情况下保障了输出的正确性。

[0033] 延时锁步同步系统采用将三个处理器核执行顺序错位的延时策略。与传统延时锁步仅在一个时钟域下进行延时操作不同,本发明对三个处理器核心采用相同时钟频率的三个时钟信号,具体实现为运行在主时钟域下的主处理器核CORE0先取指令,相同指令分别延时一个周期和两个周期后传入两个从处理器核CORE1、CORE2;在主处理器核CORE0处理完指令后通过延时两个周期且在锁步时钟域下进行同步后传入多位判决器;而从处理器核CORE1、CORE2在处理完成指令后通过在主处理器核CORE0时钟域进行同步后分别延时一个周期和直接输出指令到多位判决器;同时三个处理器信号还通过故障收集和控制单元进一步

对比输出错误指示信号。

[0034] 进一步的,每个处理器核都具有自己的存储系统,L1存储系统包含CACHE域和TCDM域,其中,CACHE域包含分立的指令CACHE和数据CACHE,CACHE域通过总线连接到下一级的存储系统;而TCDM域的紧耦合存储作为可选配的快速SRAM存储体由指令TCM和数据TCM组成,具有容量大、响应快速,可灵活配置的优点。同时本设计中该TCM的存储系统具有向外的从机接口,可以通过总线上的主机灵活调用该部分的存储资源。

[0035] 如图 1所示,在系统复位后或者启动前,根据任务需求通过应用程序调度配置处理器核心的工作模式,当系统被配置为三核锁步模式(Triple Core Lock Step,TCLS,Lockstep_enable=1)时,系统中锁步使能信号关断CORE1和CORE2核心的输入信号,使三个核心均接受来自CORE0的任务处理,在微体系结构上,CORE1和CORE2通过总线连接至CORE0的存储系统,三个处理器核心的流水线上均运行同样的指令,此时,主处理器核心在写回过程中可以通过CACHE域或TCDM域写入存储系统,CORE1核CORE2不具备写回功能,同时,通过多路选择器、与门逻辑等控制关断CORE1和CORE2写入,最终三核输出的信号通过延时、同步后分别进入多位判决器以及故障收集与控制单元,分别进行当前处理结果的校正输出以及精确追踪故障核心输出错误指示信号。

[0036] 当系统运行在独立运行模式(Lockstep_enable=0)下,CORE0依旧为正常执行处理任务的核心,而CORE1和CORE2通过Lockstep_enable信号选中各自的输入信号,三个核心均使用自身的存储系统,分别执行相关处理任务。

[0037] 图2为本发明中独立运行模式和三核锁步模式的工作模式转换示意图,主要包含独立运行模式、锁步模式、卸载模式、重新加载模式,具体的状态转换如下:

[0038] 处理器组在默认运行时为独立运行模式,即初始化后Lockstep_enable=0,当处理器需要被配置为锁步模式时,主处理器核上执行一个自定义的软件例程,通过配置相关寄存器,配置核心为三核锁步模式,从而使得锁步核心CORE1、CORE2触发中断暂停自己的线程从而进入锁步模式,中断服务程序将锁步处理器核心程序计数器PC、寄存器堆RF等内部寄存器状态暂时存储到堆栈寄存器SP中。参与锁步的处理器核必须是正常运行的且可为中断提供服务,如果该处理器核还在休眠状态,中断服务程序也会正确地唤醒处理器核参与锁步。

[0039] 一旦处理器核的状态存储到堆栈中,堆栈中存储的数据信息存到锁步核心TCDM域或CACHE域,方便后续退出锁步模式继续调用,这表明锁步处理器已经完成状态卸载,可以清空状态寄存器后从CORE0的堆栈中加载寄存器状态接入锁步模式。

[0040] 独立运行模式:要转到独立运行模式,通过写状态控制寄存器Lockstep_enable为0将所有处理器核从锁步模式中释放出来,同时所有状态组合逻辑电路被切断,CORE0可以因为内部状态而不变而继续执行,通过清除CORE1、CORE2的内核状态,并通过使用各自CACHE域、TCDM域中内存映射的SP寄存器将CORE1、CORE2的PC、RF以及CSR等状态寄存器加载回来,实现锁步模式到独立模式的切换。

[0041] 为了避免传统延时锁步中容易受到时钟信号的影响,本发明的锁步模式下的延时-同步指令运行机制,如表1-1、表1-2及表1-3所示,设计中采用了主时钟域、锁步时钟域两个完全相同的时钟信号分别输入到三个处理器中,当处理器核心切换到三核锁步模式时,延时和同步也被计入处理器的流水级,三核延时锁步策略具体实施为运行在锁步时钟

域的CORE1的输入延时一个周期、Core2延时两个周期,运行在主时钟域的CORE0的运行结果通过从时钟域同步后延时2周期后分别进入故障收集与控制单元和多位判决器;而CORE1、CORE2信号在通过延时一周期、两周期后在主时钟域中同步,输出至故障收集与控制单元和多位判决器,一条指令从取指到执行完毕输出需要八个周期,其中包含两个周期的延时和一个周期的同步,但主核实际的执行性能以及指令执行周期数没有变化。

[0042] 表1-1

CORE0		处理周期			
流水线级数	n-1	n	n+1	n+2	
取指	第五条指令	第六条指令	第七条指令	第八条指令	
译码	第四条指令	第五条指令	第六条指令	第七条指令	
执行	第三条指令	第四条指令	第五条指令	第六条指令	
访存	第二条指令	第三条指令	第四条指令	第五条指令	
写回	第一条指令	第二条指令	第三条指令	第四条指令	
延时	NOP	第一条指令	第二条指令	第三条指令	
延时	NOP	NOP	第一条指令	第二条指令	
同步	NOP	NOP	NOP	第一条指令	

[0044] 表1-2

CORE1		处理周期			
流水线级数	n-1	n	n+1	n+2	
延时	第五条指令	第六条指令	第七条指令	第八条指令	
取指	第四条指令	第五条指令	第五条指令	第七条指令	
译码	第三条指令	第四条指令	第五条指令	第五条指令	
执行	第二条指令	第三条指令	第四条指令	第五条指令	
访存	第一条指令	第二条指令	第三条指令	第四条指令	
写回	NOP	第一条指令	第二条指令	第三条指令	
延时	NOP	NOP	第一条指令	第二条指令	
同步	NOP	NOP	NOP	第一条指令	

[0046] 表1-3

CORE2	处理周期				
	流水线级数	n-1	n	n+1	n+2
延时	第五条指令	第六条指令	第七条指令	第八条指令	
延时	第四条指令	第五条指令	第六条指令	第七条指令	
[0047] 取指	第三条指令	第四条指令	第五条指令	第八条指令	
译码	第二条指令	第三条指令	第四条指令	第五条指令	
执行	第一条指令	第二条指令	第三条指令	第四条指令	
访存	NOP	第一条指令	第二条指令	第三条指令	
写回	NOP	NOP	第一条指令	第二条指令	
同步	NOP	NOP	NOP	第一条指令	

[0048] 如图3所示,故障收集与控制单元通过逐一对比运行在三个核心下的运行结果,检测并输出相关故障信息。通过不同时钟域同步后的处理器信号进入故障收集与控制单元,由锁步指示信号使能控制该部分的启用与关闭,当锁步指示信号为1时,故障收集与控制单元启用。为防止故障收集与控制单元的功能出现单点故障,本发明采用多冗余备份的设计结构,即各处理器信号在进入故障收集与控制单元后在不同时钟域下完成输出一致性对照,防止时钟信号出错或故障收集与控制逻辑错误,将对照后的信号输出后经过三输入异或门进行结果对照并输出错误指示信号,同时通过将CORE0与CORE1、CORE2,CORE1与CORE2进行异或处理后对照输出三位信号E[2:0],E信号被存储在使能锁存器中方便后续继续输出。

[0049] 其中,锁步错误指示信号也充当使能锁存器的使能信号,在错误指示信号为0时,该部分锁存器不工作,当错误指示信号为1时,E信号被存储在锁存器中方便随时输出,故障收集与控制单元中双冗余对照结果说明,也即E信号的功能定义如表2所示,主要方便在后续错误处理的时候查找具体出错的核心处理器。

[0050] 进一步的,上述组合逻辑电路使用分层式门控多路选择器用于电路状态的切换,具体的,如图4所示,本发明提供了一种时钟控制的组合逻辑电路,有效解决了切换电路中的组合逻辑功耗问题。该电路设计中使用了分层式门控多路选择器用于电路状态的切换,也即在晶体管电路中添加了由时钟信号控制的一组P管MP1、MP0以及一组N管MN1、MN0,在时钟信号上升沿时信号逻辑信号传输至输出结构,其余情况下电路关断,有效降低了多路选择器等逻辑电路的静态功耗。

[0051] 表2

[0052]

信号	E[2]	E[1]	E[0]	
核心	$CORE2 \oplus C$	$CORE1 \oplus C$	$CORE2 \oplus C$	
对比	ORE0	ORE0	ORE1	
信号	0	0	1	三核均可能 出错
	0	1	0	
	1	0	0	
	1	1	0	CORE0 出 错
	0	1	1	CORE1 出 错
	1	0	1	CORE2 出 错

[0053] 为了精确适配上述设计中多时钟域的设计,本发明增加了一组P管MP6、MP7以及一组N管MN6、MN7,通过select_enable信号控制时钟信号的输入,当该控制信号为0时,MP7、MN7导通,来自主时钟域的时钟信号接入晶体管,同时MP4、MN5导通,MP3、MN4截止,电路形成了从MP4、MP2、MP0、MN0、MN3、MN5的导通路线,此时如果MN0、MP0中的时钟信号为上升沿,则该输入信号input_0输出到输出接口实现信号的选择;同理,当该控制信号为1时,MP3、MP7、MN7、MN4导通,信号Input_1通过MP5、MN2输入,在CK_MAIN时钟域的控制下输出,实现了input_1信号的选通。

[0054] 显然,本领域的技术人员可以对本技术方案进行各种改动和变型而不脱离本技术方案的精神和范围。这样,倘若本技术方案的这些修改和变型属于本技术方案权利要求及其等同技术的范围之内,则本技术方案也意图包含这些改动和变型在内。

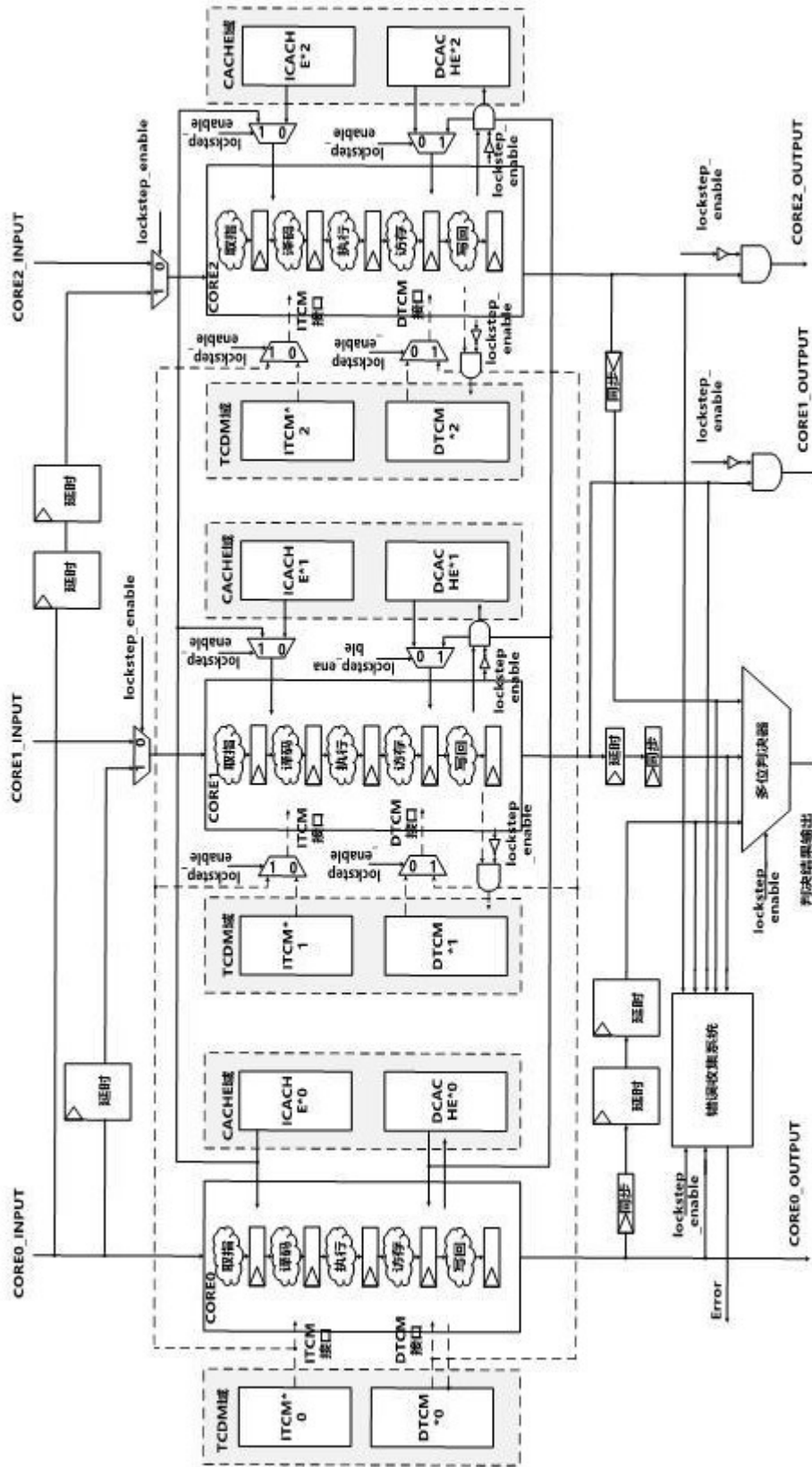


图 1

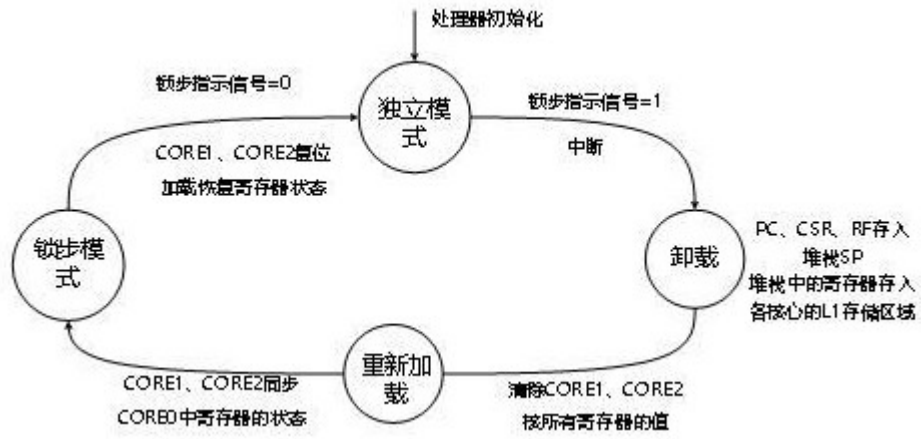


图 2

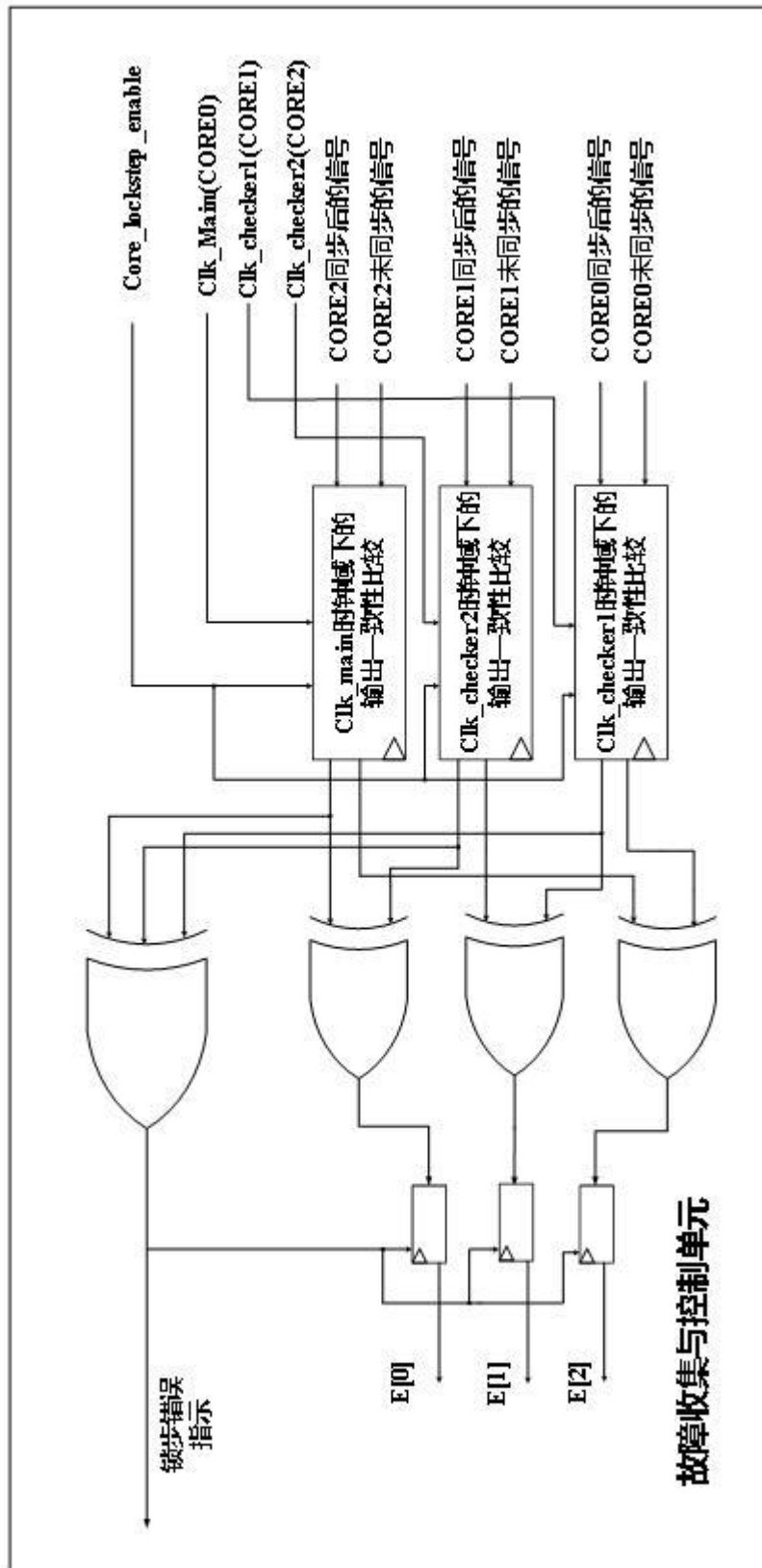


图 3

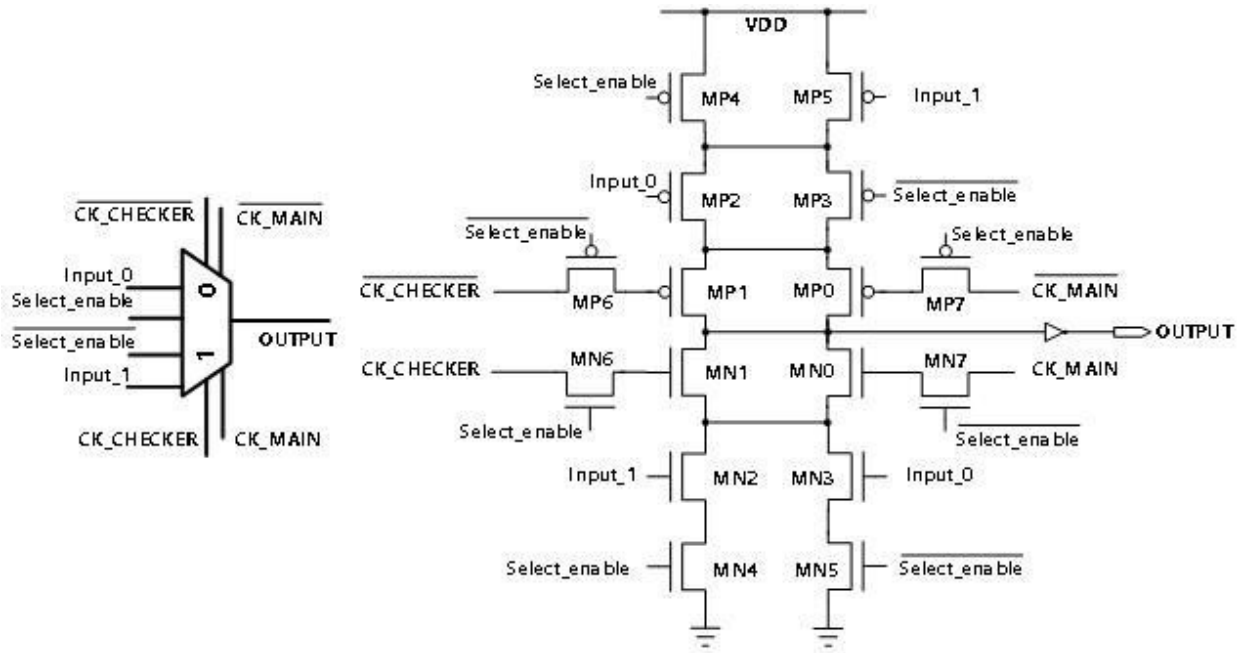


图 4