

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3951743号

(P3951743)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl. F I
HO 1 L 29/812 (2006.01) HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)
HO 1 L 21/338 (2006.01)

請求項の数 5 (全 9 頁)

(21) 出願番号	特願2002-52727 (P2002-52727)	(73) 特許権者	000005821
(22) 出願日	平成14年2月28日 (2002.2.28)		松下電器産業株式会社
(65) 公開番号	特開2003-257996 (P2003-257996A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年9月12日 (2003.9.12)	(74) 代理人	100097445
審査請求日	平成16年10月29日 (2004.10.29)		弁理士 岩橋 文雄
		(74) 代理人	100109667
			弁理士 内藤 浩樹
(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成13年度新エネルギー・産業技術総合開発機構地域コンソーシアム研究開発事業委託研究、産業活性化再生特別措置法第30条の適用を受けるもの)		(74) 代理人	100109151
			弁理士 永野 大介
		(72) 発明者	井上 薫
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	池田 義人
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

窒化ガリウム系半導体の表面を、120Paより小さい真空度となるようなアンモニアのプラズマガス流に曝すことにより、前記窒化ガリウム系半導体の電子に対する表面ポテンシャルを低下させる工程を少なくとも含むことを特徴とする半導体装置の製造方法。

【請求項2】

活性領域が窒化ガリウム系半導体によって構成された電界効果型トランジスタを有し、前記活性領域のうち、ゲート電極とソース電極に挟まれた部分が選択的に、その表面を120Paより小さい真空度となるようなプラズマ中に曝されることにより電子に対する表面ポテンシャルが低下したものであることを特徴とする半導体装置。

【請求項3】

前記活性領域のうち、さらに、ゲート電極とドレイン電極に挟まれた部分が選択的に、その表面をプラズマ中に曝されることにより電子に対する表面ポテンシャルが低下したものであることを特徴とする請求項2記載の半導体装置。

【請求項4】

活性領域が窒化ガリウム系半導体によって構成された電界効果型トランジスタを有し、前記活性領域の全体が、その表面を120Paより小さい真空度となるようなプラズマ中に曝されることにより電子に対する表面ポテンシャルが低下したものであることを特徴とする半導体装置。

【請求項5】

10

20

活性領域が窒化ガリウム系半導体によって構成された複数の電界効果型トランジスタを有し、そのうち一部の電界効果型トランジスタの活性領域が、その表面を $1.2 \times 10^5 \text{ Pa}$ より小さい真空度となるようなプラズマ中に曝されることにより電子に対する表面ポテンシャルが低下したものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的に $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ ($0 < x < 1$ 、 $0 < y < 1$) で表される窒化ガリウム (GaN) 系半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

GaN 、 AlGaN 、 InGaN 、 InAlGaN 等の窒化ガリウム系半導体は青色の半導体レーザのような短波長の光デバイスについて重要な半導体であるばかりでなく、最近ではその高い絶縁破壊電界強度、高い熱伝導率、高い電子飽和速度について注目が集まっており、高周波のパワーデバイス材料としても有望視されている。特に、 AlGaN/GaN ヘテロ接合構造では AlGaN と GaN のヘテロ接合界面付近に高濃度の電子が蓄積し、いわゆる二次元電子ガスが形成される。この二次元電子ガスは AlGaN に添加されるドナー不純物と空間的に分離されて存在するため高い移動度を示し、電界効果型トランジスタにこのヘテロ構造を用いる場合、ソース抵抗成分を低減することに寄与する。また、ゲート電極から二次元電子ガスまでの距離 d は通常数十 nm と短いため、アスペクト比と呼ばれるゲート長 L_g との比 L_g/d を L_g が 100 nm 程度と短くなっても 5 から 10 と大きくできるため短チャネル効果の小さい良好な飽和特性を有する電界効果トランジスタを作製しやすいという優れた特徴を有する。さらに AlGaN/GaN 系ヘテロ構造における二次元電子は $1 \times 10^5 \text{ V/cm}$ 程度の高電界領域で、現在高周波トランジスタとして普及している $\text{AlGaAs}/\text{InGaAs}$ 系の場合に比べての 2 倍以上の電子速度を有するばかりでなく、ヘテロ界面に蓄積される電子の濃度は AlGaN の Al 組成が 0.2 から 0.3 の場合に $1 \times 10^{13} / \text{cm}^2$ 程度であり GaAs 系デバイスの約 $3 \sim 5$ 倍に達する。このような事実から、 GaN 系ヘテロ構造 FET はパワーデバイスとして非常に有望視されている。

【0003】

【発明が解決しようとする課題】

GaN 系ヘテロ構造 FET における問題点の一つに、リセスゲート構造を作製することが難しいことが挙げられる。これは例えば AlGaN/GaN のヘテロ構造において AlGaN と GaN の格子定数が異なるため、 GaN 上に AlGaN の層を十分厚く形成できないことと、 AlGaN が化学的に極めて安定な材料であり、ウェットエッチングが困難であることによる。このようなことから、これまで報告されている GaN 系ヘテロ構造 FET は殆どがリセスゲート構造をとらないで、 AlGaN 層の平面上にソース・ドレインのオーミック電極とゲート電極が配置されたものとなっている。このような構造ではソース・ゲート間の抵抗値を十分低くすることが困難であり GaN 系ヘテロ構造 FET の本来有している優れた材料物性を引き出すことができなくなる。特にゲート・ソース間の AlGaN 層の厚さが薄いことは何らかの製造プロセス上の理由で表面の電子に対するポテンシャルが上昇すると対応する領域の電子濃度が直接的に低下することになり、ゲート電極でいくら正の方向にゲート電圧を印加してもソース電極とゲート電極間の領域で決まる最大の電子濃度以上にはゲート領域における電子濃度を上げることはできなくなってしまう。つまりこの場合 GaN 系ヘテロ構造 FET で流すことのできる最大ドレイン電流はソース・ゲート間の電子濃度で制限されてしまい、この間の電子に対する表面ポテンシャルがプロセス上の何らかの理由で上昇することは GaN 系ヘテロ構造 FET にとって致命的である。従ってソース・ゲート間の領域の AlGaN の層厚を厚くし表面ポテンシャルの変化にこの間の電子濃度がなるべく影響されないような構造、リセスゲート構造が望まれるわけであるが、このことが GaN 系ヘテロ構造 FET では技術的に大変難しい。したがって

10

20

30

40

50

、何らかの方法でソース・ドレイン間の表面ポテンシャルをできる限り低くする技術の開発が望まれる。

【0004】

本発明は以上述べたGaN系半導体装置の製造方法に関わる問題点に鑑みなされたものであり、その第一の目的はGaN系半導体の電子に対する表面ポテンシャルを低下させる技術を提供することである。

【0005】

本発明の第二の目的は、GaN系半導体の電子に対する表面ポテンシャルの低下の技術をソース・ゲート間の表面領域に選択的に適用することにより、ソース抵抗の小さな高い相互コンダクタンスを有し、大きなドレイン電流を得ることのできる高性能なGaN系ヘテロ構造FETを提供することである。

10

【0006】

本発明の第三の目的は、GaN系半導体の電子に対する表面ポテンシャル低下の技術をソース・ゲート間の領域ならびにゲート・ドレイン間の表面領域に選択的に適用することにより、ソース抵抗、ドレイン抵抗が小さく、高い相互コンダクタンスを有し、大きなドレイン電流を得ることのできる低電圧動作の可能な高性能GaN系ヘテロ構造FETを提供することである。

【0007】

本発明の第四の目的は、GaN系半導体の電子に対する表面ポテンシャル低下の技術をFETの活性領域の全表面領域に適用することにより、大きなドレイン電流と高いゲート・ドレイン耐圧を有する高性能なGaN系ヘテロ構造FETを提供することである。

20

【0008】

本発明の第五の目的は、GaN系半導体の電子に対する表面ポテンシャル低下の技術を同一基板上の特定FETについてゲート形成領域を含む半導体表面に選択的に適用することにより、しきい値の明らかに異なるFETを同一基板上に作製することである。

【0009】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、窒化ガリウム系半導体の表面をプラズマ中に曝すことにより、前記窒化ガリウム系半導体の電子に対する表面ポテンシャルを低下させる工程を少なくとも含むものである。

30

【0010】

まず、GaN系半導体の電子に対する表面ポテンシャル低下の技術について説明を行う。GaN系半導体をプラズマ中で処理をすることによりGaN系半導体の表面を殆どエッチングすることなくその性質を変化させる事ができることについては公知であり、窒素ガス(N₂)のプラズマやアンモニア(NH₃)のプラズマでの処理について報告がある。我々もアンモニアプラズマ中でGaN系半導体の表面をプラズマした場合に、処理後GaN系半導体表面に堆積するSiO₂膜の付着強度が向上することや、プラズマ処理を行った後にGaN系半導体の表面に形成したショットキー電極の理想因子(n値)がやや向上する事実を公開した。そして、これらの改善の理由としてGaN系半導体表面がプラズマ処理によって清浄化されることや、表面がプラズマ処理により活性化したものと推測した。一方、FETの特性に関しては、アンモニアプラズマ処理を行ってもその後作製したFETのしきい値は、プラズマ処理をしなかったものと比べて殆ど差異が無いかむしろしきい値がやや浅くなる傾向を示した。その場合のプラズマ処理の条件は、市販のプラズマエッチング装置を用い、アンモニアガスの流量100sccm、真空度1torr、電力30W、電極間隔20mmの条件において5分間行うというものであり、プラズマ処理が試料に与える損傷を低減するため、通常のプラズマエッチングの条件と比べて1/3~1/10の低電力で行っていた。この条件を条件Aと呼ぶことにする。このような条件はプラズマエッチング装置が異なると多少変わるので一般的な条件とは言いがたいが参考となるデータであろう。

40

【0011】

50

今回、たまたま同じプラズマ装置を用いてプラズマのガス流量を上述した条件に比べておよそ $1/3 \sim 1/4$ に絞り、装置のプラズマ処理時の真空度をおよそ 40 Pa として GaN 系半導体の表面処理を行い、処理後に作製した FET 特性に大きな変化が生じることを見出した。この新しいプラズマ処理の条件を条件 B と呼ぶことにする。

【0012】

【発明の実施の形態】

図1はFETの作製に用いたヘテロ構造の断面図を示している。サファイア基板101上に $3 \mu\text{m}$ の厚さのアンドープGaN層102、 2 nm の厚さのアンドープAlGaN層103、 15 nm の厚さのn型AlGaN層104、 3 nm の厚さのアンドープAlGaN層105が順次MOCVD法によりエピタキシャル成長されたものである。AlGaN層103、104、105におけるAlNの組成は25%、n型AlGaN層104中のSiの添加量は $4 \times 10^{18} / \text{cm}^3$ としている。この構造における電子の移動度は約 $1400 \text{ cm}^2 / \text{Vs}$ 、電子濃度は $1 \times 10^{13} / \text{cm}^2$ であり、比較的良好な電気的特性を示している。図2はFETの製造工程断面図を示す。図2(a)において201は基板であり、これはサファイア基板もしくはSiC基板である。202は基板201上にエピタキシャル成長されたGaN系半導体層を示し、例えば図1の102、103、104、105で示された各層をまとめてGaN系半導体層202としている。まずFETを形成する領域以外の領域にNあるいはCのイオン注入を行い素子分離領域203を形成する(図2(a))。素子分離領域は選択酸化によるGaN系半導体層の酸化膜であっても何ら問題は無い。素子分離領域を形成後、全面にアンモニアプラズマ処理を行う(図2(b))。204はアンモニアプラズマを表し、205は改質されたGaN系半導体層の表面を表す。プラズマ処理の条件は前述した条件Aあるいは条件Bを同一エピタキシャル基板を分割した2つの試料に別々に施した。その後オーミック電極であるソース電極206とドレイン電極207をリフトオフ法により形成した。これらの電極金属としては真空蒸着法により順次堆積した 20 nm の厚さのTiと 100 nm の厚さのAlを用いた。水素雰囲気において 550°C で1分間の熱処理を行った後、例えば厚さ 200 nm のNi膜を用いたゲート電極208をリフトオフ法により形成し、FETの基本的なプロセスを完了する(図2(c))。

【0013】

図3(a)、(b)に以上の製造プロセスにより作製したFETについて、プラズマ処理の条件の違いによるその特性の違いを示す。図3(a)は低真空のプラズマ処理すなわち条件Aで処理を行った後作製したFETであり、最大ドレイン電流はゲート電圧が $+2 \text{ V}$ の時に 630 mA/mm 、しきい値はおよそ -4 V を示し、アンモニアプラズマの処理を行わないFETとほぼ同一の特性を示した。一方図3(b)はプラズマの処理として条件Bの処理を行ったものであるが、最大ドレイン電流はゲート電圧が $+2 \text{ V}$ の時に 800 mA/mm と高い電流値を示し、しきい値はおよそ -1.4 V と図3(a)の場合に比べ 10 V 程度深いしきい値電圧を示した。ゲート電圧が -4 V より正の方向ではドレイン電流のゲート電圧増加に対する変化は小さくなり、このゲート電圧の領域では電子がAlGaN層を流れていることを示唆している。このことからプラズマ処理として条件Bで行った場合、明らかにGaN系半導体層202の表面に何らかの正の電荷が発生していると考えられる。すなわちGaN系半導体層202の表面の電子に対してのポテンシャルが低くなったことを意味している。条件Bを行ったFETの特性は安定であり、測定の再現性は良好であった。またしきい値の変化はプラズマのパワーには大きく依存せず、処理中の真空度に最も強く依存した。従ってプラズマ処理中のガスの流量あるいは真空度を 133 Pa から 40 Pa の範囲で適当に設定することにより表面に発生する正の電荷の量を制御できることになる。図7は作製後のFETのしきい値がプラズマ処理中の真空度によっていかに変化するかを説明する実験データである。図7の破線で示したしきい値一定の線は、プラズマ処理を行わなかった時のFETのしきい値を示す。FETのしきい値はプラズマ処理中のチャンバー圧力に依存すると共に処理時間にも依存する。およそ 100 Pa 以下の高真空側でプラズマ処理を行うとしきい値が顕著に負の方向に変化することがわかる。さら

に120Pa以上の低真空側でプラズマ処理を行うとしきい値は逆に正の方向へ変化する。図7の結果から圧力100Pa以下の領域がプラズマ処理によりGaN系半導体の表面ポテンシャルを低下させるのに適した真空度であるといえる。

【0014】

以上の実験結果からプラズマ処理を行う時の真空度を高くすることにより、GaN系半導体表面のポテンシャルを下げるのが可能となった。FETの特性が安定で再現性のあることから、プラズマ処理により固定した正の電荷がGaN系半導体層202の表面に発生したと推測される。

【0015】

本発明は以上述べた実験事実に基づき考案されたものであり、具体的な応用の例を以下の発明の実施の形態で詳しく述べる。

10

【0016】

(実施の形態1)

本発明の第1の実施形態に係る半導体装置およびその製造方法を図4に基づいて説明する。図4(a)において401は基板であり、402はGaN系半導体層であり、図2の202に対応するものである。403は素子分離領域を示し、404はソース電極、405はドレイン電極であり、オーミック電極を形成する為の熱処理は済んだ状態を示している。これらの電極形成は図2の説明で述べたとおりでありここでは省略する。406はオーミック電極の熱処理後形成されたゲート電極を示す。この状態でソース・ゲート間の領域以外の表面をフォトリソグレイド407で覆い、条件Bのプラズマ処理を施す(図4(b))。これによりソース・ゲート間の領域でのしきい値はゲート直下の領域のしきい値に比べて10V程度負の側に変化し、ソース・ゲート間のシート抵抗はゲート電圧によって大きく変化せず低い値を保ちその結果、FETのソース抵抗が低減することになる。FETの最大ドレイン電流も図1の構造のエピタキシャル基板を用いた場合に、図3(2)のニー電圧8Vを保ったまま800mA/mmの高い値を示し、相互コンダクタンスは150mS/mmと約50%の増大を示した。一方ドレイン側にはプラズマ処理を施していないので、高い100V以上の高いドレイン耐圧が得られた。

20

【0017】

(実施の形態2)

本発明の第2の実施形態に係る半導体装置およびその製造方法を図5に基づいて説明する。図5において、501は基板、502はGaN系半導体層(図2の202に対応する)、503は素子分離領域、504はソース電極、505はドレイン電極、506はゲート電極を示し、この図の状態ですべて条件Bのプラズマ処理を施している。これによりソース・ゲート間およびゲート・ドレイン間の領域でのしきい値はゲート直下の領域のしきい値に比べて10V程度負の側に変化する。その結果ソース・ゲート間、ゲート・ドレイン間にn+領域が形成されたことと等価となり、FETのニー電圧が著しく改善される。図1の構造のエピタキシャル基板を用いた場合にFETの最大ドレイン電流として800mA/mmのニー電圧5Vで得られた。相互コンダクタンスは180mS/mmとさらに増大した。一方、ドレイン耐圧は当初低下すると予想されたが、実際には100V以上の高い値が得られた。これについては以下の実施の形態3においても同様な結果となり、詳しい原因は今のところわかっていない。

30

40

【0018】

(実施の形態3)

実施の形態3は課題を解決する手段の所で述べたもので、FETの形成領域全面に条件Bのプラズマ処理を施すものである。その製造工程は図2と同様である。ここではSiC基板上に形成した図1と同様のGaN系ヘテロ構造を有する試料について行った実験結果について述べる。得られたFETのドレイン電流-電圧特性を図6に示す。このFETではしきい値電圧が-2.0Vと非常に深くなっており、最大ドレイン電流は1.4A/mmと非常に大きい値が得られた。図3の場合とちがうのは表面のAlGaNの膜質が良好であり、添加したSi不純物の活性化が図3の試料と大きく異なるためと考えられる。1.4

50

A/mmというドレイン電流の値はゲート電極をつける前の最大飽和電流値に等しく、プラズマ処理を行うことにより流しうる最大の電流値がゲート電極を形成しても得られることが明らかとなった(ちなみに、後に調べたところ図3の場合もゲート電極を形成する前の最大飽和電流は800mA/mmであった。)。しきい値が深すぎるのでニー電圧もやや大きいが、800mA/mmの電流値のところでは7Vと決して悪い値ではないことがわかる。このようにプラズマ処理を条件Bで行うことにより高ドレイン電流のFETが必ず得られることがわかった。ドレイン電流-電圧特性を見ると基板がSiCであるので高ドレイン電圧時の高い電流値においてもドレイン電流が低下しない様子が見て取れる。ここで注意すべきことはドレイン・ゲート間の耐圧である。図6ではわからないが、ドレイン電圧100Vにおけるオフ状態でのリーク電流はゲート幅100μmのFETでわずかに2μAときわめて良好な耐圧が得られた。ゲート・ドレイン間の領域が深いしきい値を取るようなプラズマ処理を施した構造においてこのような高いドレイン耐圧が得られる理由については実施の形態2でも言及したように詳しくはわからない。

10

【0019】

(実施の形態4)

実施の形態4は同一基板内にある複数のFETの内、所定のFETに少なくともゲート電極形成領域を含む領域にプラズマ処理を条件Bで行うもので、異なるしきい値を有するFETを同一基板内に簡単に形成するものである。これを製造する方法についてはほぼ自明であり、処理を施さないFETを選択的にレジストで覆いプラズマに曝されないようにすることで実現できることは容易に理解できるであろう。例えば、プラズマ処理が無い場合にしきい値が0V以上のFET(すなわちエンハンスメント型FET)が作製されるような条件の基板を用いた場合に、プラズマ処理を選択的に行うことによってしきい値が負となるFET(すなわちデプレッション型FET)を形成でき、E/Dインパータを基本とする論理ICを容易に実現できることになる。

20

【0020】

【発明の効果】

以上説明したように本発明は、133Paよりも適度に高い真空度、具体的には圧力が100Pa以下の真空度においてGaN系半導体表面にアンモニアプラズマ処理を施すことにより対応する表面領域の電子に対するポテンシャルを顕著に低下できるという新たな知見に基づきなされたものである。本発明によれば、GaN系FETのソース抵抗の低減、ドレイン電流値の向上、ならびに耐圧の向上が同時に図れ、GaN系FET、およびヘテロ構造FETの特性向上に大きく寄与でき、その効果は非常に大きい。なお、本発明の詳細ではアンモニアプラズマに限って表面ポテンシャルの低下の効果を述べたが、他のN₂、Ar、H₂ガス等においても同様の効果がある真空度の領域において発現するはずであり、アンモニアによるプラズマ処理に限るものではない。

30

【図面の簡単な説明】

【図1】本発明の原理を発見するのに用いた試料の断面構造図

【図2】本発明の原理を発見するのに用いた半導体装置の製造工程断面図

【図3】本発明の原理を発見するのに用いた半導体装置の特性比較図

【図4】本発明の第1の実施形態に係わる半導体装置の製造工程断面図

40

【図5】本発明の第2の実施形態に係わる半導体装置の製造工程断面図

【図6】本発明の第3の実施の形態に係わる半導体装置の特性図

【図7】アンモニアプラズマ処理を行う場合のチャンバー圧力とFETのしきい値との関係を示す特性図

【符号の説明】

101 サファイア基板

102 アンダーブGaN層

103 アンダーブAlGaN層

104 n型AlGaN層

105 アンダーブAlGaN層

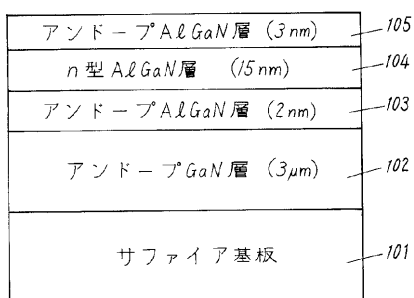
50

- 2 0 1 基板
- 2 0 2 GaN系半導体層
- 2 0 3 素子分離領域
- 2 0 4 アンモニアプラズマ
- 2 0 5 改質されたGaN半導体層の表面
- 2 0 6 ソース電極
- 2 0 7 ドレイン電極 n型AlGaN相
- 2 0 8 ゲート電極
- 4 0 1 基板
- 4 0 2 GaN系半導体層
- 4 0 3 素子分離領域
- 4 0 4 ソース電極
- 4 0 5 ドレイン電極 n型AlGaN相
- 4 0 6 ゲート電極
- 4 0 7 フォトレジスト
- 4 0 8 アンモニアプラズマ
- 4 0 9 改質されたGaN半導体層の表面
- 5 0 1 基板
- 5 0 2 GaN系半導体層
- 5 0 3 素子分離領域
- 5 0 4 ソース電極
- 5 0 5 ドレイン電極 n型AlGaN相
- 5 0 6 ゲート電極
- 5 0 7 改質されたGaN半導体層の表面

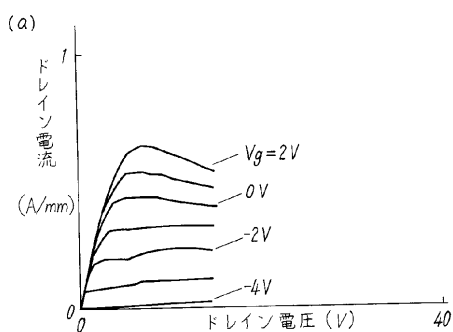
10

20

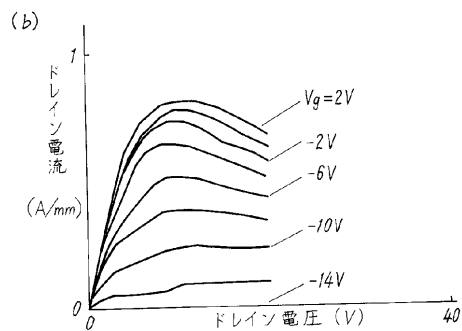
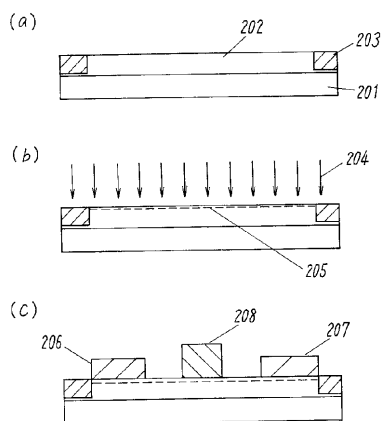
【 図 1 】



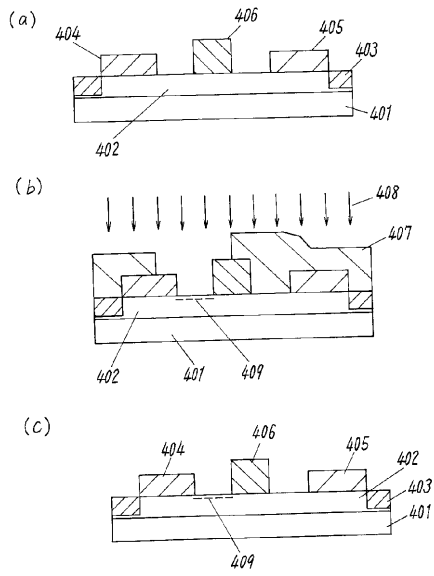
【 図 3 】



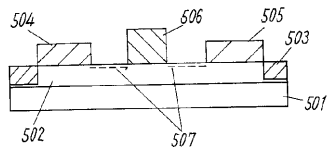
【 図 2 】



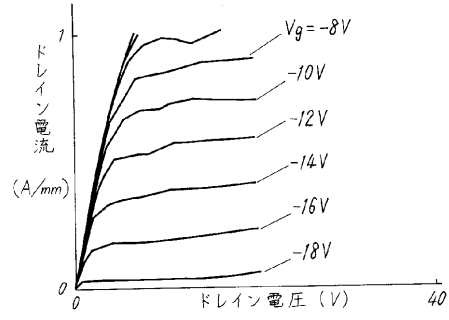
【 図 4 】



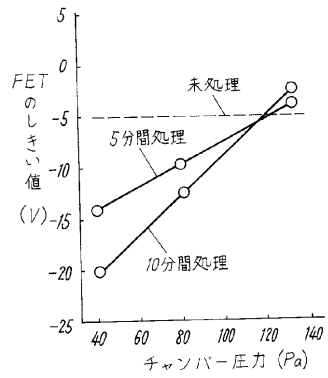
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (72)発明者 廣瀬 裕
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 西井 勝則
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 北島 健次

- (56)参考文献 特開2001-274140(JP,A)
特開平04-250635(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- H01L 21/338
 - H01L 29/778
 - H01L 29/812