

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810144745.X

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/08 (2006.01)

H01L 21/336 (2006.01)

[43] 公开日 2009年1月28日

[11] 公开号 CN 101355105A

[22] 申请日 2008.7.25

[21] 申请号 200810144745.X

[30] 优先权

[32] 2007.7.27 [33] JP [31] 2007-195492

[71] 申请人 精工电子有限公司

地址 日本千叶县千叶市

[72] 发明人 桥谷雅幸

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 柯广华 刘宗杰

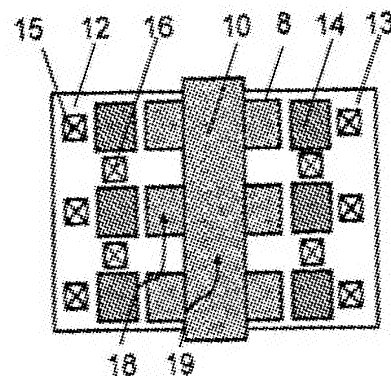
权利要求书3页 说明书6页 附图5页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

本发明提供了形成有用于提供在栅宽方向的凹部的槽部、并有利用栅绝缘膜在槽部顶面内及顶面上提供栅极的半导体装置。通过去除形成在邻近栅极的厚氧化物膜，源区和漏区各自的表面的至少一部分做得比该表面的其它部分低。把源区和漏区各自的表面的所述部分做得更低允许以高密度流过栅极凹部的顶面的电流均匀地流过整个槽部，这增加了凹部的有效栅宽以使在栅宽方向具有变化的深度。



1. 一种半导体装置，包括：

第一传导率型半导体衬底；

槽部，所述槽部设置在所述第一传导率型半导体衬底上，在栅宽方向具有侧面和底面；

栅极，所述栅极通过栅绝缘膜设置在所述槽部内及平面部的顶面的上方；

第二传导率型的源区，所述第二传导率型的源区设置在所述栅极的一侧上；以及

第二传导率型的漏区，所述第二传导率型的漏区设置在所述栅极的另一侧上，

其中，所述源区和所述漏区包括其邻近所述栅极的表面的至少一部分，该部分布置在比所述表面的其它部分更低的位置中，且所述源区和所述漏区具有在布置于所述更低的位置的所述表面的所述部分的向下部分中比在所述表面的所述其它部分的向下部分中更深的扩散深度。

2. 一种半导体装置，包括：

第一传导率型半导体衬底；

第二传导率型的源区和第二传导率型的漏区，所述第二传导率型的源区和第二传导率型的漏区邻近所述第一传导率型半导体衬底相互分离地被设置；

平面部，所述平面部是平的且设置在所述源区和所述漏区之间以成为第一沟道区；

具有恒定深度的槽部，所述槽部与所述平面部一起设置且具有充当第二沟道区的侧面和底面；

栅绝缘膜，所述栅绝缘膜设置到所述平面部的表面及所述槽部的表面；以及

栅极，所述栅极设置在所述栅绝缘膜上，

其中，所述源区和所述漏区在其表面上包括通过所述槽部面向另一侧的一部分的部分，它布置在比所述表面其它部分更低的位置，且所述源区和所述漏区具有在通过所述槽部面向所述另一侧的一部分的所述部分中比所述表面的所述其它部分深的扩散深度。

3. 依照权利要求 2 所述的半导体装置，还包括用于在布置于所述更低的位置的所述源区和所述漏区中的每一个的表面上布线的接触。

4. 依照权利要求 2 所述的半导体装置，其中在所述平面部的所述源区的表面上的接触与所述漏区的表面上的接触中的每一个与所述栅极之间的距离短于在所述槽部的所述源区的表面上的接触与所述漏区的表面上的接触中的每一个与所述栅极之间的距离。

5. 一种制造半导体装置的方法，包括：

准备第一传导率型的半导体衬底；

从所述半导体衬底的表面去除部分区成为源区且去除部分区成为漏区以形成凹部；

在区中形成具有侧面和底面的槽以成为沟道来布置平面部和槽部；

在所述槽部的侧面和底面上以及所述平面部的表面上形成栅绝缘膜；

在所述栅绝缘膜上形成栅极；以及

形成第二传导率型的源区和第二传导率型的漏区以在所述凹部周围将所述栅极夹入中间。

6. 依照权利要求 5 所述的制造半导体装置的方法，其中，通过采用 LOCOS 法形成厚氧化物膜并去除所述厚氧化物膜，进行所述从所述半导体衬底的表面去除部分区成为源区且去除部分区成为漏区以形成凹部。

7. 依照权利要求 5 所述的制造半导体装置的方法，其中，所述形成第二传导率型的源区和所述第二传导率型的漏区还包括在与向形

成在同一半导体衬底上的其它晶体管的源区和漏区的杂质引入的条件下引入杂质。

8. 依照权利要求 5 所述的制造半导体装置的方法, 其中, 所述形成第二传导率型的源区和所述第二传导率型的漏区还包括通过杂质引入向形成在同一半导体衬底上的其它晶体管的源区和漏区同时引入杂质。

半导体装置及其制造方法

技术领域

本发明涉及包含要求较高驱动能力的MOS晶体管的半导体装置，以及制造该半导体装置的方法。

背景技术

MOS晶体管在电子学中是核心的电子元件。实现MOS晶体管的小型化及其高驱动能力是重要的。给MOS晶体管赋予高驱动能力的方法之一是栅宽扩展以减小ON电阻。然而，存在大的栅宽需要MOS晶体管的宽占有区的问题。作为对此的解决方案，提出了一种技术，通过该技术得到大的栅宽，同时抑制了MOS晶体管的占有区增加。（比如，参见JP2006-49826 A）。

下文中，将参考图4A-4D描述常规半导体装置。如图4A的透视图所示，该常规半导体装置包括设置在阱17内的槽部8及设置在栅绝缘膜9上位于该槽部8内且在其顶面上的栅极10。在阱17的表面部分中，栅极10的一侧设有源区12，其另一侧设有漏区13。图4B是图4A沿切面A-A的平面部分的截面图，图4C是图4A沿切面B-B的截面图。如图4C所示，因为栅极10设置在槽部8内，所以在使与栅绝缘膜9接触的栅极10 B-B方向上延伸的曲线的总长限定了栅宽。

如上所述，由于栅部具有包括凸部和凹部的槽结构，因此实际栅宽能够大于仅制作在平面上的栅宽。相应地，能够不降低MOS晶体管的耐压而减小每单位面积的ON电阻。

本发明的发明者发现一个问题，即在上述半导体装置的结构中，实际的驱动能力不能达到期望的驱动能力。还发现驱动能力依赖于栅长变化且在短栅长的装置中趋低。

假定此现象是由在源极与漏极之间生成的沟道中的不均匀电流引起的：多数电流沿着未形成槽部 8 的平面部的路径 A 流动；少数电流沿着作为槽部 8 侧面的、在连接源区和漏区的方向上与沟道平行的路径 B、且沿着作为槽部 8 底面的路径 C 流动，如图 4D 所示。相应地，电流在短栅长装置中趋于集中到路径 A，这在短栅长装置中被认为是驱动能力降低的原因。

发明内容

本发明的目标是改善具有槽结构的半导体装置的驱动能力。

为解决上述问题，本发明使用以下手段：

(1) 一种半导体装置，包括：第一传导率型半导体衬底；槽部，所述槽部形成在所述第一传导率型半导体衬底上并在栅宽方向具有侧面和底面；栅极，所述栅极通过栅绝缘膜形成在所述槽部内及平面部的顶面的上；第二传导率型的源区，所述第二传导率型的源区形成在所述栅极的一侧上；以及第二传导率型的漏区，所述第二传导率型的漏区设置在所述栅极的另一侧上，其中，所述源区和所述漏区包括其邻近所述栅极的表面的至少一部分，该部分布置在比所述表面的其它部分更低的位置中，且所述源区和所述漏区具有在布置于所述更低的位置的所述表面的所述部分的向下部分中比在所述表面的所述其它部分的向下部分中更深的扩散深度；

(2) 一种半导体装置，包括：第一传导率型半导体衬底；第二传导率型的源区和第二传导率型的漏区，所述第二传导率型的源区和第二传导率型的漏区邻近所述第一传导率型半导体衬底相互分离地被设置；平面部，所述平面部是平的且设置在所述源区和所述漏区之间以成为第一沟道区；具有恒定深度的槽部，所述槽部与所述平面部一起设置且具有充当第二沟道区的侧面和底面；栅绝缘膜，所述栅绝缘膜设置在所述平面部的表面及所述槽部的表面；以及栅极，所述栅极设置在所述栅绝缘膜上，其中，所述源区和所述漏区在其表面上包

括通过所述槽部面向另一侧的一部分的部分，它布置在比所述表面其它部分更低的位置，且所述源区和所述漏区具有在通过所述槽部面向所述另一侧的一部分的所述部分中比所述表面的所述其它部分深的扩散深度；以及

(3) 一种制造半导体装置的方法，包括：准备第一传导率型的半导体衬底；从所述半导体衬底的表面去除部分区成为源区且去除部分区成为漏区以形成凹部；在区中形成具有侧面和底面的槽以成为沟道来布置平面部和槽部；在所述槽部的侧面和底面上以及所述平面部的表面上形成栅绝缘膜；在所述栅绝缘膜上形成栅极；以及形成第二传导率型的源区和第二传导率型的漏区以在所述凹部周围将所述栅极夹入中间。

依照本发明，通过去除采用 LOCOS 法至少在邻近所述栅极的一部分形成的厚氧化物膜，上述半导体装置的所述源区和所述漏区的表面的一部分能够低于所述表面的其它部分。因为允许相对于晶体管槽部的所述栅极将所述源极和所述漏极至更深的位置，所以能够相应减少在栅宽方向所述凹部的顶端的电流密度，且该电流能够分散到所述凹部的内部以沿深的路径流动，这能增强该半导体装置的驱动能力。

附图说明

在附图中：

图 1A-1J 是示出了依照本发明第一实施例的制造半导体装置的方法的处理顺序流程的截面图；

图 2A 是示出了依照本发明第一实施例的具有槽结构的 MOS 晶体管细节的平面图，图 2B 和图 2C 是示出了依照本发明第一实施例的具有槽结构的 MOS 晶体管细节的截面图；

图 3 是示出了依照本发明第二实施例的具有槽结构的 MOS 晶体管细节的平面图，以及

图 4A 是示出了具有常规技术的槽结构的 MOS 晶体管的透视图，

图 4B 和图 4C 是示出了具有常规技术的槽结构的 MOS 晶体管的截面图,且图 4D 是示出了流过具有相关技术的槽结构的 MOS 晶体管的沟道的电流的路径示意图。

具体实施方式

在下文中,将参考附图描述本发明的实施例。

图 1A-1J 是示出了制造依照本发明的第一实施例的半导体装置的方法的处理顺序流程的截面图。

在图 1A 中,在比如 p 型半导体衬底 1、或者具有因添加硼在 20 Ωcm 到 30 Ωcm 范围的电阻系数的杂质浓度的半导体衬底的第一传导率型半导体衬底上,形成诸如具有几百 \AA 厚度的热氧化物膜的氧化物膜 2。之后,比如以几千 \AA 厚度形成氮化物膜 3。注意,此实施例的衬底具有 p 型传导率,但是衬底的传导率与本发明的实质无关。如图 1B 所示,用保护膜 (resist film) 4 在氮化物膜 3 上形成图案,并通过硅局部氧化 (LOCOS) 法去除该氮化物膜 3 以形成氧化物膜。本例的氮化物膜在随后的处理中通过 LOCOS 法用于形成厚氧化物膜。此后,形成保护膜 5,而保持保护膜 4,且添加杂质以在沟道切割区中形成低浓度扩散层。比如,优选地以 1×10^{11} 原子/ cm^2 到 1×10^{13} 原子/ cm^2 的用量离子注入磷。在本例中,砷可以用作杂质。

然后,如图 1C 所示,去除保护膜 4 和 5 并采用 LOCOS 法形成 LOCOS 氧化物膜。在本例中,通过以 1000°C 到 1200°C 的温度数小时的热氧化形成诸如 500nm 到 $1 \mu\text{m}$ 厚的氧化物膜。同时,形成在沟道切割区中的低浓度扩散层 6。接着,如图 1D 所示,氮化物膜 3 去除之后,用保护膜 7 形成图案以去除 LOCOS 氧化物膜。氮化物膜或多晶硅膜可以代替保护膜 7 用作形成图案的掩膜。去除保护膜 7 和氧化物膜 2 之后,于是得到图 1E 所示的结构。该结构具有使要作为源区或漏区的区表面的部分低于其另外的部分的凹部。接着,如图 1F 所示,在第一传导率型半导体衬底中比如以几百 nm 到几 μm 的深度形

成槽结构 8。

如图 1G 所示,以几百到几千 \AA 的厚度形成诸如热氧化膜的栅绝缘膜 9 之后,多晶硅栅膜优选地以 100nm 到 500nm 的厚度沉积在栅绝缘膜 9 上,且通过预沉积或离子注入引入杂质以减小电阻率来得到栅极 10。在本例中,传导率可以是第一传导率型或者第二传导率型。而且,用保护膜 11 对栅极 10 形成图案,其提供了如图 1H 所示结构。如上所述,大致确定了要作为 MOS 晶体管沟道的区。图 1H 只显示了要作为槽部的沟道的区,但是同时通过在栅极 10 上形成图案也形成要作为平面部的沟道的区。

接着,如图 1I 所示,添加杂质以自对准方式形成源区和漏区。在向源区和漏区的杂质添加中,比如优选地以 1×10^{15} 原子/ cm^2 到 1×10^{16} 原子/ cm^2 的用量离子注入砷。而且,在与同一芯片中没有槽结构 8 的 MOS 晶体管的条件相同的条件下,能同时进行向源区和漏区的杂质引入。通过上述处理,配置具有槽结构 8 的 MOS 晶体管。如图 1J 所示,然后以 800°C 到 1000°C 的温度数小时的热处理形成源区 12 和漏区 13。在本实施例中,在栅极 10 附近的源区 12 和漏区 13 在其表面的部分上具有下降部。相应地,用于形成源区 12 和漏区 13 的杂质也分布到比以前更深的部分,允许增加流过槽部侧面或者其底面的电流量。

参考图 2A-2C 更详细地描述具有槽结构的、使用包括上述处理的方法制造的 MOS 晶体管的结构。

图 2A 是本发明的第一实施例的 MOS 晶体管的平面图,图 2B 是图 2A 沿 A-A 线的截面图,图 2C 是图 2A 沿 B-B 线的截面图。

本发明的半导体装置既具有由在栅宽方向布置的多槽部 8 组成的栅极,又具有形成在除槽部外构成沟道区的一部分的平面部上的栅极。图 2B 是图 2A 沿 A-A 线的截面图,并显示槽部晶体管 18。图 2C 是图 2A 沿 B-B 线的截面图,并显示平面部晶体管 19。图 2A 显示为在栅极 10 下随从槽部的形状提供的栅绝缘膜 9。

图 2A 显示本发明的第一实施例,其中,从中去除采用 LOCOS

法制成的厚氧化物膜以使在栅极 10 附近的源区 12 和漏区 13 的表面的至少一部分低于其它部分的区 14 连续且共同地存在于源区 12 和漏区 13 中，且被设置成在槽部晶体管 18 的栅极 10 的栅长方向包围两端。而且，在本实施例中，充当布线接触的槽部接触 15 及平面部接触 16 布置在栅极附近的表面上的下降部分上，它们在源区 12 和漏区 13 中。

图 3 是示出了依照本发明第二实施例的半导体装置的平面图。在图 3 中，厚氧化物膜去除区 14 至少具有在源区 12 和漏区 13 的表面上的、比其它部分低的一部分，且有选择地形成在槽部晶体管 18 的栅极 10 的栅长方向的延长部分上。与此一道，对于布线接触，槽部 15 或者平面部接触 16 布置在不同位置中。比如，平面部接触 16 设置在到栅极比到槽部接触 15 更近的距离处以达到减小寄生电阻的目的。而且在图 3 中，提供栅绝缘膜 9 以在栅极 10 下随从槽部的形状。

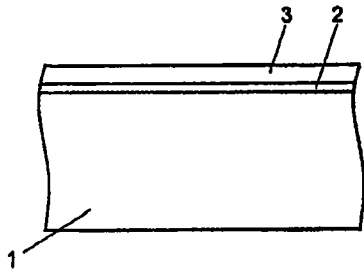


图 1A

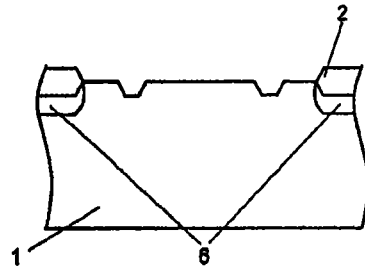


图 1E

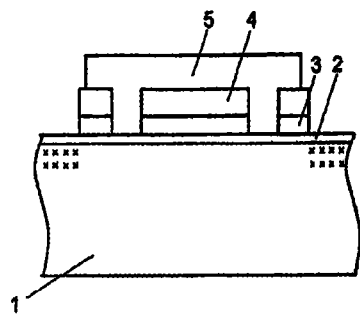


图 1B

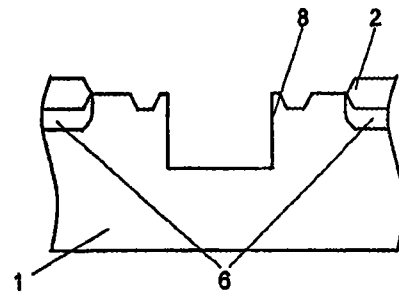


图 1F

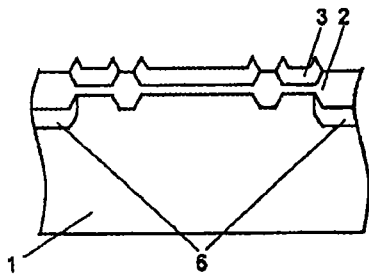


图 1C

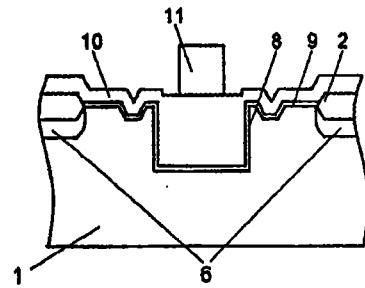


图 1G

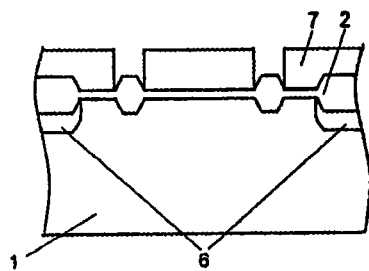


图 1D

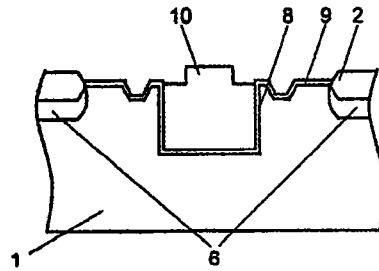


图 1H

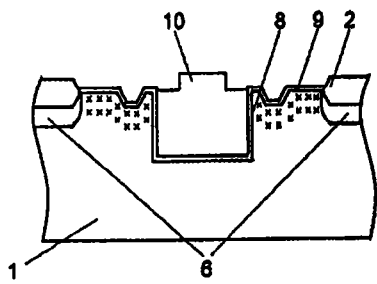


图 1I

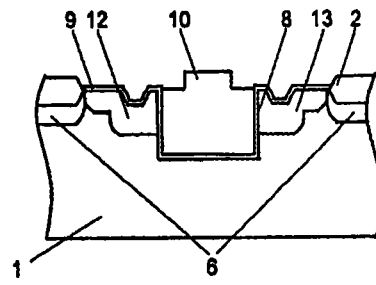


图 1J

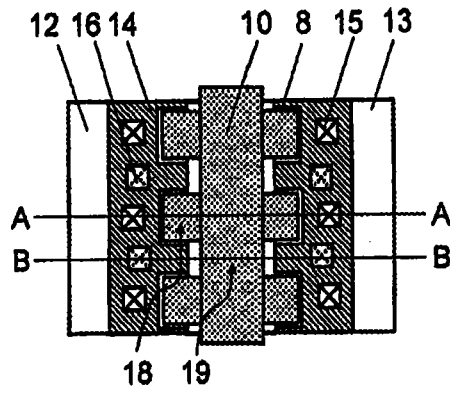


图 2A

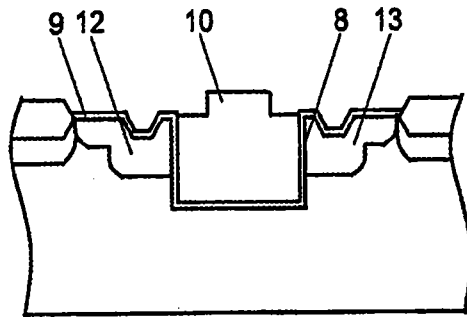


图 2B

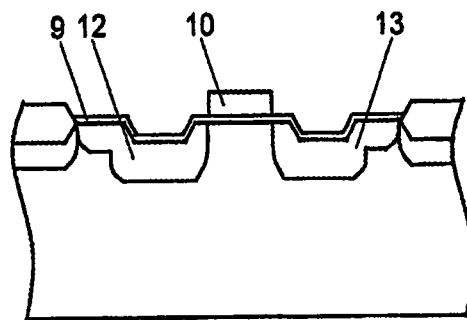


图 2C

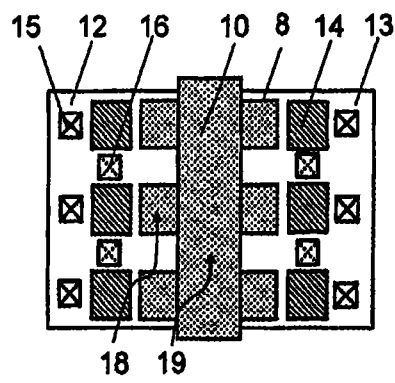


图 3

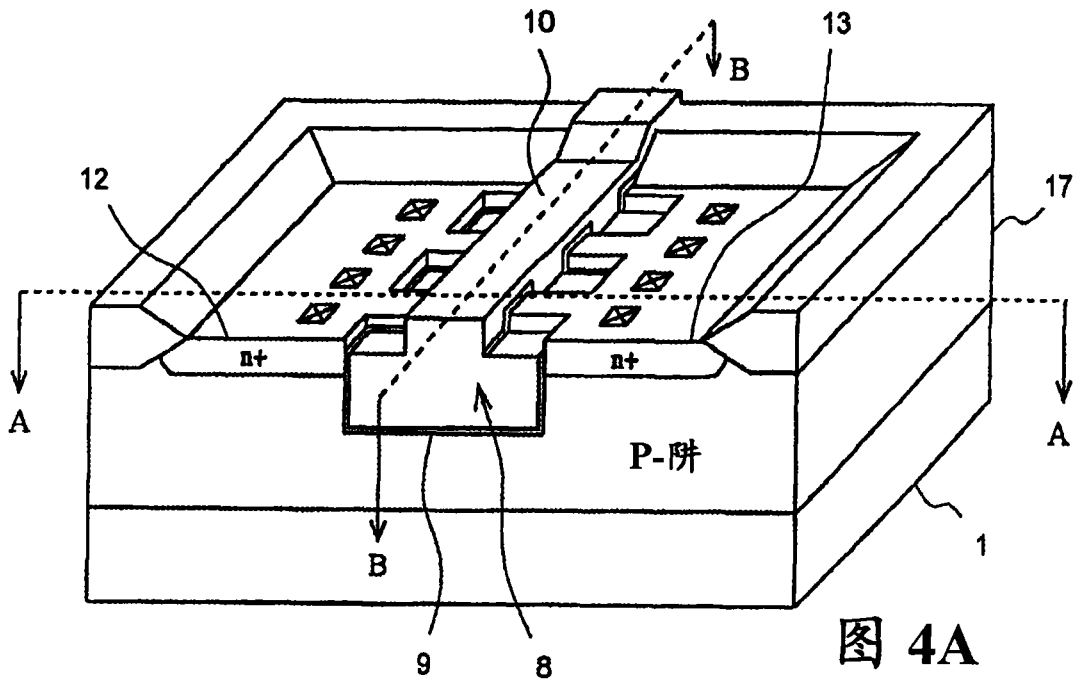


图 4A

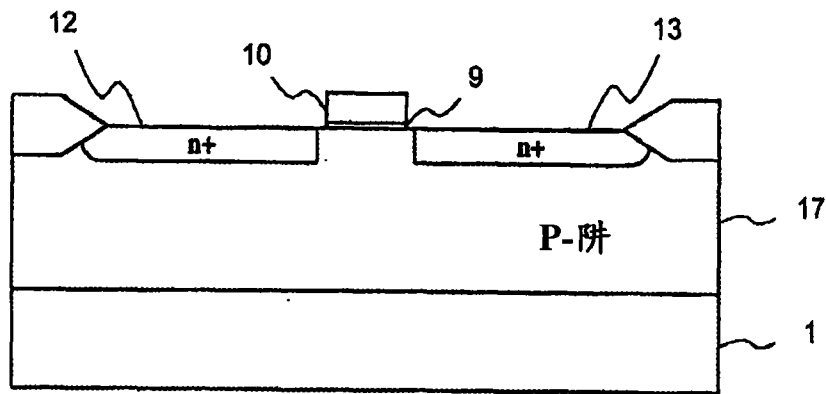


图 4B

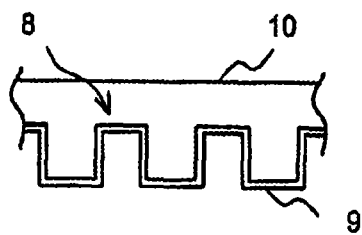


图 4C

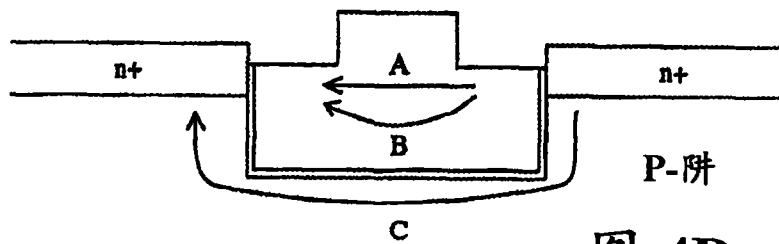


图 4D