



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월30일
(11) 등록번호 10-2070087
(24) 등록일자 2020년01월20일

(51) 국제특허분류(Int. Cl.)
H01L 21/301 (2006.01) H01L 21/66 (2006.01)
(21) 출원번호 10-2013-0047577
(22) 출원일자 2013년04월29일
심사청구일자 2018년04월23일
(65) 공개번호 10-2014-0129461
(43) 공개일자 2014년11월07일
(56) 선행기술조사문헌
KR1020030091648 A
JP2003045825 A*
KR1020120019649 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최화섭
인천 부평구 후정동로 50, 3동 307호 (삼산동, 태산아파트)
장유성
경기도 용인시 기흥읍 농서리 산7-1 상록수동 70 2호
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 10 항

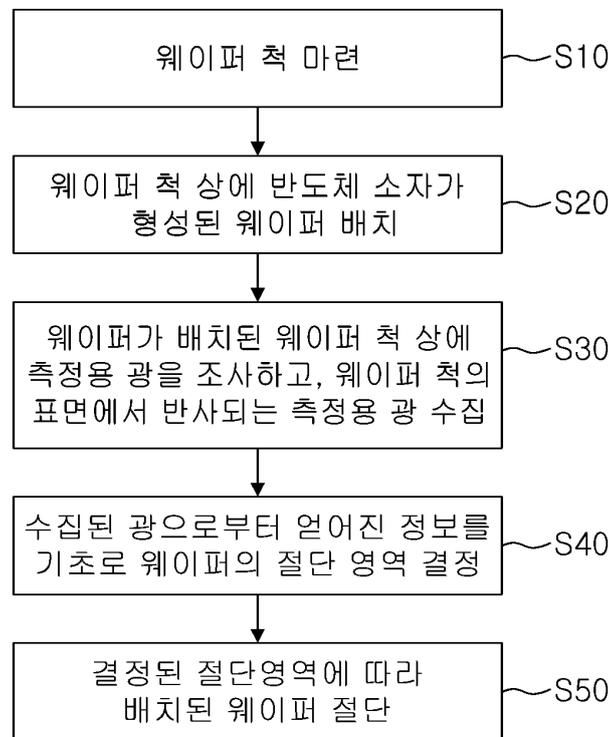
심사관 : 이정은

(54) 발명의 명칭 반도체 소자 제조방법

(57) 요약

본 발명의 일 측면은, 380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 갖는 표면이 형성된 웨이퍼 척을 마련하는 단계와, 상기 웨이퍼 척 상에 반도체층이 노출되는 영역과 전극패턴이 노출된 영역을 포함하는 반도체 발광소자가 형성된 웨이퍼를 배치하는 단계와, 상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광 (뒷면에 계속)

대표도 - 도1



을 조사하고 상기 웨이퍼가 배치된 웨이퍼 척의 표면을 촬영함으로써 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계와, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단 영역을 결정하는 단계 및 상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계를 포함하며, 상기 웨이퍼의 절단영역을 결정하는 단계는, 상기 측정용 광을 수집하는 단계에서 촬영에 의해 획득된 이미지를 그레이 스케일 이미지로 변환하는 단계와, 상기 그레이 스케일로 변환된 이미지를 기 설정된 전극패턴 이미지와 비교하는 단계 및 상기 비교 결과에 따라 절단영역을 결정하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조방법을 제공한다. 본 실시형태에 따르면, 반도체 소자가 형성된 웨이퍼를 절단함에 있어서 정밀도가 향상된 반도체 소자 제조방법을 얻을 수 있다.

(72) 발명자

엄태영

경기 수원시 권선구 매탄로 25, 101동 1110호 (권선동, 삼천리2차아파트)

이지호

경기 수원시 영통구 덕영대로1555번길 20, 945동 1311호 (영통동, 벽적골9단지아파트)

명세서

청구범위

청구항 1

380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 갖는 표면이 형성된 웨이퍼 척을 마련하는 단계;

상기 웨이퍼 척 상에 반도체층이 노출되는 영역과 전극패턴이 노출된 영역을 포함하는 반도체 발광소자가 형성된 웨이퍼를 배치하는 단계;

상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고, 상기 웨이퍼가 배치된 웨이퍼 척의 표면을 촬영함으로써 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계;

상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단 영역을 결정하는 단계; 및

상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계를 포함하고,

상기 웨이퍼의 절단영역을 결정하는 단계는,

상기 측정용 광을 수집하는 단계에서 촬영에 의해 획득된 이미지를 그레이 스케일 이미지로 변환하는 단계와, 상기 그레이 스케일로 변환된 이미지를 기 설정된 전극패턴 이미지와 비교하는 단계 및 상기 비교 결과에 따라 절단영역을 결정하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 2

제 1항에 있어서,

상기 웨이퍼 척의 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 갖는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 3

제 1항에 있어서,

상기 웨이퍼 척의 표면은 백색도(whiteness index)가 90 이상인 것을 특징으로 하는 반도체 소자 제조방법.

청구항 4

제 1항에 있어서,

상기 전극패턴은 전극패드와, 상기 전극패드에서 연장되는 적어도 하나의 전극지를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 5

제 1항에 있어서,

상기 그레이 스케일로 변환된 이미지에서, 상기 반도체층이 노출된 영역의 명도(brightness)는 150 이상인 것을 특징으로 하는 반도체 소자 제조방법.

청구항 6

제 5항에 있어서,

상기 그레이 스케일로 변환된 이미지에서, 상기 반도체층이 노출된 영역과 전극패턴이 노출된 영역의 명도값 차이(contrast)는 25 이상인 것을 특징으로 하는 반도체 소자 제조방법

청구항 7

제 1항에 있어서,

상기 웨이퍼의 절단영역을 결정하는 단계는,

상기 촬영에 의해 획득된 이미지로부터 얻어진 정보를 기초로 상기 배치된 웨이퍼를 각도정렬하는 단계; 및

상기 각도정렬된 웨이퍼의 절단영역을 결정하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 8

제 1항에 있어서,

상기 배치된 웨이퍼를 절단하는 단계는,

상기 결정된 절단영역에 레이저를 조사하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 9

제 8항에 있어서,

상기 배치된 웨이퍼를 절단하는 단계는,

상기 결정된 절단영역을 적어도 2 이상의 그룹으로 구분하며, 상기 결정된 절단영역에 따라 제1 그룹에 레이저를 조사하는 단계;

상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고, 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계;

상기 수집된 광으로부터 얻어진 정보를 기초로 제2 그룹의 절단영역을 재결정하는 단계; 및

상기 재결정된 절단영역에 따라 상기 제2 그룹에 레이저를 조사하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 10

380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 갖고, 백색도(whiteness index)가 90 이상인 표면이 형성된 웨이퍼 척을 마련하는 단계;

상기 웨이퍼 척 상에 반도체 소자가 형성된 웨이퍼를 배치하는 단계;

상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고, 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계;

상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단영역을 결정하는 단계; 및

상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계;

를 포함하고,

상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계는, 상기 반도체 소자 중 반도체층이 노출된 영역과 전극패턴이 노출된 영역에 따라 각각 다른 명도값을 갖는 이미지를 획득하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 개별 소자 단위의 반도체 소자는 웨이퍼 상에서 하나의 반도체 소자 집합으로 형성된 이후 각각의 개별 소자로 다이싱(dicing), 레이저 스크라이빙(laser scribing) 등의 방법을 이용하여 분리, 절단되어 제공될 수 있다. 여기서, 반도체 소자가 형성된 웨이퍼를 절단함에 있어서는 절단영역이 올바르게 결정될 필요가 있으며, 절단영역을 잘못 결정하게 되는 경우, 미스커팅(miss cutting)이 발생하여 절단된 반도체 소자 자체를 폐기해야 하는 문제가 발생할 수 있다. 이에, 당 기술분야에서는 절단영역 결정 시 오차를 줄이고, 미스커팅을 방지할 수 있는 방안이 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적 중 하나는, 반도체 소자가 형성된 웨이퍼를 절단함에 있어서 정밀도가 향상된 반도체 소자 제조방법을 제공함에 있다.

[0004] 본 발명의 목적 중 다른 하나는, 반도체 소자가 형성된 웨이퍼를 정밀하게 절단할 수 있는 반도체 소자 제조장치를 제공함에 있다.

[0005] 다만, 본 발명의 목적은 이에만 제한되는 것은 아니며, 명시적으로 언급하지 않더라도 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 이에 포함된다고 할 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면은, 380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 갖는 표면이 형성된 웨이퍼 척을 마련하는 단계와, 상기 웨이퍼 척 상에 반도체층이 노출되는 영역과 전극패턴이 노출된 영역을 포함하는 반도체 발광소자가 형성된 웨이퍼를 배치하는 단계와, 상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고 상기 웨이퍼가 배치된 웨이퍼 척의 표면을 촬영함으로써 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계와, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단 영역을 결정하는 단계 및 상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계를 포함하며, 상기 웨이퍼의 절단영역을 결정하는 단계는, 상기 측정용 광을 수집하는 단계에서 촬영에 의해 획득된 이미지를 그레이 스케일 이미지로 변환하는 단계와, 상기 그레이 스케일로 변환된 이미지를 기 설정된 전극패턴 이미지와 비교하는 단계 및 상기 비교 결과에 따라 절단영역을 결정하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조방법을 제공한다.

[0007] 여기서, 상기 웨이퍼 척의 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다.

[0008] 상기 웨이퍼 척의 표면은 백색도(whiteness index)가 90 이상일 수 있다.

[0009] 상기 웨이퍼 척은 산화 알루미늄(Al_2O_3)을 포함하는 물질로 이루어질 수 있다.

[0010] 여기서, 상기 웨이퍼 척을 이루는 물질은 상기 산화 알루미늄(Al_2O_3)의 순도가 96% 이상일 수 있다.

- [0011] 상기 웨이퍼 척의 두께는 10 내지 12mm일 수 있다.
- [0012] 상기 전극패턴은 전극패드와, 상기 전극패드에서 연장되는 적어도 하나의 전극지를 포함하는 것일 수 있다.
- [0013] 상기 그레이 스케일로 변환된 이미지에서, 상기 반도체층이 노출된 영역의 명도(brightness)는 150이상일 수 있다.
- [0014] 여기서, 상기 그레이 스케일로 변환된 이미지에서 상기 반도체층이 노출된 영역과 전극패턴이 노출된 영역의 명도값 차이(contrast)는 25 이상일 수 있다.
- [0015] 상기 웨이퍼의 절단영역을 결정하는 단계는, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 배치된 웨이퍼를 각도정렬하는 단계 및 상기 각도정렬된 웨이퍼의 절단영역을 결정하는 단계를 포함할 수 있다.
- [0016] 배치된 웨이퍼를 절단하는 단계는, 상기 결정된 절단영역에 레이저를 조사하는 단계를 포함할 수 있다.
- [0017] 이 경우, 상기 배치된 웨이퍼를 절단하는 단계는, 레이저를 조사하는 단계 이후에 상기 결정된 절단영역을 브레이크로 가압하는 단계를 더 포함할 수 있다.
- [0018] 또한, 여기서 상기 배치된 웨이퍼를 절단하는 단계는, 상기 결정된 절단영역을 적어도 2 이상의 그룹으로 구분하며 상기 결정된 절단영역에 따라 제1 그룹에 레이저를 조사하는 단계와, 상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계와, 상기 수집된 광으로부터 얻어진 정보를 기초로 제2 그룹의 절단영역을 재결정하는 단계 및 상기 재결정된 절단영역에 따라 상기 제2 그룹에 레이저를 조사하는 단계를 포함할 수 있다.
- [0019] 본 발명의 다른 측면은, 380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 갖는 표면이 형성된 웨이퍼 척을 마련하는 단계와, 상기 웨이퍼 척 상에 반도체 소자가 형성된 웨이퍼를 배치하는 단계와, 상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계와, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단영역을 결정하는 단계 및 상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계를 포함하는 반도체 소자 제조방법을 제공한다.
- [0020] 상기 웨이퍼 척의 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다.
- [0021] 상기 웨이퍼 척의 표면은 백색도(whiteness index)가 90 이상일 수 있다.
- [0022] 본 발명의 또 다른 측면은, 380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 갖는 표면이 형성된 웨이퍼 척과, 상기 웨이퍼 척의 표면 상에 측정용 광을 조사하는 광원부와, 상기 광원부에서 출사되어 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 영상획득부와, 상기 영상획득부에서 획득된 영상을 기초로 웨이퍼의 절단영역을 결정하는 연산부 및 상기 연산부에 의해 결정된 절단영역에 따라 웨이퍼를 절단하는 절단부를 포함하는 반도체 소자 제조장치를 제공한다.
- [0023] 상기 웨이퍼 척의 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다.
- [0024] 상기 웨이퍼 척의 표면은 백색도(whiteness index)가 90 이상일 수 있다.
- [0025] 본 발명의 또 다른 측면은, 백색 표면을 갖는 웨이퍼 척을 마련하는 단계와, 상기 웨이퍼 척 상에 반도체 소자가 형성된 웨이퍼를 배치하는 단계와, 상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계와, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단영역을 결정하는 단계 및 상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계를 포함하는 반도체 소자 제조방법을 제공한다.
- [0026] 상기 백색 표면은 백색도(whiteness index)가 90이상일 수 있다.

- [0027] 상기 백색 표면은 380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 가질 수 있다.
- [0028] 여기서, 상기 백색 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다.
- [0029] 본 발명의 또 다른 측면은, 백색 표면을 갖는 웨이퍼 척과, 상기 웨이퍼 척의 표면 상에 측정용 광을 조사하는 광원부와, 상기 광원부에서 출사되어 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 영상획득부와, 상기 영상획득부에서 획득된 영상을 기초로 웨이퍼의 절단영역을 결정하는 연산부 및 상기 연산부에 의해 결정된 절단영역에 따라 웨이퍼를 절단하는 절단부를 포함하는 반도체 소자 제조장치를 제공한다.
- [0030] 상기 백색 표면은 백색도(whiteness index)가 90이상일 수 있다.
- [0031] 상기 백색 표면은 380nm 내지 780nm의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 가질 수 있다.
- [0032] 여기서, 상기 백색 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다.
- [0033] 덧붙여, 상기한 과제의 해결 수단은 본 발명의 특징을 모두 열거한 것은 아니다. 본 발명의 다양한 특징과 그에 따른 장점과 효과는 아래의 구체적인 실시형태를 참조하여 보다 상세하게 이해될 수 있을 것이다.

발명의 효과

- [0034] 본 발명의 일 실시형태에 따르면, 반도체 소자가 형성된 웨이퍼를 절단함에 있어서 정밀도가 향상된 반도체 소자 제조방법을 얻을 수 있다.
- [0035] 본 발명의 다른 실시형태에 따르면, 반도체 소자가 형성된 웨이퍼를 정밀하게 절단할 수 있는 반도체 소자 제조장치를 얻을 수 있다.
- [0036] 다만, 본 발명의 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 언급되지 않은 다른 기술적 효과는 아래의 기재로부터 당업자에게 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0037] 도 1은 본 발명의 일 실시형태에 따른 반도체 소자 제조방법의 일 예를 나타내는 순서도이다.
- 도 2는 본 발명의 일 실시형태에 따른 웨이퍼 척이 스테이지 상에 배치되어 있는 상태를 개략적으로 나타낸 사시도이다.
- 도 3은 본 발명의 일 실시형태에 따른 반도체 소자가 형성된 웨이퍼를 개략적으로 도시한 것이다.
- 도 4a 및 도 4b는 본 발명의 일 실시형태에 따른 반도체 소자가 형성된 웨이퍼를 개략적으로 나타낸 단면도이다.
- 도 5는 본 발명의 일 실시형태에 따라, 웨이퍼 척 상에 웨이퍼가 배치된 상태를 나타낸 사시도이다.
- 도 6은 본 발명의 일 실시형태에 따라, 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계가 수행되는 상태를 나타내는 단면도이다.
- 도 7은 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단영역을 결정하는 단계의 일 예를 나타내는 순서도이다.
- 도 8은 도 7의 실시형태에 따라 촬영에 의해 획득된 이미지를 그레이 스케일 이미지로 변환하는 단계(S41)가 완료된 이후, 상기 그레이 스케일로 변환된 이미지를 개략적으로 나타낸 도면이다.
- 도 9(a) 내지 도 9(c)는 기 설정된 전극패턴 이미지를 예시적으로 나타낸 도면이다.

도 10은 본 발명의 일 실시형태에 따른 웨이퍼의 절단영역을 결정하는 단계를 보다 구체적으로 설명하기 위한 도면이다.

도 11 및 도 12는 본 발명의 일 실시형태에 따라, 결정된 절단영역에 따라 배치된 웨이퍼를 절단하는 단계의 일 예를 보다 구체적으로 설명하기 위한 단면도이다.

도 13(a) 내지 도 13(c)는 웨이퍼 상에 형성된 반도체 소자가 각각의 개별 소자단위로 분리된 이후, 발광소자 패키지로 형성되는 공정을 예시적으로 설명하기 위한 공정별 단면도이다.

도 14는 본 발명의 또 다른 실시형태를 설명하기 위한 순서도이다.

도 15a 및 도 15b는 도 14와 관련하여, 웨이퍼를 각도정렬하는 단계를 보다 구체적으로 설명하기 위한 도면이다.

도 16은 본 발명의 또 다른 실시형태를 설명하기 위한 순서도이다.

도 17a 내지 도 17c는 도 16과 관련하여, 웨이퍼의 절단영역을 재결정하는 단계를 보다 구체적으로 설명하기 위한 도면이다.

도 18은 본 발명의 일 실시형태에 따른 반도체 소자 제조장치를 개략적으로 나타낸 단면도이다.

도 19 내지 도 21은 본 발명의 일 실시형태에 따른 반도체 소자 제조방법의 실시예와 비교예를 비교하기 위한 그래프 및 사진이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.

[0039] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다. 또한, 본 발명의 실시 형태는 당해 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.

[0040] 도 1은 본 발명의 일 실시형태에 따른 반도체 소자 제조방법의 일 예를 나타내는 순서도이다.

[0041] 도 1을 참조하면, 본 실시형태에 따른 반도체 소자 제조방법은 웨이퍼 척을 마련하는 단계(S10)와, 상기 웨이퍼 척 상에 반도체 소자가 형성된 웨이퍼를 배치하는 단계(S20)와, 상기 웨이퍼가 배치된 웨이퍼 척 상에 측정용 광을 조사하고 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계(S30)와, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼의 절단영역을 결정하는 단계(S40) 및 상기 결정된 절단영역에 따라 상기 배치된 웨이퍼를 절단하는 단계(S50)를 포함한다. 언급된 각 단계에 대해서는 하기에서 보다 구체적으로 설명하기로 한다.

[0042] 우선, 본 실시형태에 따른 반도체 소자 제조방법은 웨이퍼 척을 마련하는 단계(S10)부터 시작된다. 본 단계(S10)는 도 2를 함께 참조하여 설명하기로 한다.

[0043] 도 2는 본 단계에서 마련되는 웨이퍼 척(20)이 스테이지(10) 상에 배치되어 있는 상태를 개략적으로 나타낸 사시도이다. 여기서, 상기 스테이지(10)는 상기 웨이퍼 척(20)이 배치된 면을 회전시킬 수 있도록 회전수단(11)을 구비할 수 있다. 한편, 본 실시형태에서 상기 웨이퍼 척(20)은 상기 스테이지(10)와 별개로 구비되는 것으로 설명되었으나, 이에 제한되는 것은 아니라 할 것이다. 즉, 상기 웨이퍼 척(20)은 상기 스테이지(10)와 일체로 구비되는 것일 수 있다. 예를 들어, 상기 웨이퍼 척(20)은 별개의 스테이지(10) 상에 배치될 필요 없이 회전수단(11)을 포함하여 구비될 수도 있을 것이다.

[0044] 본 실시형태에서, 상기 웨이퍼 척(20)은 백색의 표면을 가질 수 있다.

- [0045] 여기서, 표면이 "백색"이라 함은 백색도(whiteness index) 내지 인가 과장에 대한 반사도로 정의될 수 있다. 구체적으로, 본 실시형태의 웨이퍼 척은 백색도(whiteness index)가 90 이상인 표면을 가질 수 있다. 여기서, "백색도"라 함은 국제 표준인 CIE 색채 정의에 의거하여 헌터 Lab(Hunter L,a,b) 방식으로 계산된 것이며, 이와 관련된 정의 및 규정 방법은 미국 표준 시험방법(ASTM)의 E 308, E 1347 항목이 참조되어 이해될 수 있다. 이에 제한되는 것은 아니지만, 상기 웨이퍼 척(20)은 산화 알루미늄(Al_2O_3)을 주성분으로 하며 결합제를 이용하여 소결된 세라믹으로부터 마련되는 것일 수 있다. 이 경우 상기 산화 알루미늄(Al_2O_3)의 순도는 약 96% (중량%) 이상일 수 있다. 상기 웨이퍼 척(20) 표면의 백색도는 산화 알루미늄(Al_2O_3)의 순도를 조절하거나, 백색 물질을 이용한 코팅과 같은 방법을 이용하여 얻을 수 있다.
- [0046] 또한, 본 실시형태에 따르면, 상기 웨이퍼 척(20)의 표면은 380nm 내지 780nm 범위의 과장을 갖는 광에 대하여 각각 50% 이상의 반사도를 가질 수 있다. 이에 제한되는 것은 아니지만, 상기 조사되는 광의 과장(380nm 내지 780nm)에 대하여 70% 이상, 보다 구체적으로는 약 74% 내지 90%의 반사도를 가질 수 있으며, 이와 같이, 380nm 내지 780nm 범위의 과장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다. 한편, 여기서 의미하는 반사도는 전반사도를 의미하는 것으로 이해될 수 있다.
- [0047] 본 실시형태에서, 상기 웨이퍼 척(20)은 다공질로 이루어질 수 있다. 이 경우, 웨이퍼를 상기 웨이퍼 척(20)에 배치시킬 때에, 상기 웨이퍼가 웨이퍼 척(20)에서 효과적으로 고정될 수 있다. 보다 구체적으로, 상기 웨이퍼 척(20) 상에 웨이퍼가 배치된 이후, 상기 다공질 구멍을 통해 진공 흡착을 가해줌으로써 상기 웨이퍼가 웨이퍼 척(20) 상에서 효과적으로 고정될 수 있을 것이다. 한편, 본 실시형태에서 상기 웨이퍼 척(20)의 두께는 약 10 내지 12mm로 형성될 수 있으나, 이에 제한되지는 것은 아니므로 필요에 따라 다양한 두께로 형성될 수 있음은 자명할 것이다.
- [0048] 다음으로, 상기 웨이퍼 척(20) 상에 반도체 소자가 형성된 웨이퍼를 배치한다(S20). 이는 도 3 내지 도 5를 통해 보다 구체적으로 설명하기로 한다.
- [0049] 도 3은 본 실시형태에 따른 반도체 소자(40)가 형성된 웨이퍼(30)를 도시하며, 도 4a 및 도 4b는 반도체 소자(40)가 형성된 웨이퍼(30)의 단면도를 도시한다. 도 5는 본 단계(S20)가 완료된 상태를 나타내는 사시도이다.
- [0050] 도 3을 참조하면, 본 실시형태에 따른 웨이퍼(30) 상에는 반도체 소자(40)가 형성되어 있다. 이에 따르면, 상기 웨이퍼(30)는 반도체 소자(40)가 형성되어 있는 A면과 상기 A면에 반대되는 B면을 구비할 수 있다.
- [0051] 본 단계(S20)에서의 반도체 소자(40)는 개별 소자 단위로 분리, 절단되기 이전의 상태이며, 즉, 상기 반도체 소자(40)는 추후 공정을 통해 각각의 개별 반도체 소자(40S)로 분리, 절단될 필요가 있다. 이에 대해서는 후속 공정을 통해 설명하기로 하고, 우선 본 실시형태에 따른 웨이퍼(30) 및 반도체 소자(40)의 일 예를 보다 구체적으로 설명하기로 한다.
- [0052] 본 실시형태에서, 상기 웨이퍼(30)는 반도체 소자(40)의 성장용으로 제공되는 성장기판일 수 있다.
- [0053] 구체적으로, 상기 웨이퍼(30)는 사파이어, Si, SiC, $MgAl_2O_4$, MgO, $LiAlO_2$, $LiGaO_2$, GaN 등과 같이 절연성, 도전성, 반도체 물질일 수 있다. 이 경우, 바람직하게 사용될 수 있는 것은 전기 절연성을 갖는 사파이어로서, 사파이어는 육각-롬보형(Hexa-Rhombo R3c) 대칭성을 갖는 결정체로서 c축 및 a축 방향의 격자상수가 각각 13.001Å 과 4.758Å이며, C(0001)면, A(1120)면, R(1102)면 등을 갖는다. 여기서, 상기 C면은 반도체 소자(40)를 이루는 물질, 예컨대 질화물 반도체의 박막성장이 용이하며, 고온에서 안정하기 때문에 질화물 성장용 웨이퍼로 주로 사용된다.

- [0054] 다만, 이에 제한하는 것은 아니므로, 상기 웨이퍼(30)로 사용되기에 적합한 다른 물질을 사용할 수도 있을 것이다. 예를 들면, 상기 웨이퍼(30)로 사용되기에 적합한 다른 물질로서 실리콘(Si) 기판을 들 수 있다. 이 경우, 대구경화에 보다 적합하고 상대적으로 가격이 낮으므로, 양산성이 향상될 수 있다. 실리콘(Si) 기판을 이용하는 경우, 기판 상에 $Al_xGa_{1-x}N$ 과 같은 물질로 이루어진 핵생성층을 형성한 후 그 위에 원하는 구조의 반도체, 예컨대 질화물 반도체를 성장할 수 있을 것이다.
- [0055] 본 실시형태에서, 상기 반도체 소자(40)는 전극패드(41a, 42a)를 구비하며, 상기 전극패드(41a, 42a)에서 연장되는 적어도 하나의 전극지(41b, 42b)를 포함할 수 있다. 이에 따라, 상기 전극패드(41a, 42a)와 전극지(41b, 42b)는 상기 반도체 소자(40) 상에서 일정한 전극패턴을 형성할 수 있다. 여기서, 상기 반도체 소자(40)는 반도체층이 노출된 영역(R1)과 전극패턴이 노출된 영역(R2)을 구비할 수 있다.
- [0056] 상기 전극패드(41a, 42a)는 반도체 소자(40)에 전기적으로 접속되어 구동전원을 인가하는 수단으로 제공되며, 전기 전도성 물질, 예컨대 Ag, Al, Ni, Cr, Pd, Cu, Pt, Sn, W, Au, Rh, Ir, Ru, Mg, Zn 등으로부터 선택된 물질을 증착, 스퍼터링 도금 등의 공정으로 형성될 수 있다. 또한, Ni/Ag, Zn/Ag, Ni/Al, Zn/Al, Pd/Ag, Pd/Al, Ir/Ag, Ir/Au, Pt/Ag, Pt/Al, Ni/Ag/Pt 등과 같이 2층 이상의 구조로 채용될 수도 있으며, 상기 언급된 물질에 제한되는 것은 아니므로, 도전성을 갖는 물질이라면 제한되지 않고 상기 전극패드(41a, 42a)를 이루는 물질로 채용될 수 있을 것이다. 이때, 상기 전극패드(41a, 42a)에서 연장되는 적어도 하나의 전극지(41b, 42b)는 보다 용이한 전류 분산을 유도할 수 있다.
- [0057] 이에 제한되는 것은 아니지만, 상기 반도체 소자(40)는 예를 들면 전기 신호 인가시 소정 파장의 광을 방출하는 반도체 발광소자일 수 있다. 이에 대한 예시적인 실시형태는 도 4a 및 도 4b를 통해 보다 구체적으로 설명하기로 한다.
- [0058] 도 4a 및 도 4b는 본 발명의 일 실시형태에 따른 반도체 소자(40)가 형성된 웨이퍼(30)를 개략적으로 나타낸 단면도이다.
- [0059] 우선, 도 4a를 참조하면, 본 실시형태에 따른 반도체 소자(40)는 상기 웨이퍼(30) 상에 형성된 제1 도전형 반도체층(41)과, 상기 제1 도전형 반도체층(41) 상에 형성된 활성층(43) 및 상기 활성층(43) 상에 형성된 제2 도전형 반도체층(42)을 포함하는 반도체 발광소자일 수 있다.
- [0060] 상기 제1 및 제2 도전형 반도체층(41, 42)은 각각 n형 및 p형 불순물이 도핑된 반도체로 이루어질 수 있으나, 이에 제한되는 것은 아니며, 반대로 각각 p형 및 n형 반도체층이 될 수도 있을 것이다. 또한, 제1 및 제2 도전형 반도체층(41, 42)은 질화물 반도체, 예컨대, $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 구성을 갖는 물질로 이루어질 수 있으며, 다만, 이 외에도 AlGaInP계열 반도체나 AlGaAs계열 반도체와 같은 물질이 이용될 수도 있을 것이다.
- [0061] 상기 제1 및 제2 도전형 반도체층(41, 42) 사이에 형성된 활성층(43)은 전자와 정공의 재결합에 의해 소정의 에너지를 갖는 광을 방출하며, 양자우물층과 양자장벽층이 적어도 2회 교대로 적층된 다중 양자우물(MQW) 구조, 예컨대, 질화물 반도체일 경우, 양자우물층은 InGaN (In 함량은 변화될 수 있음)으로 이루어지고 양자장벽층은 GaN으로 이루어진 구조가 사용될 수 있다.
- [0062] 이와 같은 제1 및 제2 도전형 반도체층(41, 42)과 활성층(43)은 웨이퍼(30) 상에 유기 금속 화학 증착(Metal Organic Chemical Vapor Deposition, MOCVD), 수소화 기상 에피택시(Hydride Vapor Phase Epitaxy, 'HVPE'),

분자선 에피탁시(Molecular Beam Epitaxy, MBE) 등과 같은 공정을 적용하여 형성될 수 있을 것이다.

- [0063] 본 실시형태에서, 상기 웨이퍼(30)와 제1 도전형 반도체층(41) 사이에는 버퍼층(41')이 게재될 수 있다. 일반적으로 상기 웨이퍼(30) 상에 반도체 물질이 성장하는 경우, 예를 들면 사파이어로 이루어진 웨이퍼(30) 상에 GaN 박막을 성장시키는 경우 웨이퍼(30)와 GaN 박막 간의 격자상수 불일치로 인해 전위(dislocation)와 같은 격자결함이 발생할 수 있으며, 열팽창 계수 차이로 인해 웨이퍼(30)가 휨으로써 반도체층에 균열(crack)이 발생할 수 있다. 이러한 결함제어와 휨 제어를 위해, 상기 웨이퍼(30) 상에 버퍼층(41')을 형성한 후 그 위에 원하는 구조의 반도체층, 예컨대 질화물 반도체로 이루어진 제1 도전형 반도체층(41)을 성장할 수 있다. 이와 같은 버퍼층(41')은 반도체층을 이루는 단결정 성장온도보다 저온에서 형성된 저온 버퍼층일 수 있으나, 이에 제한되는 것은 아니다.
- [0064] 상기 버퍼층(41')을 이루는 물질로는 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$), 특히 GaN, AlN, AlGaN이 사용될 수 있으며, 예를 들면, 상기 버퍼층(41')은 불순물이 도핑되지 않은 언도프 GaN층일 수 있다.
- [0065] 물론, 이에 제한되는 것은 아니므로, 상기 웨이퍼(30) 상에 형성된 반도체 소자(40)의 결정성을 좋게 하기 위한 구조라면 어느 것이든 채용될 수 있으며, ZrB_2 , HfB_2 , ZrN, HfN, TiN, ZnO 등의 물질도 사용될 수 있다. 또한, 복수의 층을 조합하거나 조성을 점진적으로 변화시킨 층으로도 사용될 수 있다.
- [0066] 한편, 상기 제2 도전형 반도체층(42)과 상기 제2 도전형 반도체층(42) 상에 형성되는 전극패드(42a) 사이에는 오믹전극층(42')이 형성될 수 있다. 상기 오믹전극층(42')은 상기 제2 도전형 반도체층(42)과 전기적으로 오믹 특성을 보이는 물질로 이루어질 수 있으며, 이에 제한되는 것은 아니나, 활성층(43)에서 생성된 광이 제2 도전형 반도체층(42)을 경유하여 외부로 출사되는 구조의 반도체 발광소자인 경우, 상기 오믹전극층(42')은 투명 전극용 물질 중 광 투과율이 높으면서도 오믹컨택 성능이 상대적으로 우수한 ITO, CuO , ZnO 등과 같은 투명 전도성 산화물로 형성될 수 있다.
- [0067] 반도체 소자(40)의 또 다른 예로서, 도 4b를 참조하면, 본 실시형태에 따른 반도체 소자(40)는 이른바 나노 LED 칩으로 구현되는 반도체 발광소자일 수 있다.
- [0068] 도 4b를 참조하면, 상기 반도체 소자(40)는 웨이퍼(30) 상에 형성된 다수의 나노 발광구조체(N)를 포함한다. 본 예에서 상기 나노 발광구조체(N)는 코어-셸(core-shell) 구조로서 로드구조로 예시되어 있으나, 이에 제한되지 않고 피라미드 구조와 같은 다른 구조를 가질 수 있다.
- [0069] 구체적으로, 상기 반도체 소자(40)는 웨이퍼(30) 상에 형성된 베이스층(41'')을 포함한다. 상기 베이스층(41'')은 나노 발광구조체(N)의 성장면을 제공하는 층으로서, 제1 도전형 반도체일 수 있다. 상기 베이스층(41'') 상에는 나노 발광구조체(N) 성장을 위한 오픈영역을 갖는 마스크층(45)이 형성될 수 있다. 상기 마스크층(45)은 SiO_2 또는 SiN_x 와 같은 유전체 물질일 수 있다.
- [0070] 상기 나노 발광구조체(N)는 오픈영역을 갖는 마스크층을 이용하여 제1 도전형 반도체를 선택 성장시킴으로써 제1 도전형 나노 코어(41)를 형성하고, 상기 나노 코어(41)의 표면에 셸층으로서 활성층(43) 및 제2 도전형 반도체층(42)을 형성한다. 이로써, 나노 발광구조체(N)는 제1 도전형 반도체가 나노 코어(41)가 되고, 나노 코어(41)를 감싸는 활성층(43) 및 제2 도전형 반도체층(42)이 셸층이 되는 코어-셸(core-shell) 구조를 가질 수 있다.
- [0071] 또한, 상기 반도체 소자(40)는 나노 발광구조체(N) 사이에 채워진 충전물질(46)을 포함할 수 있다. 상기 충전물질(46)은 나노 발광구조체(N)를 구조적으로 안정화시킬 수 있다. 상기 충전물질(46)은 이에 한정되지는 않으나, SiO_2 와 같은 투명한 물질로 형성될 수 있다. 상기 나노 발광구조체(N) 상에는 제2 도전형 반도체층(42)에 접속

되도록 오믹전극층(42')이 형성될 수 있다. 상기 반도체 소자(40)는 제1 도전형 반도체로 이루어진 상기 베이스층(41')과 상기 오믹전극층(42')에 각각 접속된 전극패드(41a, 42a)를 구비할 수 있다. 본 실시형태와 같은 이른바 나노 LED칩은 본 출원인의 출원발명 한국특허출원 제10-2012-0054444호에서 제시된 일 실시예에 따른 나노 LED 제조방법을 참조할 수 있다.

[0072] 한편, 전술한 바와 같이, 본 단계에서의 반도체 소자(40)는 개별 소자 단위로 분리되기 이전의 상태이며, 추후 공정을 통하여 각각의 개별 소자 단위의 반도체 소자(40S)로 분리, 절단될 필요가 있다. 즉, 반도체 소자(40)의 분리, 절단을 위해 웨이퍼 척(20) 상에 반도체 소자(40)가 형성된 웨이퍼(30)를 배치시킬 필요가 있으며, 본 단계(S20)가 완료된 상태는 도 5에 도시된 바와 같을 수 있다.

[0073] 도 5는 본 단계(S20)에 따라 웨이퍼 척(20) 상에 웨이퍼(30)가 배치된 상태를 나타낸 사시도이다. 여기서, 일반적으로 반도체 소자(40)는 웨이퍼(30)의 두께에 비하여 얇은 두께로 형성되므로 박막으로 도시하였으나, 반도체 소자(40)의 두께 등이 도시된 형태로 한정되는 것은 아니라 할 것이다.

[0074] 도 5를 참조하면, 상기 웨이퍼(30)는 반도체 소자(40)가 형성되어 있는 A면과 상기 웨이퍼 척(20)이 서로 마주보는 형태로 배치되어 있다. 이 경우, 반도체 소자(40)가 손상되는 현상을 방지할 수 있다. 즉, 후술할 공정에서 상기 반도체 소자(40)가 형성된 웨이퍼(30)에는 분리, 절단을 위한 레이저광이 조사될 수 있는데, 반도체 소자(40)가 레이저 광에 직접적으로 노출되지 않도록, 반도체 소자(40)가 형성되어 있는 A면을 웨이퍼 척(20)과 마주보는 형태로 배치시킬 수 있다.

[0075] 한편, 상기 A면과 웨이퍼 척(20)의 표면 사이에는 접착테이프와 같은 접착부재(25)를 배치할 수 있다. 상기 접착부재(25)는 상기 반도체 소자(40)가 형성된 웨이퍼(30)가 각각 개별 소자 단위로 분리, 절단됨에 있어서 배열이 흐트러지는 것을 방지하기는 기능을 수행할 수 있다. 상기 접착부재(25)는 투명한 물질로 형성되는 것이 바람직하다. 또한, 상기 접착부재(25)는 신축성 물질로 마련될 수 있다. 이처럼 상기 접착부재(25)를 신축성 물질로 마련하는 경우, 추후 공정에서 상기 반도체 소자(40)를 개별 반도체 소자(40S)로 분리, 절단한 이후에, 상기 개별 반도체 소자(40S) 사이 간격을 이격시키기에 유리할 수 있다. 이와 같이 상기 분리, 절단된 개별 반도체 소자(40S) 사이의 간격이 넓어짐에 따라, 개별 반도체 소자(40S)별로 후속 처리를 진행하는 것에 공정적 편의가 보장될 수 있다.

[0076] 다음으로, 상기 웨이퍼(30)가 배치된 웨이퍼 척(20) 상에 측정용 광을 조사하고, 상기 웨이퍼 척(20)의 표면에서 반사되는 측정용 광을 수집한다(S30). 본 단계(S30)는 도 6을 함께 참조하기로 한다.

[0077] 도 6은 본 실시형태에서, 웨이퍼(30)가 배치된 웨이퍼 척(20) 상에 측정용 광(L1)을 조사하고 상기 웨이퍼 척(20)의 표면에서 반사되는 측정용 광(L2)을 수집하는 단계(S30)가 수행되는 상태를 나타내는 단면도이다.

[0078] 본 실시형태에서, 상기 측정용 광(L1)은 예를 들면 가시광 중 어느 하나일 수 있으며, 단색광 또는 혼합광일 수 있다. 이에 제한되는 것은 아니지만, 도시된 바와 같이, 상기 웨이퍼 척(20)으로 조사되는 측정용 광(L1)은 상기 웨이퍼 척(20)의 측방향에서 조사될 수 있다.

[0079] 본 단계(S30)에서, 상기 측정용 광(L1)은 광원부(50)에서 출사되어 상기 웨이퍼(30)와 상기 웨이퍼(30) 상에 형성된 반도체 소자(40)를 투과하고 상기 웨이퍼 척(20)의 표면에서 반사되며, 다시 상기 반도체 소자(40) 및 웨이퍼(30)를 투과하여 상기 웨이퍼 척(20)의 상방으로 방출될 수 있다. 여기서 상방으로 방출되는 반사된 측정용 광(L2)은 영상획득부(60)와 같은 이미지 획득 수단을 이용하여 수집될 수 있다.

[0080] 보다 구체적으로, 상기 반사되는 측정용 광(L2)을 수집하는 단계(S30)는 예를 들면 상기 웨이퍼 척(20)의 직상부에 배치된 CCD 카메라와 같은 영상획득부(60)를 이용하여 상기 웨이퍼(30)가 배치된 웨이퍼 척(20)의 표면을 촬영하는 것으로 수행될 수 있을 것이다. 즉, 본 단계(S30)에서, 수집되는 광으로부터 얻어진 정보는 이미지 형

태의 정보일 수 있으며, 여기서 얻어진 정보를 기초로, 다음 단계에서는 상기 웨이퍼(30)의 절단영역을 결정할 수 있다.

[0081] 본 실시형태에 따르면, 상기 웨이퍼 척(20)의 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 가질 수 있다. 따라서, 상기 웨이퍼 척(20) 상으로 조사되는 측정용 광(L1)이 380nm 내지 780nm 범위의 파장을 갖는 경우, 상기 측정용 광(L1)은 약 50% 이상이 상기 웨이퍼 척의 표면에서 반사되고, 이에 따라, 상기 웨이퍼 척(20)의 표면에서 반사되는 측정용 광(L2)의 광량이 증가함에 따라 영상획득부(60)는 보다 용이하게 반사되는 측정용 광(L2)을 수집할 수 있을 것이다.

[0082] 다음으로, 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼(30)의 절단영역을 결정한다(S40). 본 단계(S40)는 예를 들면, CCD 카메라와 같은 영상획득부(60)를 이용하여 촬영된 이미지로부터 얻어진 정보를 기초로 웨이퍼(30)의 절단영역을 결정하는 것일 수 있다.

[0083] 구체적으로, 도 7에 도시된 바와 같이, 본 단계(S40)는 상기 촬영에 의해 획득된 이미지를 그레이 스케일 이미지로 변환하는 단계(S41)와, 상기 그레이 스케일로 변환된 이미지를 기 설정된 전극패턴 이미지와 비교하는 단계(S42)와, 상기 비교 결과에 따라 웨이퍼의 절단영역을 결정하는 단계(S43)를 포함할 수 있다. 이에 대해서는 도 8 내지 도 10을 함께 참조하여 보다 구체적으로 설명하기로 한다.

[0084] 도 8은 촬영에 의해 획득된 이미지를 그레이 스케일로 변환하는 단계(S41)가 완료된 이후 그레이 스케일로 변환된 이미지를 개략적으로 도시한다. 여기서 그레이 스케일 변환이라 함은 흑백으로 이미지를 나타내는 기술 중 하나로서, 그레이 스케일 이미지는 흑백 이미지를 포괄하는 용어로 이해될 수 있다.

[0085] 도 8에 도시된 바와 같이, 상기 그레이 스케일로 변환된 이미지는 반도체 소자(40) 중 반도체층이 노출된 영역(R1)과 전극패턴이 노출된 영역(R2)에 따라 각각 다른 명도값(brightness)을 갖게된다.

[0086] 구체적으로, 반도체 소자(40) 중 전극패턴이 노출된 영역(R2)에서는 웨이퍼 척(20)의 표면을 향해 입사된 측정용 광(L1)이 전극패드(41a, 42a) 또는 전극지(41b, 42b)를 투과하지 못하고 소실될 수 있다. 또한, 측방향으로 입사되는 측정용 광(L1)은 상기 전극패드(41a, 42a) 또는 전극지(41b, 42b)에서 정반사됨으로 인해 웨이퍼 척(20)의 직상방으로 방출되지 못하며, 따라서 상기 웨이퍼 척(20)의 직상부에 배치된 영상획득부(60)에 수집되는 광량이 줄어들게 된다. 이에 따라, 전극패턴이 노출된 영역(R2)은 그레이 스케일로 변환된 이미지에서 명도값이 낮게 나타날 수 있다.

[0087] 반면, 반도체층이 노출된 영역(R1)에서는 웨이퍼 척(20)의 표면을 향해 입사된 측정용 광(L1)이 웨이퍼(30)와 반도체층(41, 42, 43)을 투과하여 웨이퍼 척(20)의 표면에서 난반사되고, 상기 난반사된 광은 상당량이 웨이퍼 척(20)의 직상방으로 방출되어 영상획득부(60)에 입사될 수 있다. 특히, 본 실시형태의 경우 웨이퍼 척(20)은 백색의 표면을 가지므로 상기 웨이퍼 척(20) 표면에서의 난반사가 보다 용이하게 일어날 수 있으며, 아울러 백색이 갖는 명도(brightness) 특성과, 상술한 바와 같은 반사도 특성(반사도 약 50% 이상. 상기 반사도는 전반사도를 의미함)으로 인해 반도체층이 노출된 영역(R1)은 그레이 스케일로 변환된 이미지에서 비교적 명도값이 높게 나타날 수 있다.

[0088] 한편, 후속 공정에서 설명할 바와 같이, 웨이퍼(30)의 절단영역을 결정하기 위해서는 그레이 스케일로 변환된 이미지를 기 설정된 전극패턴 이미지와 비교하고, 비교 결과에 따라 절단영역을 결정할 필요가 있다. 예컨대, 그레이 스케일로 변환된 이미지와 기 설정된 전극패턴 이미지가 기 설정된 매칭률(%)을 만족하는 경우, 절단의 대상이 되는 웨이퍼(30)가 올바르게 정렬된 것으로 판단할 수 있고, 이에 따라 상기 웨이퍼(30)의 절단영역이 결정될 수 있다.

- [0089] 한편, 그레이 스케일로 변환된 이미지가 갖는 정보는 이미지의 명도(brightness) 정보에 집중될 수 있는데, 전극패턴이 노출된 영역(R2)과 반도체층이 노출된 영역(R1) 간의 명도값 차이가 클수록 전극패턴이 명확하게 인식될 수 있으며, 기 설정된 전극패턴 이미지와 매칭률(%)이 오차 없이 계산될 수 있을 것이다.
- [0090] 즉, 절단영역을 결정하기 위해서는 그레이 스케일로 변환된 이미지에서 전극패턴이 노출되는 영역(R2)과 반도체층이 노출되는 영역(R1) 간의 명도차가 명확하게 구분되는 것이 중요한데, 본 실시형태에 따르면 전술한 바와 같은 특성의 백색도 및/또는 반사도를 갖는 표면이 구비된 웨이퍼 척(20)을 이용함으로써, 그레이 스케일로 변환된 이미지에서 상기 양 영역(R1, R2) 간의 명도차를 크게 할 수 있다. 이에 따라, 후속공정에서 전극패턴의 인식률이 개선되며, 웨이퍼의 절단영역을 결정함에 있어 오차발생률이 효과적으로 감소할 수 있다.
- [0091] 이에 제한하는 것은 아니지만, 본 실시형태의 그레이 스케일로 변환된 이미지에서, 상기 반도체층이 노출된 영역(R1)의 명도값은 150 이상이며, 양 영역(R1, R2) 간의 명도값 차이(constrast)는 25 이상일 수 있다. 한편, 본 명세서에서 "명도값"이라 함은 화상을 이치화(binanzation)하여 0 부터 255 수치범위에서 밝기값을 결정하는 이른바 '그레이 레벨'의미하는 것으로 이해될 수 있을 것이다.
- [0092] 한편, 본 단계(S41)는 본 공정의 수행 시 반드시 필수적인 단계는 아니며, 경우에 따라 제외될 수 있다. 예를 들면, 측정용 광을 수집하는 단계(S30)에서, 웨이퍼(30)가 배치된 웨이퍼 척(20)의 표면을 흑백 CCD 카메라를 이용하여 촬영하는 경우와 같이, 이미 그레이 스케일로 변환된 이미지를 획득하게 되는 경우, 본 단계(S41)는 제외될 수 있을 것이다.
- [0093] 다음으로, 상기 그레이 스케일로 변환된 이미지를 기 설정된 전극패턴 이미지와 비교한다(S42). 기 설정된 전극패턴 이미지는 도 9(a) 내지 도 9(c)에 도시된 바와 같을 수 있다.
- [0094] 도시된 바와 같이, 기 설정된 전극패턴 이미지는 반도체 소자(40) 상에 형성된 전극패턴과 매칭되는 형상으로 미리 설정된 것일 수 있으며, 특정의 패턴 형상을 가질 수 있다. 예를 들면, 도 9(a)에 도시된 바와 같이 2개의 전극패드(41a', 41b')를 갖는 이미지가거나, 도 9(b) 및 도 9(c)에 도시된 바와 같이 전극패드와 전극지(41a' 및 41b' 또는 42a' 및 42b')를 포함하는 이미지일 수 있다.
- [0095] 다음으로, 비교 결과에 따라 상기 웨이퍼(30)의 절단영역을 결정한다(S43). 본 단계(S43)에서는 그레이 스케일로 변환된 이미지와 기 설정된 전극패턴 이미지가 기 설정된 매칭률(%)을 만족하는 경우, 절단의 대상이 되는 웨이퍼(30)가 올바르게 정렬된 것으로 판단하고, 상기 웨이퍼(30)의 절단영역을 결정할 수 있다.
- [0096] 보다 구체적으로, 도 10에 도시된 바와 같이, 예를 들면 도 9(a)와 같은 기 설정된 전극패턴 이미지(M1)와 그레이 스케일로 변환된 이미지가 매칭되는지 판단한다. 기 설정된 매칭률(%) 이상으로 판단되는 경우, 절단의 대상이 되는 웨이퍼(30)가 올바르게 정렬된 것으로 인식하고 도시된 일점쇄선과 같은 절단영역(C)을 설정할 수 있을 것이다.
- [0097] 이에 제한하는 것은 아니지만, 상기 매칭률의 계산은 그레이 스케일로 변환된 이미지와 기 설정된 전극패턴의 이미지(M1)를 각각 복수의 픽셀로 구분하여, 전체 픽셀 대비 일치하는 픽셀의 비율을 계산하는 방식으로 수행될 수 있다.
- [0098] 다음으로, 상기 결정된 절단영역(C)에 따라 배치된 웨이퍼(30)를 절단한다(S50). 본 단계(S50)는 도 11 및 도 12를 함께 참조하여 설명하기로 한다.
- [0099] 도 11을 참조하면, 본 단계(S50)는 결정된 웨이퍼(30)의 절단영역(C)에 레이저를 조사하는 단계를 포함할 수 있다. 즉, 상기 웨이퍼(30)를 절단하는 공정은 레이저 스크라이빙(Laser scribing) 공정을 적용하는 것으로 이해될 수 있다. 예를 들면, 사파이어로 채워진 웨이퍼(30)에 레이저광(L3)을 조사하여 상기 웨이퍼(30)에 절단을 위한 크랙(crack: CR)을 형성할 수 있다.

- [0100] 다음으로, 도 12에 도시된 바와 같이, 상기 결정된 절단영역에 발생된 크랙(CR) 부위를 브레이커(72)로 가압하며, 본 과정을 거쳐 상기 웨이퍼(30) 상에 형성된 반도체 소자(40)는 각각 개별 소자단위의 반도체 소자(40S)로 분리, 절단될 수 있다.
- [0101] 도 13(a) 내지 도 13(c)는 상술한 공정에 의해 웨이퍼(30) 상에 형성된 반도체 소자(40)가 각각의 개별 소자단위의 반도체 소자(40S)로 분리된 이후, 발광소자 패키지로 형성되는 공정을 도시한다.
- [0102] 우선, 도 13(a)에 도시된 바와 같이, 상기 각각의 개별 소자단위로 분리된 반도체 소자(40S)를 패키지 본체(110)에 배치한다. 다만, 여기서 도시된 패키지 본체(110)는 예시적인 것에 불과하며, 보다 다양한 형태의 패키지 본체가 활용될 수 있음은 자명할 것이다.
- [0103] 도 13(a)에 도시된 패키지 본체(110)를 보다 상세히 설명하면, 상기 패키지 본체(110)는 개별 소자 단위로 분리, 절단된 반도체 소자(40S)를 수용하는 캐비티(g)와 제1 및 제2 전극부(111, 112)를 포함할 수 있다. 상기 제1 및 제2 전극부(111, 112)는 외부로부터 전원을 인가받아 반도체 소자(40S)에 전달할 수 있다. 본 실시형태에서, 상기 반도체 소자(40S)는 반도체 발광소자일 수 있다.
- [0104] 상기 패키지 본체(110)는 불투명 또는 반사율이 큰 수지로 성형될 수 있으며, 사출공정이 용이한 폴리머 수지를 이용하여 제공될 수 있다. 그러나 이에 한정하는 것은 아니므로, 기타 다양한 비전도성 재질로 형성될 수 있다.
- [0105] 상기 반도체 소자(40S)는 상기 제1 및 제2 전극부(111, 112) 중 어느 하나의 상면에 배치될 수 있으며, 도전성 와이어(W)를 이용하여 상기 반도체 소자(40S)와 전기적으로 연결될 수 있다. 본 실시형태의 경우, 상기 반도체 소자(40S)는 제1 전극부(111) 상에 배치된 것으로 도시되어 있으며, 방열측면을 고려하여 열원에 해당하는 반도체 소자(40S)가 배치된 제1 전극부(111)를 제2 전극부(112)보다 더 크게 형성할 수 있다.
- [0106] 다음으로, 도 13(b)에 도시된 바와 같이 상기 캐비티(g) 상에 디스펜서(75)를 이용하여 봉지부(120)를 도포한다. 상기 봉지부(120)는 실리콘 또는 에폭시와 같은 투광성 수지로 이루어질 수 있으며, 상기 반도체 소자(40S)에서 방출된 광에 의해 여기되어 다른 파장의 광을 방출하는 파장변환물질(121)을 포함할 수 있다. 이 경우, 상기 파장변환물질(121)은 형광체 및 양자점 중 적어도 하나일 수 있다.
- [0107] 다음으로, 상기 봉지부(120)를 경화시키는 단계를 거쳐, 도 13(c)에 도시된 바와 같은 발광소자 패키지가 마련될 수 있다.
- [0108] 상술한 바와 같이, 본 실시형태에 따르면 전극패턴의 인식률이 증가되어, 반도체 소자(40)가 형성된 웨이퍼(30)의 절단영역을 결정함에 있어 정밀도가 향상된 반도체 소자 제조방법을 얻을 수 있다.
- [0109] 도 14는 본 발명의 또 다른 실시형태를 설명하기 위한 순서도이다.
- [0110] 본 실시형태는, 앞선 실시형태에서 설명된 웨이퍼(30)의 절단영역을 결정하는 단계(S40)에 있어서, 배치된 웨이퍼(30)를 각도정렬(angle alignment)하는 단계가 더 부가된 실시형태로 이해될 수 있을 것이다.
- [0111] 구체적으로, 도 14를 참조하면, 도 1에 도시된 웨이퍼(30)의 절단영역을 결정하는 단계(S40)는, 수집된 광으로부터 얻어진 정보를 기초로 배치된 웨이퍼를 각도정렬(angle alignment)하는 단계(S40-1) 및 상기 각도정렬된 웨이퍼의 절단영역을 결정하는 단계(S40-2)를 포함한다. 본 실시형태에 대해서는 도 15를 참조하여 보다 구체적

으로 설명하기로 한다.

- [0112] 도 15a 및 도 15b는 웨이퍼(30)가 웨이퍼 척(20) 상에 배치된 이후, 웨이퍼(30)가 배치된 웨이퍼 척(20) 상에 측정용 광을 조사하고, 상기 웨이퍼 척(20)의 표면에서 반사되는 측정용 광을 수집하는 단계(S30)까지 완료된 상태를 도시한다.
- [0113] 여기서, 도 15a를 참조하면, 수집된 광으로부터 얻어진 정보를 기초로 시작점(S1)에서 얻어지는 전극패턴을 인식한다. 이에 제한되는 것은 아니지만, 예를 들면 상기 시작점(S1)은 웨이퍼(30)의 좌측에 존재하는 임의의 지점일 수 있다.
- [0114] 다음으로, 시작점(S1)을 기준으로 하여 우측 방향으로 상기 시작점(S1)에서 인식된 전극패턴과 동일한 전극패턴을 순차적으로 인식하며, 종료점(S2)까지 진행한다. 예를 들면, 여기서 상기 종료점(S2)은 웨이퍼(30)의 우측 끝단에 인접하여 존재하는 임의의 지점일 수 있다.
- [0115] 다음으로, 시작점(S1)과 종료점(S2)에서 인식된 각 전극패턴의 연장선(P)이 기 설정된 수평선(H)과 매칭되는지 판단한다. 여기서, 각 전극패턴의 연장선(P)과 기 설정된 수평선(H)이 "매칭된다"는 것은, 상기 연장선(P)과 수평선(H)이 일치하거나, 적어도 서로 평행이 되는 것을 의미한다.
- [0116] 시작점(S1)과 종료점(S2)에서 인식된 각 전극패턴의 연장선(P)이 기 설정된 수평선(H)과 매칭되는 것으로 판단되는 경우, 상기 웨이퍼(30)는 웨이퍼 척(20) 상에 올바르게 정렬되어 있다고 판단할 수 있다. 그러나, 도 15a에 도시된 바와 같이 시작점(S1)과 종료점(S2)에서 인식된 각 전극패턴의 연장선(P)이 기 설정된 수평선(H)과 매칭되지 않는 경우, 상기 웨이퍼(30)가 올바르게 정렬되지 않은 것으로 판단할 수 있다.
- [0117] 이 경우, 도 15b에 도시된 바와 같이 상기 시작점(S1)과 종료점(S2)에서 인식된 각 전극패턴의 연장선(P)이 기 설정된 수평선(H)과 매칭되도록 상기 웨이퍼(30)를 소정 각도 회전하여 각도정렬할 수 있다. 이를 위해, 도 2에 나타난 바와 같이, 웨이퍼 척(20)이 배치되어 있는 스테이지(10)에는 회전수단(11)이 구비될 수 있다.
- [0118] 또한, 부가적으로, 다시 종료점(S2)을 기준으로 하여 좌측 방향으로 상기 종료점(S2)에서 인식된 전극패턴과 동일한 전극패턴을 순차적으로 인식하면서 시작점(S1)까지 진행하며, 종료점(S2)과 시작점(S1)에서 인식된 각 전극패턴의 연장선(P)이 기 설정된 수평선(H)과 매칭되는지 재확인하는 과정이 부가될 수 있다.
- [0119] 본 실시형태에 따르면, 웨이퍼(30)를 올바르게 정렬할 수 있으므로 절단영역을 결정함에 있어 보다 효과적으로 오차발생을 방지할 수 있다.
- [0120] 본 실시형태에 따르면 특정의 백색도 및/또는 반사도를 갖는 표면이 구비된 웨이퍼 척(20)을 사용함으로써 전극패턴의 인식률을 개선할 수 있으므로, 각도정렬이 보다 오차 없이 효과적으로 수행될 수 있을 것이다.
- [0121] 도 16은 본 발명의 또 다른 실시형태를 설명하기 위한 순서도이다.
- [0122] 본 실시형태는, 앞선 실시형태에서 설명된 배치된 웨이퍼를 절단하는 단계(S50)에 있어서, 절단공정 도중 웨이퍼에 발생한 크랙(crack) 등에 의해 웨이퍼의 배열에 변동이 발생하는 현상을 보정하는 공정이 부가된 실시형태로 이해될 수 있을 것이다.
- [0123] 구체적으로, 도 16을 참조하면, 배치된 웨이퍼를 절단하는 단계(S50)는 결정된 절단영역을 적어도 2 이상의 그룹으로 구분하며, 상기 결정된 절단영역에 따라 제1 그룹에 레이저를 조사하는 단계(S50-1)와, 상기 웨이퍼가

배치된 웨이퍼 척 상에 측정용 광을 조사하고, 상기 웨이퍼 척의 표면에서 반사되는 측정용 광을 수집하는 단계(S50-2)와, 상기 수집된 광으로부터 얻어진 정보를 기초로 제2 그룹의 절단영역을 재결정하는 단계(S50-3) 및 상기 재결정된 절단영역에 따라 상기 제2 그룹에 레이저를 조사하는 단계(S50-4)를 포함한다. 이에 대해, 도 17a 내지 도 17c를 참조하여 보다 구체적으로 설명하기로 한다.

[0124] 도 17a는 웨이퍼(30)가 배치된 웨이퍼 척(20) 상에 측정용 광을 조사하고, 상기 웨이퍼 척(20)의 표면에서 반사되는 측정용 광을 수집하는 단계(S30) 및 상기 수집된 광으로부터 얻어진 정보를 기초로 상기 웨이퍼(30)의 절단영역을 결정하는 단계(S40)가 완료된 상태를 도시한다. 여기서, 제1 및 제2 그룹은 각각 참조부호 G1 및 G2로 표시하였으며, 결정된 절단영역은 일점쇄선(C1)으로 도시하였다.

[0125] 한편, 도 17b를 참조하면, 절단공정 중 웨이퍼(30)의 배열에 변동이 발생할 수 있다. 예를 들어, 결정된 절단영역(C1)에 레이저광을 조사하면 웨이퍼(30)에는 크랙(crack)에 의한 틈이 발생할 수 있는데, 이에 의해, 레이저광 조사 공정 중 기 정렬된 웨이퍼가 밀려남에 따라 배열이 흐트러질 수 있다. 따라서, 초기에 결정된 절단영역(C1)에 따라 계속해서 레이저광을 조사하는 경우, 도시된 바와 같이 반도체 소자(40)가 형성된 영역 중 원하지 않는 영역에 레이저광이 조사될 수 있다. 따라서, 절단공정 중 절단영역의 재설정이 필요할 수 있다.

[0126] 다시 도 17a를 참조하면, 본 실시형태의 경우, 이미 결정된 절단영역을 적어도 2 이상의 그룹으로 구분하며, 도 17a에 도시된 실시형태에서는, 기 결정된 절단영역(C1)을 제1 및 제2 그룹(G1, G2)으로 구분한 상태를 도시하고 있다.

[0127] 이후, 상기 결정된 절단영역(C1)에 따라 제1 그룹(G1)에 레이저를 조사하며(S50-1), 상기 웨이퍼(30)가 배치된 웨이퍼 척(20) 상에 측정용 광을 조사하고, 상기 웨이퍼 척(20)의 표면에서 반사되는 측정용 광을 수집한다(S50-2).

[0128] 다음으로, 상기 수집된 광으로부터 얻어진 정보를 기초로 제2 그룹(G2)의 절단영역을 재결정할 수 있다(S50-3). 즉, 재결정된 웨이퍼(30)의 절단영역은 레이저광이 조사됨으로 인하여 웨이퍼(30)의 배열이 흐트러지는 현상을 고려하여 재설정된 것으로, 도 17c는 이에 따라 제2 그룹의 절단영역(C2)이 재결정된 상태를 도시한다. 도 17c를 참조하면, 도 17b의 상태와 달리, 미스컷팅(miss cutting)이 발생하지 않는 것을 확인할 수 있다.

[0129] 이처럼, 본 실시형태에 따르면 절단공정 중 초기 결정된 절단영역에 변동이 발생함에 따른 미스컷팅(miss cutting)문제가 효과적으로 개선될 수 있다. 여기서, 본 실시형태에 따르면 특정의 백색도 및/또는 반사도를 갖는 표면이 구비된 웨이퍼 척(20)을 사용함으로써 전극패턴의 인식률이 증가되므로, 제2 그룹(G2)의 웨이퍼(30) 절단영역이 보다 오차 없이 결정될 수 있다.

[0130] 도 18은 본 발명의 또 다른 측면으로, 반도체 소자 제조장치를 개략적으로 나타낸 단면도이다.

[0131] 도 18을 참조하면, 본 실시형태에 따른 반도체 소자 제조장치는 웨이퍼 척(20)과, 상기 웨이퍼 척(20)의 표면 상에 측정용 광을 조사하는 광원부(50)와, 상기 광원부(50)에서 출사되어 웨이퍼 척(20)의 표면에서 반사되는 측정용 광을 수집하는 영상획득부(60)와, 상기 영상획득부(60)에서 획득된 정보(예컨대, 이미지 정보)를 기초로 웨이퍼(30)의 절단영역을 결정하는 연산부(80) 및 상기 연산부(80)에 의해 결정된 절단영역에 따라 상기 웨이퍼(30)를 절단하는 절단부(70)를 포함한다.

[0132] 본 실시형태에서, 상기 웨이퍼 척(20)은 스테이지(10) 상에 배치될 수 있으며, 상기 스테이지(10)는 상기 웨이퍼 척(20)이 배치된 면을 회전시킬 수 있도록 회전수단(11)을 구비할 수 있다. 한편, 본 실시형태에서 상기 웨이퍼 척(20)은 상기 스테이지(10)와 별개로 구비되는 것으로 설명되었으나, 이에 제한되는 것은 아니다. 즉, 전술한 바와 같이 상기 웨이퍼 척(20)은 상기 스테이지(10)와 일체로 구비되는 것일 수 있다. 예를 들어, 상기 웨

이퍼 척(20)은 별개의 스테이지(10) 상에 배치될 필요 없이 회전수단(11)을 포함하여 구비될 수도 있을 것이다.

- [0133] 본 실시형태에서, 상기 웨이퍼 척(20)은 백색의 표면을 가질 수 있다. 여기서, 표면이 "백색"이라 함은 백색도 (whiteness index) 내지 인가 파장에 대한 반사도로 정의될 수 있다. 구체적으로, 본 실시형태의 웨이퍼 척은 백색도(Whiteness index)가 90 이상인 표면을 가질 수 있다.
- [0134] 상기 웨이퍼 척(20)은 산화 알루미늄(Al_2O_3)을 주성분으로하며 결합제를 이용하여 소결된 세라믹으로부터 마련될 수 있다. 이때, 상기 웨이퍼 척(20) 표면 백색도는 산화 알루미늄의 순도를 조절하거나 백색 물질을 이용한 코팅과 같은 방법을 이용할 수 있다.
- [0135] 또한, 상기 웨이퍼 척(20)의 표면은 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 각각 50% 이상의 반사도를 가질 수 있다. 이에 제한되는 것은 아니지만, 조사되는 광의 파장(380nm 내지 780nm)에 대하여 70% 이상, 보다 구체적으로는 약 74% 내지 90%의 반사도를 가질 수 있으며, 380nm 내지 780nm 범위의 파장을 갖는 광에 대하여 평균 80% 이상의 반사도를 가질 수 있다.
- [0136] 한편, 상기 웨이퍼 척(20)과 웨이퍼(30) 사이에는 접착부재(25)를 게재할 수 있다. 상기 접착부재(25)는 상기 반도체 소자(40)가 형성된 웨이퍼(30)가 각각 개별 소자 단위로 분리, 절단됨에 있어서 배열이 흐트러지는 것을 방지하기는 기능을 수행할 수 있다. 여기서, 상기 접착부재(25)는 투명한 물질로 형성되는 것이 바람직하다. 또한, 전술한 바와 같이 상기 접착부재(25)는 신축성 물질로 형성될 수 있을 것이다.
- [0137] 상기 광원부(50)는 상기 웨이퍼 척(20)의 표면 상에 측정용 광을 조사할 수 있으며, 여기서 측정용 광은 가시광일 수 있다. 상기 가시광은 단색광 또는 혼합광일 수 있다.
- [0138] 상기 영상획득부(60)는 상기 광원부(50)에서 출사되어 웨이퍼 척(20)의 표면에서 반사되는 측정용 광을 수집할 수 있으며, 예를 들면 상기 웨이퍼 척(20)의 표면을 촬영하는 CCD 카메라를 포함할 수 있다. 이에 제한하는 것은 아니지만, 상기 CCD 카메라는 흑백 CCD 카메라일 수 있다.
- [0139] 상기 연산부(80)는 상기 영상획득부(60)에서 획득된 영상을 기초로 웨이퍼(30)의 절단영역을 결정할 수 있다. 상기 연산부(80)는 예를 들면, 영상획득부(60)에서 촬영된 이미지를 그레이 스케일로 변환할 수 있도록 프로그램될 수 있으며, 기 설정된 전극패턴 이미지를 저장하는 메모리를 포함할 수 있다. 또한, 상기 그레이 스케일로 변환된 이미지와 기 설정된 전극패턴 이미지를 비교하여 상기 비교 결과에 따라 웨이퍼(30)의 절단영역을 결정할 수 있도록 프로그램될 수 있다.
- [0140] 이에 제한하는 것은 아니지만, 본 실시형태에서 상기 그레이 스케일로 변환된 이미지는 웨이퍼(30) 상에 형성된 반도체 소자(40) 중 전극패턴이 노출된 영역과 반도체층이 노출된 영역을 포함할 수 있으며, 여기서, 반도체층이 노출된 영역은 명도값이 150이상일 수 있다.
- [0141] 또한, 상기 연산부(80)는 도 16 및 도 17a 내지 도 17c에서 설명된 공정을 수행할 수 있도록, 결정된 절단영역을 적어도 2 이상의 그룹으로 구분하는 프로그램이 탑재될 수 있다.
- [0142] 상기 절단부(70)는 상기 연산부(80)에 의해 결정된 절단영역에 따라 웨이퍼(30)를 절단할 수 있다. 이에 제한되는 것은 아니지만, 상기 절단부(70)는 웨이퍼(30) 상에 레이저를 조사하는 레이저광원(71)과, 레이저광이 조사되어 크랙(crack)이 발생한 웨이퍼(30)의 절단영역을 가압하는 브레이커(72)를 포함할 수 있다.
- [0143] 본 실시형태에 따르면, 반도체 소자(40)가 형성된 웨이퍼(30)를 정밀하게 절단할 수 있는 반도체 소자 제조장치

를 얻을 수 있다.

- [0144] 도 19 내지 도 21은 본 실시형태에 따른 반도체 소자 제조방법의 실시예와 비교예를 비교하기 위한 그래프 및 사진이다.
- [0145] 도 19는 본 실시형태에 따라 마련된 웨이퍼 척과, 종래의 웨이퍼 척의 반사도를 대비한 그래프이다.
- [0146] 도 19를 참조하면, 본 실시예에 따른 웨이퍼 척은 산화 알루미늄(Al_2O_3)의 순도가 96%인 세라믹 척을 사용하였으며, 백색도가 95.08이며 380nm 내지 780nm의 파장을 갖는 각각의 광에 대하여 74.56% 이상의 반사도를 갖는다. 보다 구체적으로, 본 실시예의 웨이퍼 척의 표면은 380nm 내지 780nm의 파장을 갖는 각각의 광에 대하여 74.56% 내지 89.59%의 반사도를 나타내었으며, 평균 86.907%의 반사도를 갖는 것으로 측정되었다.
- [0147] 반면, 비교예로서 사용된 웨이퍼 척은 일반적으로 사용되는 세라믹 척으로서 산화 알루미늄(Al_2O_3)의 순도가 80% 내지 90% 수준이며, 표면은 60.55의 백색도를 갖는 것으로 측정되었다. 또한, 상기 비교예의 웨이퍼 척은 380nm 내지 780nm의 파장을 갖는 광에 대하여 18.9% 내지 32.54%의 반사도를 가지며, 평균 27.367%의 반사도를 갖는 것으로 측정되었다.
- [0148] 도 20a 및 도 20b는 수집된 광으로부터 얻어진 정보를 기초로 웨이퍼의 절단영역을 결정하는 단계(S40)에 있어서, 촬영에 의해 획득된 이미지를 그레이 스케일로 변환하는 단계(S41)가 완료된 상태의 이미지를 나타낸 사진이다.
- [0149] 보다 구체적으로, 도 20a 및 도 20b는 각각 비교예에 따른 그레이 스케일 이미지와 본 실시예에 따른 그레이 스케일 이미지를 나타낸다.
- [0150] 도 20a를 참조하면, 비교예에 따른 그레이 스케일 이미지는 전극패턴이 노출된 영역과 반도체층이 노출된 영역이 명확하게 구분되지 않는 것을 확인할 수 있다. 구체적으로, 비교예의 경우 반도체층이 노출된 영역(R1)의 명도값은 89이고, 전극지가 형성된 영역(R2b)은 명도값이 90으로 측정되었으며, 이는 전극패턴의 인식률 저하를 유발하고 웨이퍼의 절단영역 결정시 오차 발생의 원인이 될 수 있다.
- [0151] 반면에 도 20b를 참조하면, 본 실시예에 따른 그레이 스케일 이미지는 전극패턴이 노출된 영역과 반도체층이 노출된 영역이 보다 명확하게 구분됨을 확인할 수 있다. 특히, 반도체층이 노출된 영역(R1)의 명도값이 211로 측정되었으며, 전극지가 형성된 영역(R2b)은 명도값이 128로 측정되었다. 본 실시예의 경우 반도체층이 노출된 영역(R1)과 전극지가 형성된 영역(R2b)간의 명도값 차이는 83이 되며, 전극지가 형성된 영역(R2b)이 비교예와 달리 명확하게 구분될 수 있음을 확인할 수 있다. 즉, 본 실시예에 따르면 전극패턴의 인식률이 현저하게 증가되며, 웨이퍼의 절단영역이 보다 오차 없이 결정될 수 있다.
- [0152] 도 21은 본 실시예와 비교예의 전극패턴 인식률을 비교한 그래프이다.
- [0153] 본 실험에서는 각각 1575회의 웨이퍼 절단작업 공정을 수행하였다. 여기서, 도 21a는 비교예의 웨이퍼 척을 사용하여 측정된 전극패턴의 인식률을 나타내는 그래프이고, 도 21b는 본 실시예의 웨이퍼 척을 사용하여 측정된 전극패턴의 인식률을 나타내는 그래프이다.
- [0154] 여기서, 상기 인식률은 기 설정된 전극패턴의 이미지와 그레이 스케일로 변환된 이미지 간의 각 픽셀 명도값을 비교하여 전체 픽셀 대비 명도값이 일치하는 픽셀의 비율을 계산한 것이며, 이는 그레이 스케일로 변환된 이미지가 기 설정된 전극패턴의 이미지와 효과적으로 매칭될 수 있도록 촬영된 것임을 나타내는 척도로 활용될 수

있다.

[0155] 도 21a 및 도 21b를 참조하면, 본 실시예에 따른 전극패턴 인식률은 평균 98.959%로서, 비교예에서 측정된 인식률 평균 95.174%에 비하여 개선되었으며, 인식률이 0%로 측정되는 오차의 횟수가 현저하게 감소하였음을 알 수 있다.

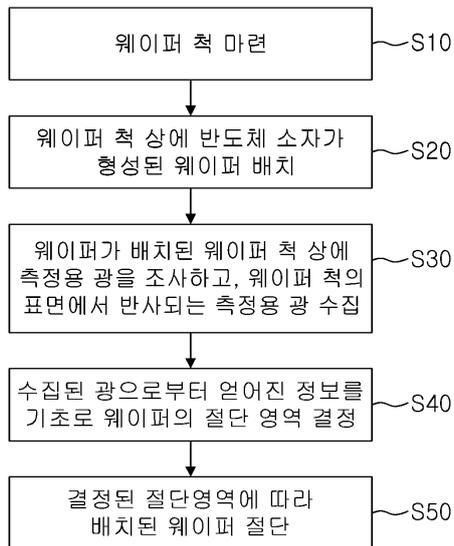
[0156] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

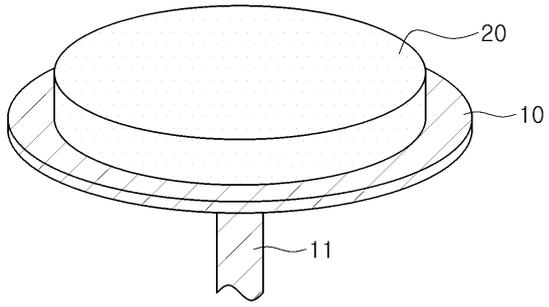
- | | | |
|--------|----------------|---------------|
| [0157] | 10: 스테이지 | 20: 웨이퍼 척 |
| | 30: 웨이퍼 | 40: 반도체 소자 |
| | 41a, 42a: 전극패드 | 41b, 42b: 전극지 |
| | 25: 접촉부재 | 50: 광원부 |
| | 60: 영상획득부 | 70: 절단부 |
| | 80: 연산부 | |

도면

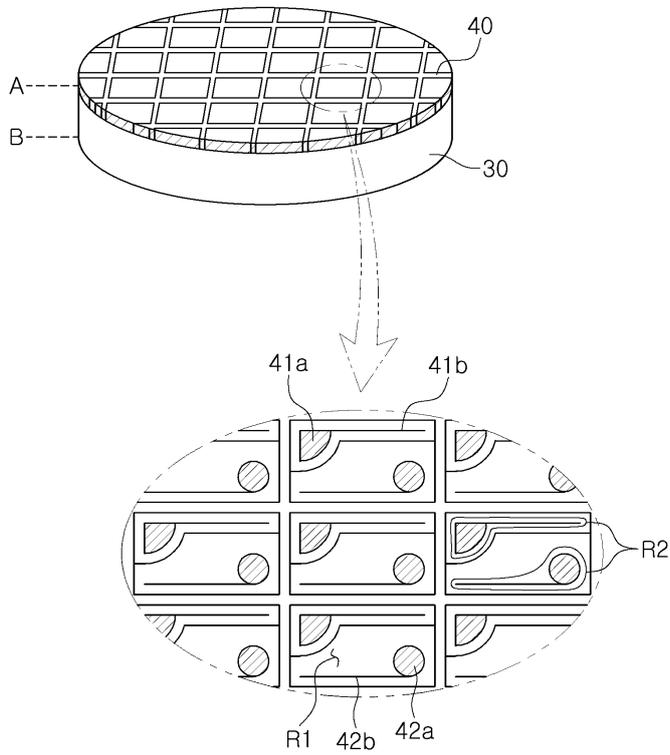
도면1



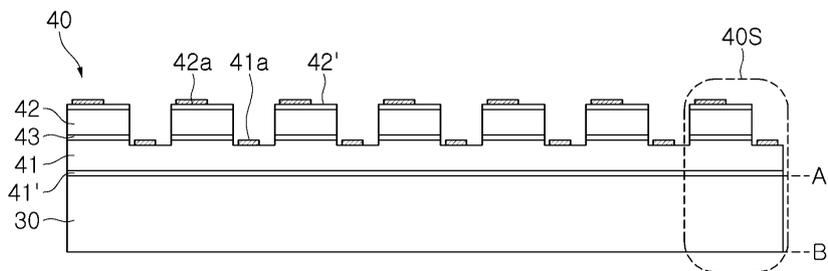
도면2



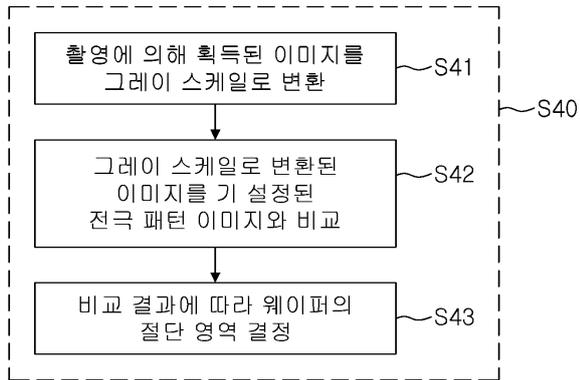
도면3



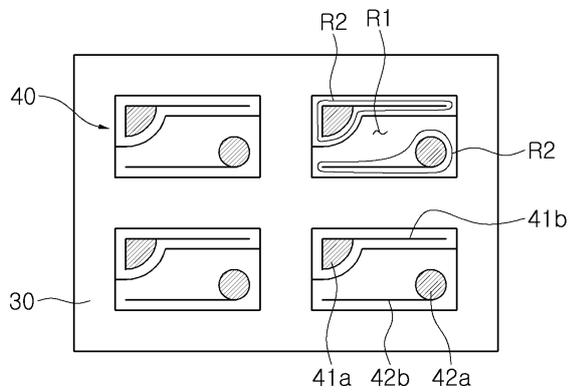
도면4a



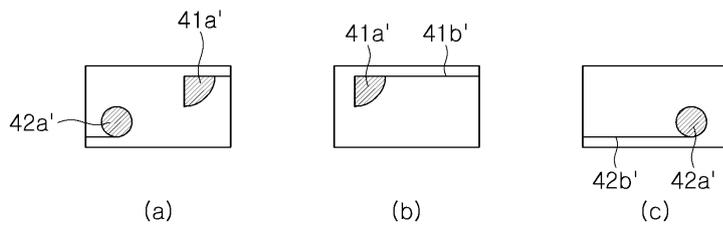
도면7



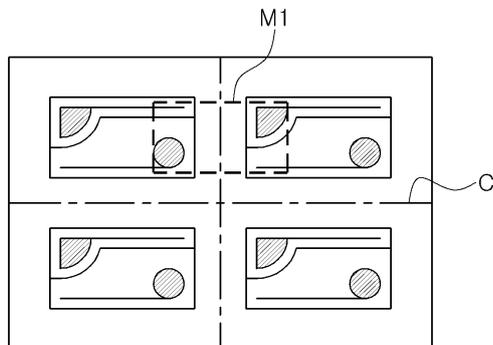
도면8



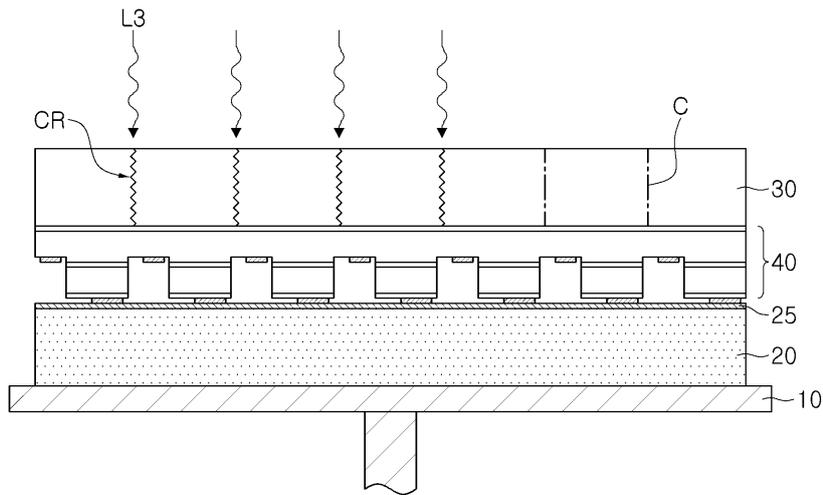
도면9



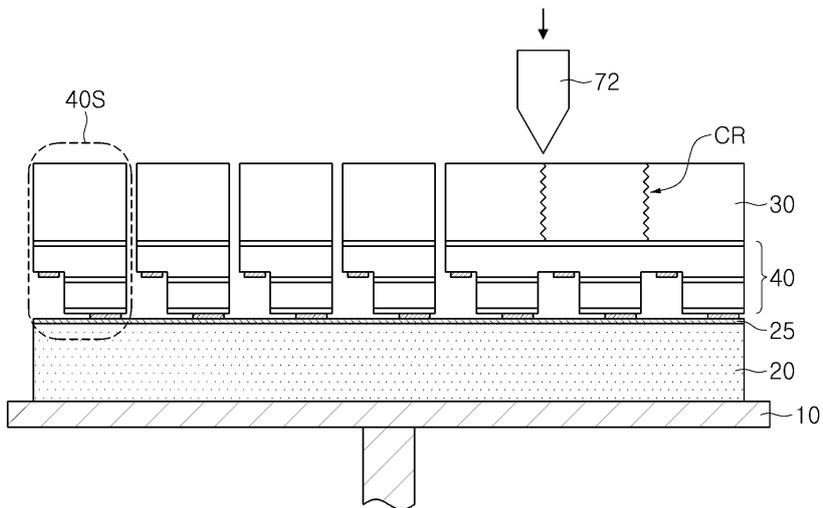
도면10



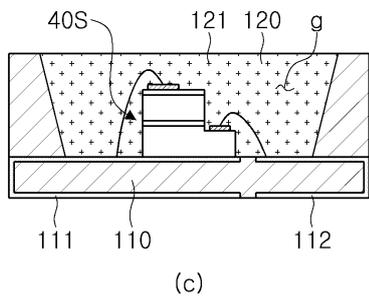
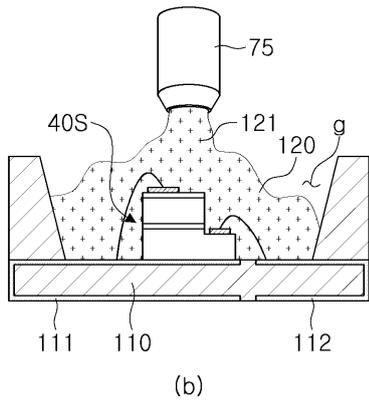
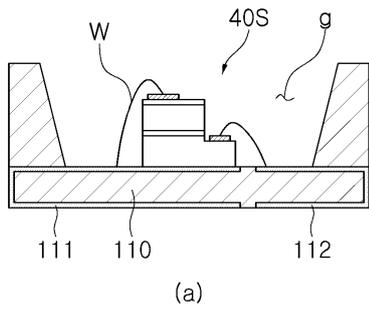
도면11



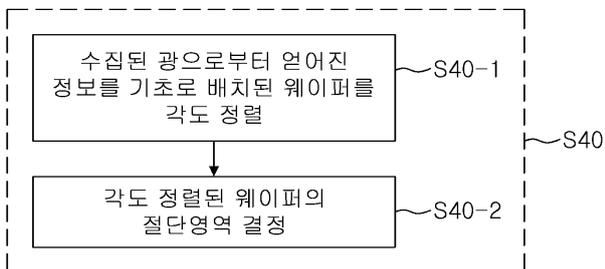
도면12



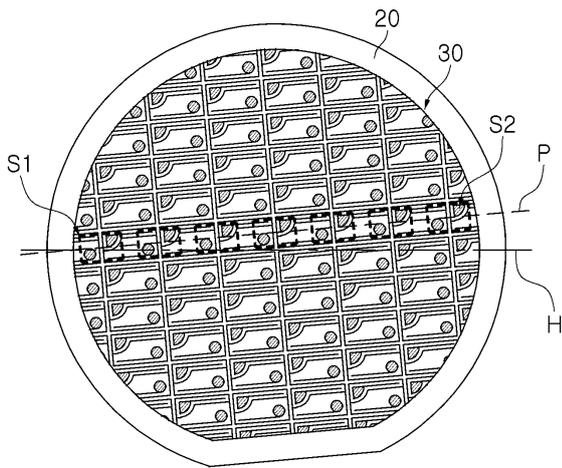
도면13



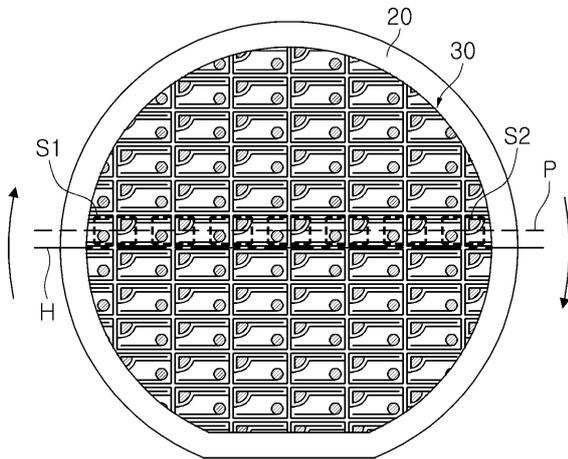
도면14



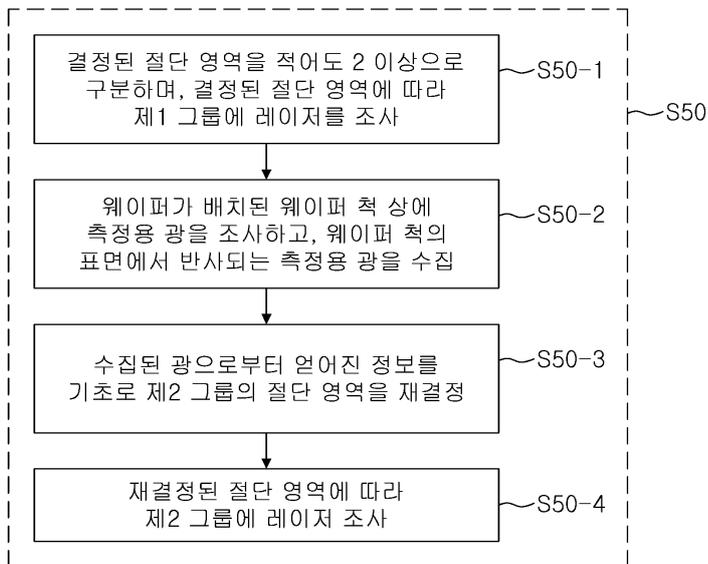
도면15a



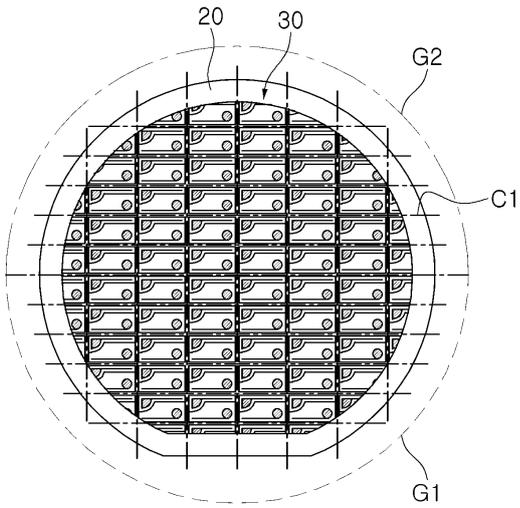
도면15b



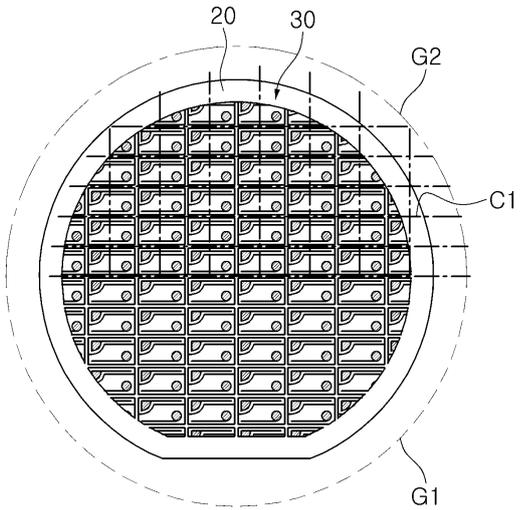
도면16



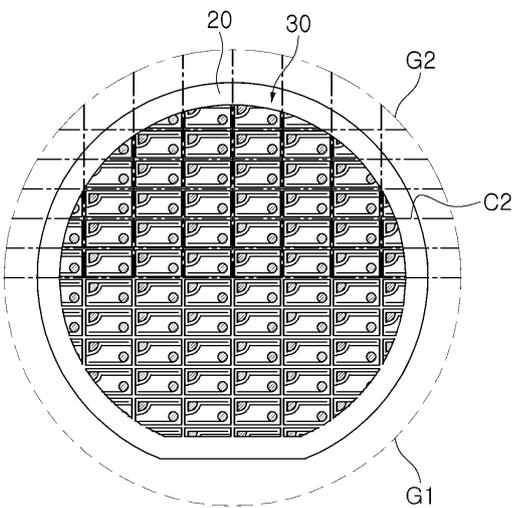
도면17a



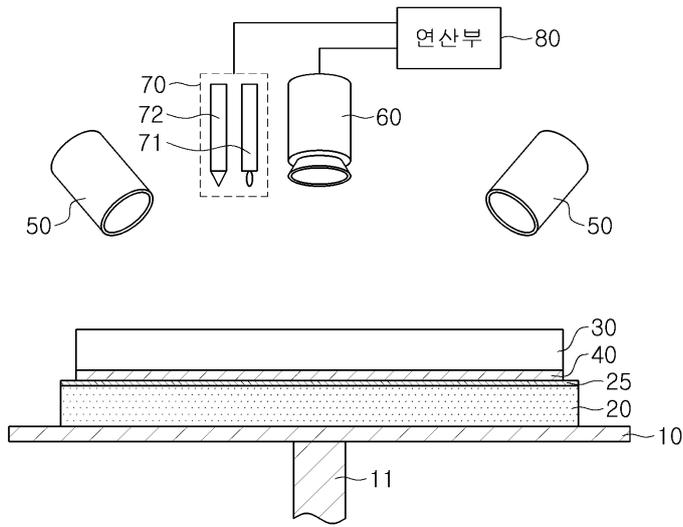
도면17b



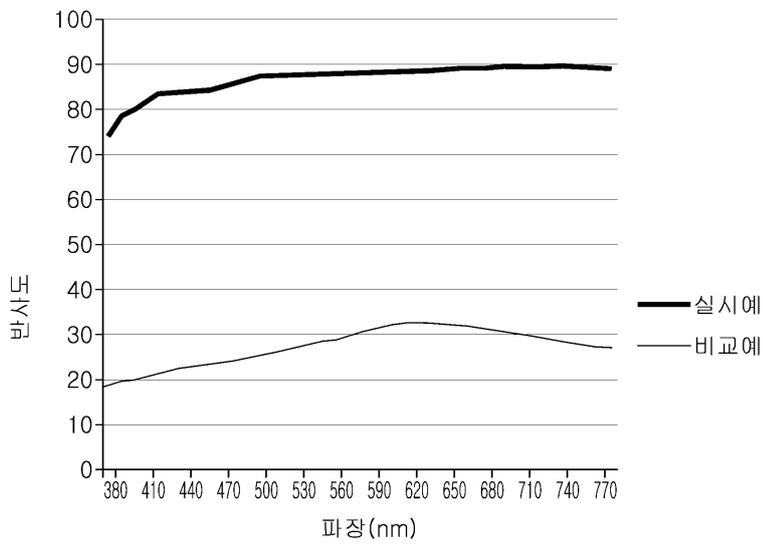
도면17c



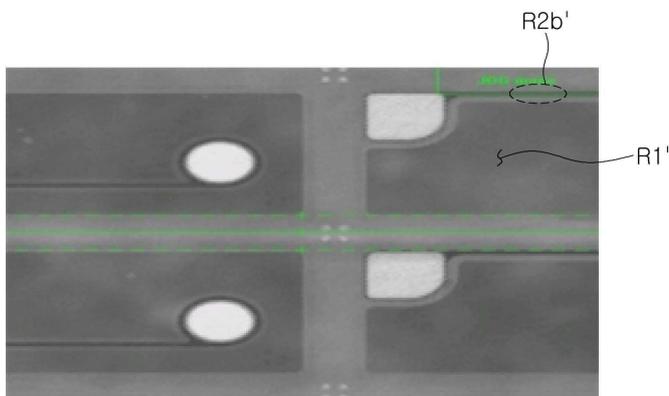
도면18



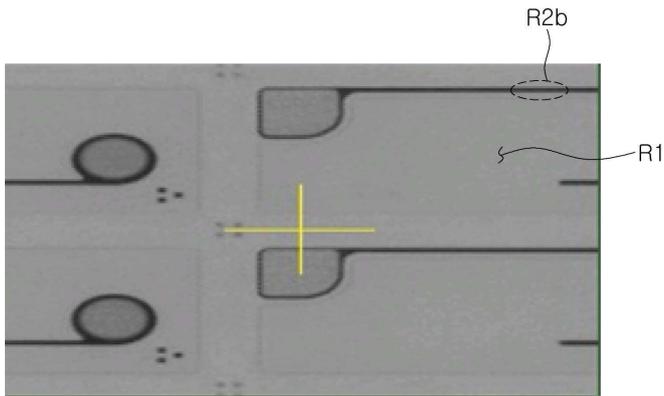
도면19



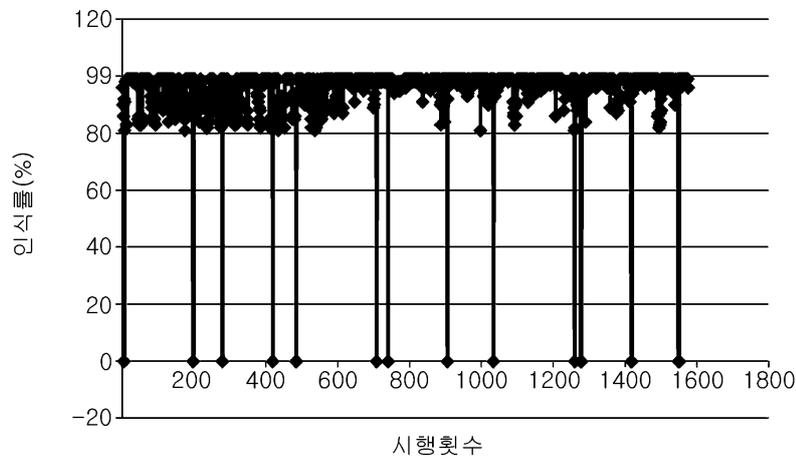
도면20a



도면20b



도면21a



도면21b

