



(12)发明专利

(10)授权公告号 CN 105974690 B

(45)授权公告日 2019.04.26

(21)申请号 201610587218.0

G02F 1/1362(2006.01)

(22)申请日 2016.07.22

审查员 游瑜婷

(65)同一申请的已公布的文献号

申请公布号 CN 105974690 A

(43)申请公布日 2016.09.28

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 北京京东方光电科技有限公司

(72)发明人 张磊 李嘉鹏 张静 陈磊

孙东江

(74)专利代理机构 北京中博世达专利商标代理

有限公司 11274

代理人 申健

(51)Int.Cl.

G02F 1/1343(2006.01)

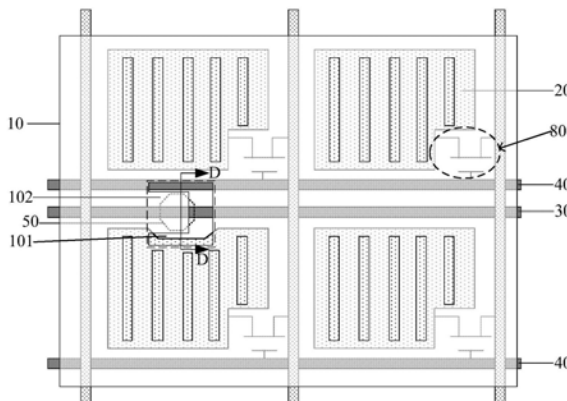
权利要求书1页 说明书6页 附图6页

(54)发明名称

一种掩模板、阵列基板、显示面板及显示装置

(57)摘要

本发明的实施例提供一种掩模板、阵列基板、显示面板及显示装置,涉及显示技术领域,可改善现有技术中公共电极与栅线或像素电极的短路问题。所述阵列基板包括设置在衬底上的栅线、公共电极线、以及公共电极和像素电极,公共电极通过公共电极过孔与公共电极线电连接;公共电极在与公共电极过孔对应的区域包括挖空部分和保留部分;保留部分位于靠近公共电极线的栅线和靠近公共电极线的像素电极之间,并通过公共电极过孔与公共电极线电连接;其中,保留部分与栅线和所述像素电极无交叠;挖空部分至少位于保留部分的靠近栅线的一侧且位于保留部分与栅线之间,和/或,挖空部分至少位于保留部分的靠近像素电极的一侧且位于保留部分与像素电极之间。



1. 一种阵列基板,包括设置在衬底上的栅线、公共电极线、以及公共电极和像素电极,所述公共电极通过公共电极过孔与所述公共电极线电连接;其特征在于,

所述公共电极在与所述公共电极过孔对应的区域包括挖空部分和保留部分;

所述保留部分位于靠近所述公共电极线的栅线和靠近所述公共电极线的像素电极之间,并通过所述公共电极过孔与所述公共电极线电连接;其中,所述保留部分与所述栅线和所述像素电极无交叠;

所述挖空部分至少位于所述保留部分的靠近所述栅线的一侧且位于所述保留部分与所述栅线之间,和/或,所述挖空部分至少位于所述保留部分的靠近所述像素电极的一侧且位于所述保留部分与所述像素电极之间。

2. 根据权利要求1所述的阵列基板,其特征在于,所述挖空部分的形状为U型或N型;所述保留部分位于所述U型或所述N型之间。

3. 根据权利要求1所述的阵列基板,其特征在于,沿垂直所述公共电极线的方向,所述保留部分的宽度大于所述公共电极过孔的宽度且小于所述栅线与所述像素电极之间的间距。

4. 根据权利要求3所述的阵列基板,其特征在于,沿垂直所述公共电极线的方向,所述挖空部分露出1~4 $\mu\text{m}$ 宽度的所述栅线。

5. 根据权利要求3所述的阵列基板,其特征在于,沿垂直所述公共电极线的方向,所述挖空部分露出1~3 $\mu\text{m}$ 宽度的所述像素电极。

6. 根据权利要求1所述的阵列基板,其特征在于,所述公共电极设置在所述像素电极远离所述衬底的一侧。

7. 一种显示面板,其特征在于,包括权利要求1-5任一项所述的阵列基板。

8. 一种显示装置,其特征在于,包括权利要求7所述的显示面板。

9. 一种掩模板,用于制备公共电极,所述掩模板包括掩模板本体,其特征在于,所述掩模板本体包括与公共电极过孔对应的图案区域,所述图案区域包括开口部分和本体部分;

所述本体部分用于形成公共电极的保留部分,所述保留部分通过所述公共电极过孔与公共电极线电连接;

所述开口部分用于形成挖空部分。

10. 根据权利要求9所述的掩模板,其特征在于,所述开口部分的形状为U型或N型;

所述本体部分位于所述U型或所述N型之间。

## 一种掩模板、阵列基板、显示面板及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种掩模板、阵列基板、显示面板及显示装置。

### 背景技术

[0002] 随着液晶显示技术的发展,薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称TFT-LCD)广泛地应用与各个领域。

[0003] 现有的薄膜晶体管液晶显示器包括阵列基板、液晶层和对盒基板。如图1(a)和图1(b)所示,一种阵列基板的结构为将公共电极10设置在阵列基板上,并通过刻蚀栅绝缘层601和钝化层602形成公共电极过孔50,来将公共电极10与公共电极线30电连接。

[0004] 然而,在实际阵列基板的制作过程中,由于设备和工艺等客观原因,公共电极过孔50若偏小管控,则会导致部分公共电极过孔50刻不透,从而在这些公共电极过孔50处便不能使公共电极10与公共电极线30电连接,因此必须按照公共电极过孔50的设计规格进行制作,这样又会使得公共电极过孔50偏大。此外公共电极过孔50发生偏移也是阵列基板制作过程中经过会出现的问题。再加上产品设计、产线环境等客观因素、以及设备管理、人为因素等不可控因素的影响,会进一步导致公共电极过孔50尺寸偏大,或发生公共电极过孔50偏移。

[0005] 基于此,一方面,如图2(a)和图2(b)所示,若公共电极过孔50偏大或发生偏移,会导致公共电极过孔50处栅线40上方的栅绝缘层601被刻蚀,使栅线40裸露,从而导致公共电极10与栅线40短路。或者虽然公共电极过孔50处栅线40上方的栅绝缘层601未被完全刻蚀,但栅绝缘层601被刻蚀变薄则会导致公共电极10与栅线40之间出现电容耦合的问题。

[0006] 另一方面,如图3(a)和图3(b)所示,若公共电极过孔50偏大或发生偏移,导致公共电极过孔50与像素电极20发生搭接,从而导致公共电极10与像素电极20短路。

### 发明内容

[0007] 本发明的实施例提供一种掩模板、阵列基板、显示面板及显示装置,可改善现有技术中公共电极与栅线或像素电极的短路问题,并在改善公共电极与栅线短路问题的同时还能解决公共电极与栅线之间的电容耦合问题。

[0008] 为达到上述目的,本发明的实施例采用如下技术方案:

[0009] 第一方面,提供一种阵列基板,包括设置在衬底上的栅线、公共电极线、以及公共电极和像素电极,所述公共电极通过公共电极过孔与所述公共电极线电连接;所述公共电极在与所述公共电极过孔对应的区域包括挖空部分和保留部分。

[0010] 其中,所述保留部分位于靠近所述公共电极线的栅线和靠近所述公共电极线的像素电极之间,并通过所述公共电极过孔与所述公共电极线电连接;其中,所述保留部分与所述栅线和所述像素电极无交叠。

[0011] 所述挖空部分至少位于所述保留部分的靠近所述栅线的一侧且位于所述保留部

分与所述栅线之间,和/或,所述挖空部分至少位于所述保留部分的靠近所述像素电极的一侧且位于所述保留部分与所述像素电极之间。

[0012] 优选的,所述挖空部分的形状为U型或N型;所述保留部分位于所述U型或所述N型之间。

[0013] 优选的,沿垂直所述公共电极线的方向,所述保留部分的宽度大于所述公共电极过孔的宽度且小于所述栅线与所述像素电极之间的间距。

[0014] 进一步优选的,沿垂直所述公共电极线的方向,所述挖空部分露出1~4 $\mu\text{m}$ 宽度的所述栅线。

[0015] 优选的,沿垂直所述公共电极线的方向,所述挖空部分露出1~3 $\mu\text{m}$ 宽度的所述像素电极。

[0016] 基于上述,优选的,所述公共电极设置在所述像素电极远离所述衬底的一侧。

[0017] 第二方面,提供一种显示面板,包括第一方面所述的阵列基板。

[0018] 第三方面,提供一种显示装置,包括第二方面所述的显示面板。

[0019] 第四方面,提供一种掩模板,用于制备公共电极,所述掩模板包括掩模板本体,所述掩模板本体包括与公共电极过孔对应的图案区域,所述图案区包括开口部分和本体部分。

[0020] 其中,所述本体部分用于形成公共电极的保留部分,所述保留部分通过所述公共电极过孔与公共电极线电连接;所述开口部分用于形成挖空部分。

[0021] 优选的,所述开口部分的形状为U型或N型;所述本体部分位于所述U型或所述N型之间。

[0022] 本发明的实施例提供一种掩模板、阵列基板、显示面板及显示装置,通过将公共电极过孔对应的区域设置为包括挖空部分和保留部分,并使保留部分位于靠近公共电极线的栅线和靠近公共电极线的像素电极之间,可以保证保留部分通过公共电极过孔与公共电极线电连接。在此基础上,通过使挖空部分至少位于保留部分的靠近栅线的一侧,和/或,使挖空部分至少位于保留部分的靠近像素电极的一侧,且使保留部分与栅线和像素电极无交叠,可以在阵列基板的制造过程中,即使发生公共电极过孔偏大以及向栅线或向像素电极偏移时,也会由于挖空部分的存在,使公共电极过孔与栅线或像素电极的交叠部分的上方无公共电极,从而可改善公共电极与栅线或像素电极的短路问题。此外,相对现有技术中由于栅绝缘层被刻蚀变薄则会导致公共电极与栅线之间出现电容耦合的问题,本发明实施例即使由于公共电极过孔偏大以及偏移导致栅绝缘层被刻蚀变薄,也由于挖空部分处没有公共电极,而不会出现电容耦合的问题。

## 附图说明

[0023] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1(a)为现有技术提供一种阵列基板的结构示意图一;

[0025] 图1(b)为图1(a)中AA向剖视示意图;

- [0026] 图2(a)为现有技术提供一种阵列基板的结构示意图二；
- [0027] 图2(b)为图2(a)中BB向剖视示意图；
- [0028] 图3(a)为现有技术提供一种阵列基板的结构示意图三；
- [0029] 图3(b)为图3(a)中CC向剖视示意图；
- [0030] 图4为本发明实施例提供一种阵列基板的结构示意图一；
- [0031] 图5为本发明实施例提供一种阵列基板的结构示意图二；
- [0032] 图6(a)为本发明实施例提供一种阵列基板的结构示意图三；
- [0033] 图6(b)为图3(a)中DD向剖视示意图；
- [0034] 图7为本发明实施例提供一种掩模板的结构示意图。
- [0035] 附图标记：
- [0036] 10-公共电极；101-挖空部分；102-保留部分；20-像素电极；30-公共电极线；40-栅线；50-公共电极过孔；601-栅绝缘层；602-钝化层；70-衬底；80-TFT；90-掩模板；901-图案区域；901a-开口部分；901b-本体部分。

### 具体实施方式

[0037] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0038] 本发明实施例提供一种阵列基板，如图4、图5、以及图6(a)和图6(b)所示，包括设置在衬底70的栅线40、公共电极线30、以及公共电极10和像素电极20，公共电极10通过公共电极过孔50与公共电极线30电连接。

[0039] 其中，公共电极10在与公共电极过孔50对应的区域(图中虚线矩形框所指的区域)包括挖空部分101和保留部分102。

[0040] 保留部分102位于分别靠近公共电极线30的栅线40和像素电极20之间，并通过公共电极过孔50与公共电极线30电连接；保留部分102与栅线40和像素电极20无交叠。

[0041] 挖空部分101至少位于保留部分102的靠近栅线40的一侧且位于保留部分102与栅线40之间，和/或，挖空部分101至少位于保留部分102的靠近像素电极20的一侧且位于保留部分102与像素电极20之间。

[0042] 需要说明的是，第一，公共电极线30设置在栅线40和像素电极20之间。

[0043] 其中，为了减少构图工艺次数，优选公共电极线30与栅线40平行且同层设置(即，公共电极线30与栅线40通过同一次构图工艺形成)。

[0044] 第二，不对公共电极10和像素电极20的相对位置进行限定。图4、图5、以及图6(a)和图6(b)均以像素电极20设置在衬底70和公共电极10之间为例进行示意。

[0045] 当像素电极20设置在衬底70和公共电极10之间时，以TFT(Thin Film Transistor, 薄膜晶体管)80为底栅型为例，参考图6(b)所示，公共电极过孔50可贯穿栅绝缘层601和钝化层602。其中，钝化层602设置在像素电极20和公共电极10之间；像素电极20与TFT80(Thin Film Transistor, 薄膜晶体管)的漏极可直接接触，无需通过过孔电连接。

[0046] 当然，本发明实施例并不限于图6(b)所示的情况，可根据TFT80的具体结构，使公

公共电极过孔50贯穿公共电极10和公共电极线30之间的所有绝缘层。

[0047] 此外,公共电极10也可设置在像素电极20和衬底70之间,此时,公共电极过孔50需贯穿公共电极10和公共电极线30之间所有绝缘层,像素电极20也需通过其与TFT的漏极之间的绝缘层上的过孔电连接。

[0048] 第三,对于公共电极10的与公共电极过孔50对应的区域,其面积应大于过孔的面积。

[0049] 对于公共电极10的除与公共电极过孔50对应区域外的其他部分不做限定,只要是公共电极10的与公共电极过孔50对应的区域为本发明实施例的设置方式,都属于本发明的保护范围。

[0050] 第四,不对保留部分102的尺寸进行限定,其可以完全覆盖公共电极过孔50,也可以只部分覆盖公共电极过孔50,只要能使保留部分102通过公共电极过孔50与公共电极线30电连接,且使保留部分102与栅线40和像素电极20均无交叠即可。

[0051] 其中,保留部分102与公共电极10的除与公共电极过孔50对应的区域外的其他部分连接为一体。

[0052] 第五,如图4所示,挖空部分101可仅位于保留部分102的靠近栅线40的一侧且位于保留部分102与栅线40之间。其中,挖空部分101可以与栅线40有交叠,即,挖空部分101可露出部分宽度的栅线40。

[0053] 或者,如图5所示,挖空部分101可仅位于保留部分102的靠近像素电极20的一侧且位于保留部分102与像素电极20之间。其中,挖空部分101可以与像素电极20有交叠,即,挖空部分101可露出部分宽度的像素电极20。

[0054] 或者,如图6(a)所示,挖空部分101即位于保留部分102的靠近栅线40的一侧,又位于保留部分102的靠近像素电极20的一侧。

[0055] 第六,不对挖空部分101的尺寸进行限定,当其设置在保留部分102的靠近栅线40的一侧时,以能在公共电极过孔50偏大以及向栅线40偏移时,公共电极10不会通过公共电极过孔50与栅线40发生短路。当其设置在保留部分102的靠近像素电极20的一侧时,以能在公共电极过孔50偏大以及向像素电极20偏移时,公共电极10不会通过公共电极过孔50与像素电极20发生短路。

[0056] 当然,挖空部分101的尺寸也需考虑公共电极10的均一性,并不是越大越好,需不影响显示或较小的影响显示。

[0057] 本发明实施例提供一种阵列基板,通过将公共电极过孔50对应的区域设置为包括挖空部分101和保留部分102,并使保留部分102位于分别靠近公共电极线30的栅线40和像素电极20之间,可以保证保留部分102通过公共电极过孔50与公共电极线30电连接。在此基础上,通过使挖空部分101至少位于保留部分102的靠近栅线40的一侧,和/或,使挖空部分101至少位于保留部分102的靠近像素电极20的一侧,且使保留部分102与栅线40和像素电极20无交叠,可以在阵列基板的制造过程中,即使发生公共电极过孔50偏大以及向栅线40或向像素电极20偏移时,也会由于挖空部分101的存在,使公共电极过孔50与栅线40或像素电极20的交叠部分的上方无公共电极10,从而可改善公共电极10与栅线40或像素电极20的短路问题。此外,相对现有技术中由于栅绝缘层601被刻蚀变薄则会导致公共电极10与栅线40之间出现电容耦合的问题,本发明实施例即使由于公共电极过孔50偏大以及偏移导致

栅绝缘层601被刻蚀变薄,也由于挖空部分101处没有公共电极10,而不会出现电容耦合的问题。

[0058] 优选的,如图6(a)所示,挖空部分101至少位于保留部分102的靠近栅线40的一侧、以及保留部分102的靠近像素电极20的一侧。

[0059] 在此基础上,挖空部分101的形状可以为U型或N型,即位于保留部分102两侧的挖空部分101连通;保留部分102位于所述U型或所述N型之间。

[0060] 这样,可保证公共电极过孔50向任意方向偏移时,都能改善公共电极10与栅线40或像素电极20的短路问题。

[0061] 优选的,沿垂直公共电极线30的方向,保留部分102的宽度大于公共电极过孔50的宽度且小于栅线40与像素电极20之间的间距。

[0062] 此处,公共电极过孔50的宽度即为公共电极过孔50的设计规格的宽度。也即,在制造过程中公共电极过孔50不发生偏大以及偏移时,公共电极过孔50沿垂直公共电极线30方向的宽度。

[0063] 这样,可使保留部分102能通过公共电极过孔50充分与公共电极线30接触,保证公共电极10与公共电极线30的电连接。

[0064] 进一步优选的,沿垂直公共电极线30的方向(即沿数据线方向),挖空部分101露出1~4 $\mu\text{m}$ 宽度的栅线40。

[0065] 由于公共电极过孔50与栅线40的距离会至少为2 $\mu\text{m}$ ,而公共电极过孔50的单边波动一般为1 $\mu\text{m}$ 左右,即在没有偏移的情况下,公共电极过孔50与栅线40的距离会减小为1 $\mu\text{m}$ 左右,而公共电极过孔50的偏移一般为0.75~1 $\mu\text{m}$ 左右,再加上公共电极10的偏移,并考虑显示装置的尺寸越大,公共电极过孔50的单边波动、以及上述的偏移都会有所增加,使挖空部分101露出1~4 $\mu\text{m}$ 宽度的栅线40,可完全避免公共电极10与栅线40短路的问题。

[0066] 其中,在公共电极10的与公共电极过孔50对应的区域,挖空部分101露出1~4 $\mu\text{m}$ 宽度的栅线40,不会对显示均一性产生影响。

[0067] 优选的,沿垂直公共电极线30的方向(即沿数据线方向),挖空部分101露出1~3 $\mu\text{m}$ 宽度的像素电极20。

[0068] 由于公共电极过孔50与像素电极20的距离会在2~3 $\mu\text{m}$ 以上,而公共电极过孔50的单边波动一般为1 $\mu\text{m}$ 左右,即在没有偏移的情况下,公共电极过孔50与栅线40的距离会减小为1~2 $\mu\text{m}$ 左右,而公共电极过孔50的偏移一般为0.75~1 $\mu\text{m}$ 左右,再加上公共电极10的偏移,并考虑显示装置的尺寸越大,公共电极过孔50的单边波动、以及上述的偏移都会有所增加,使挖空部分101露出1~3 $\mu\text{m}$ 宽度的像素电极20,可完全避免公共电极10与像素电极20短路的问题。

[0069] 其中,在公共电极10的与公共电极过孔50对应的区域,挖空部分101露出1~3 $\mu\text{m}$ 宽度的像素电极20,对显示均一性的影响可忽略不计。

[0070] 基于上述,如图4、图5、以及图6(a)和图6(b)所示,优选的,公共电极10设置在像素电极20远离衬底70的一侧。

[0071] 这样,像素电极20可直接与TFT80的漏极接触,像素电极20和公共电极10之间只需通过一层钝化层602隔离即可,可简化工艺。

[0072] 本发明实施例还提供一种显示面板,包括上述的阵列基板。

[0073] 当然,显示面板还可包括对盒基板,位于阵列基板和对盒基板之间的液晶层。其中,对盒基板可包括黑矩阵和彩膜。

[0074] 本发明实施例提供一种显示面板,通过将阵列基板中与公共电极过孔50对应的区域设置为包括挖空部分101和保留部分102,并使保留部分102位于分别靠近公共电极线30的栅线40和像素电极20之间,可以保证保留部分102通过公共电极过孔50与公共电极线30电连接。在此基础上,通过使挖空部分101至少位于保留部分102的靠近栅线40的一侧,和/或,使挖空部分101至少位于保留部分102的靠近像素电极20的一侧,且使保留部分102与栅线40和像素电极20无交叠,可以在阵列基板的制造过程中,即使发生公共电极过孔50偏大以及向栅线40或向像素电极20偏移时,也会由于挖空部分101的存在,使公共电极过孔50与栅线40或像素电极20的交叠部分的上方无公共电极10,从而可改善公共电极10与栅线40或像素电极20的短路问题。此外,相对现有技术中由于栅绝缘层601被刻蚀变薄则会导致公共电极10与栅线40之间出现电容耦合的问题,本发明实施例即使由于公共电极过孔50偏大以及偏移导致栅绝缘层601被刻蚀变薄,也由于挖空部分101处没有公共电极10,而不会出现电容耦合的问题。

[0075] 本发明实施例还提供一种显示装置,包括上述的显示面板。

[0076] 所述显示装置具体可以是液晶显示器、液晶电视、数码相框、手机、平板电脑等具有任何显示触控功能的产品或者部件。

[0077] 本发明实施例还提供一种掩模板,用于制备上述的公共电极10。

[0078] 如图7所示,该掩模板90包括掩模板本体,所述掩模板本体包括与公共电极过孔50对应的图案区域901,所述图案区901包括开口部分901a和本体部分901b。

[0079] 其中,所述本体部分901b用于形成公共电极10的保留部分102,所述保留部分102通过公共电极过孔50与公共电极线30电连接;所述开口部分901a用于形成挖空部分101。

[0080] 示例的,公共电极10的制备过程如下:可在基板上形成透明导电例如ITO(氧化铟锡)薄膜,并在ITO薄膜上形成光刻胶;将上述掩模板90置于光刻胶的上方,对光刻胶进行曝光并显影,与开口部分901a对应的ITO薄膜被显影掉,采用湿法刻蚀对未被光刻胶覆盖的ITO薄膜进行刻蚀,形成挖空部分101,图案区域901中的未被刻蚀部分则形成保留部分102。

[0081] 需要说明的是,对于掩模板本体的除图案区域901之外的其他部分,可根据公共电极10的具体结构进行设置,在此不做限定。

[0082] 优选的,如图7所示,开口部分901a的形状为U型或N型;本体部分901b位于所述U型或所述N型之间。

[0083] 这样,可保证公共电极过孔50向任意方向偏移时,都能改善公共电极10与栅线40或像素电极20的短路问题。

[0084] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。



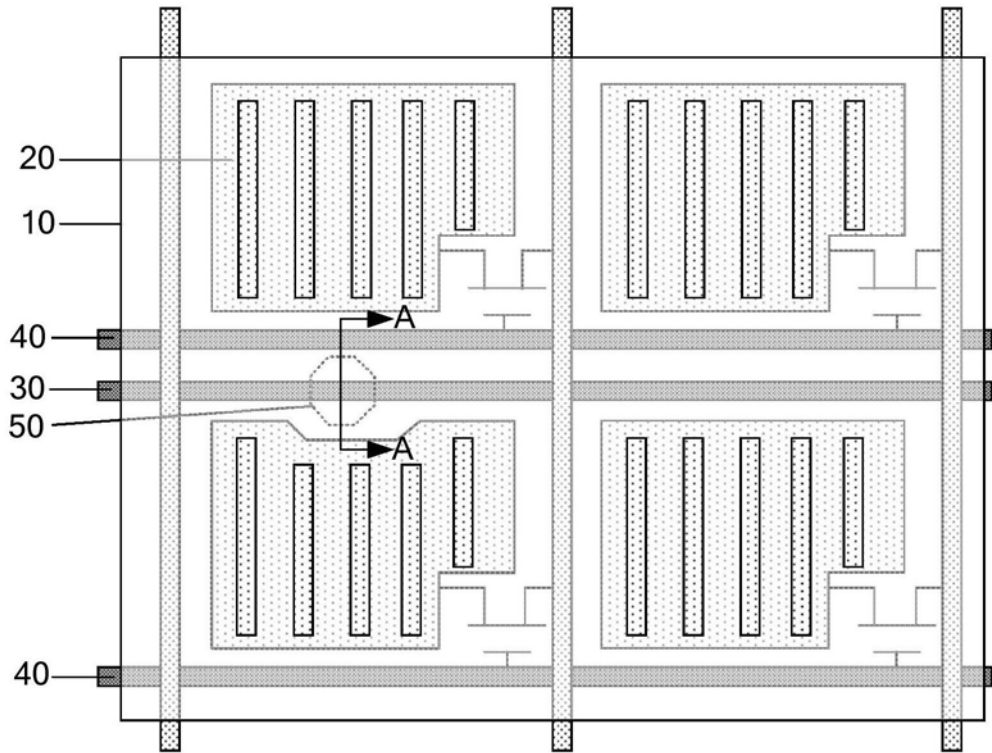


图1 (a)

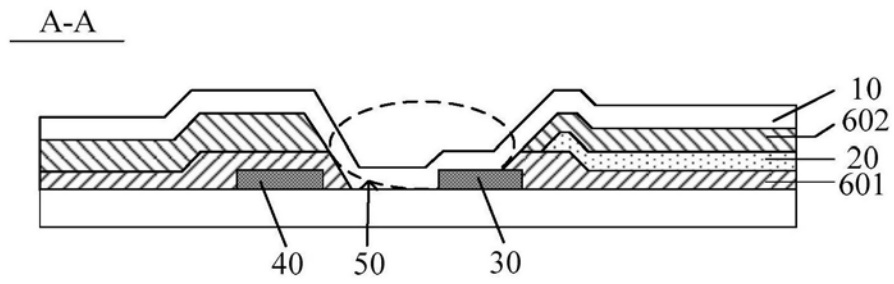


图1 (b)

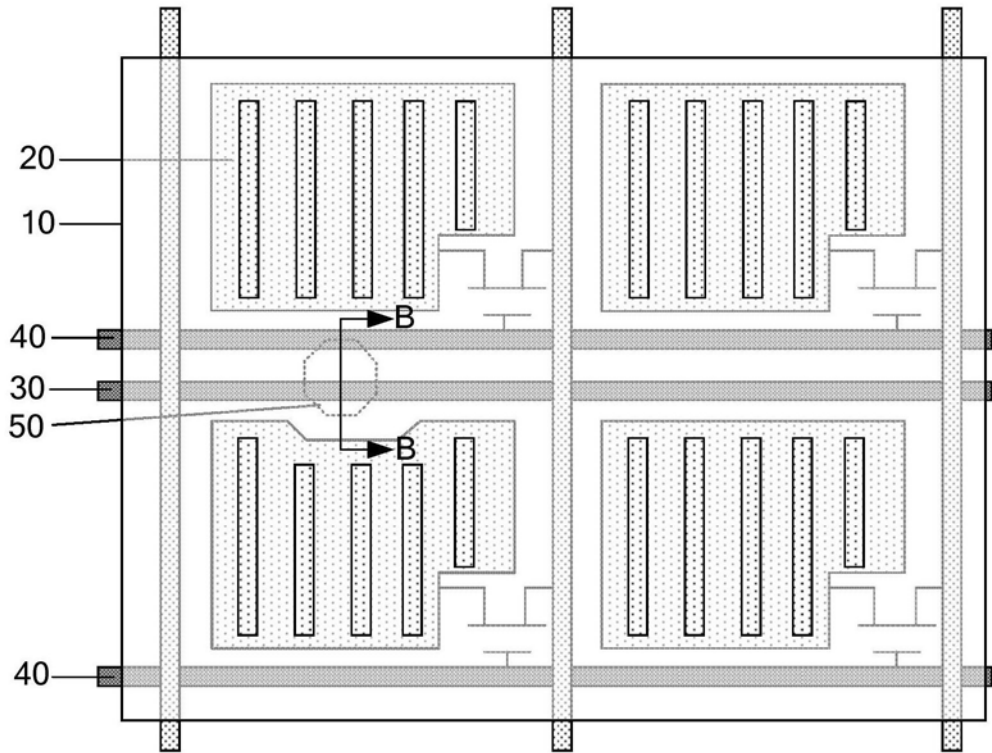


图2 (a)

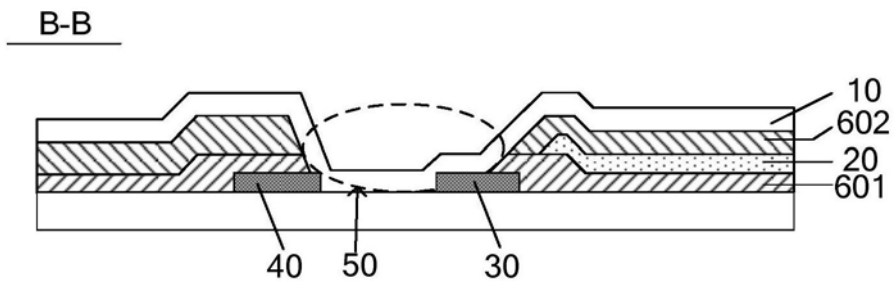


图2 (b)

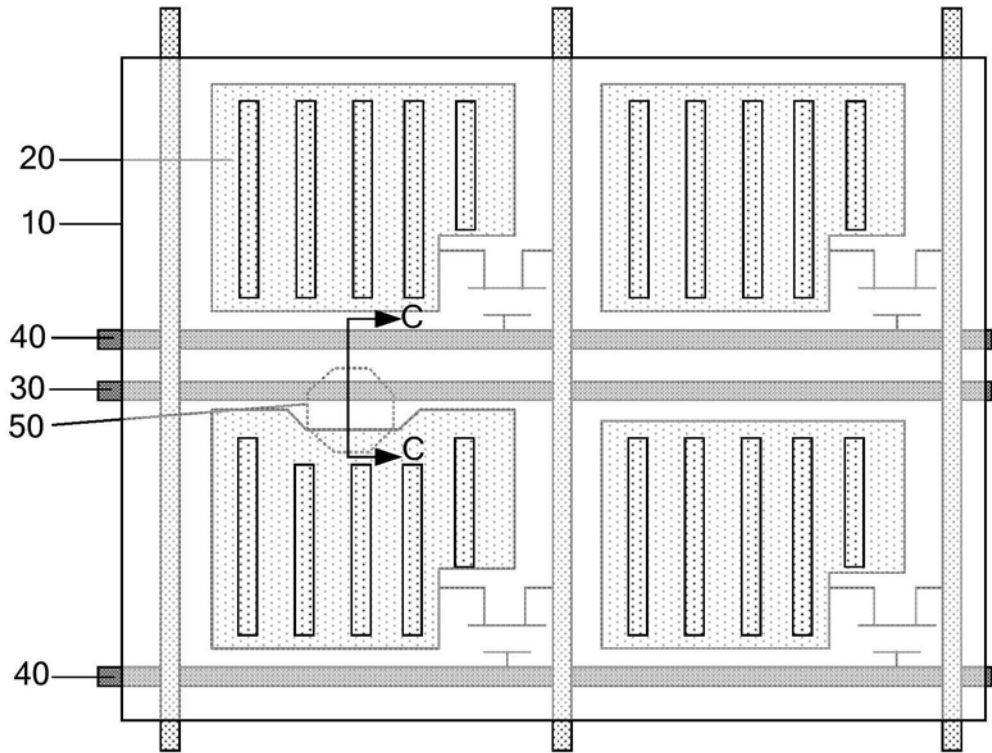


图3 (a)

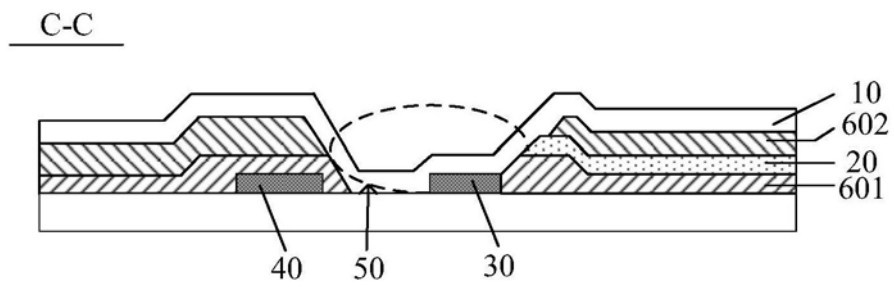


图3 (b)

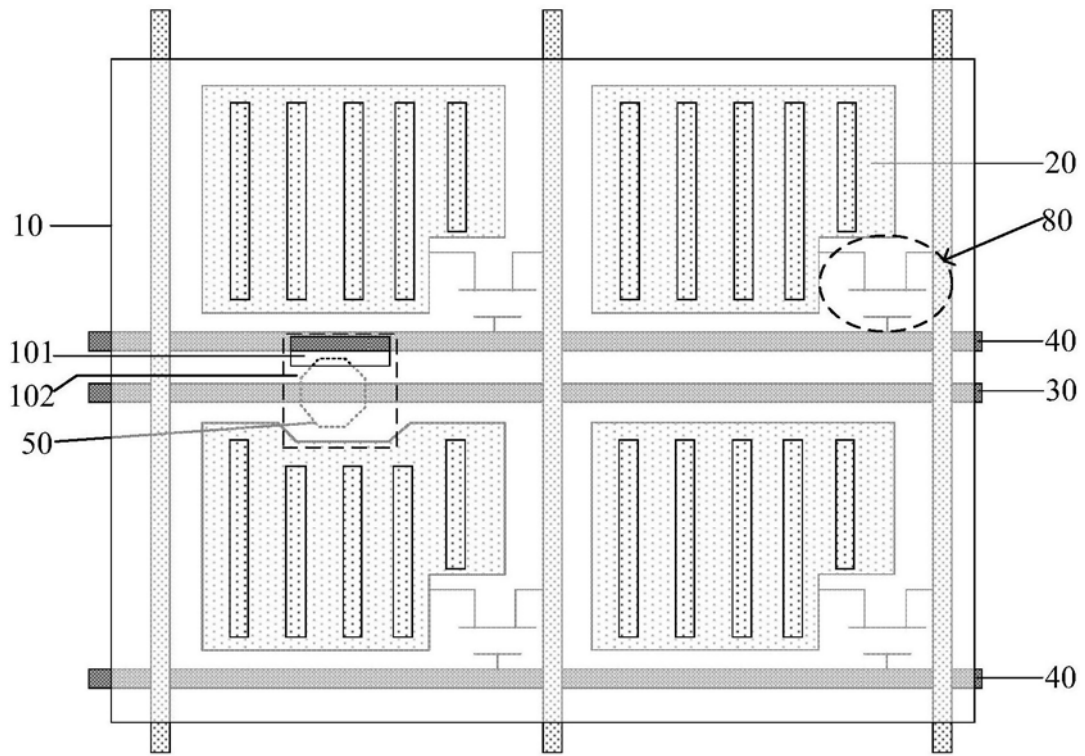


图4

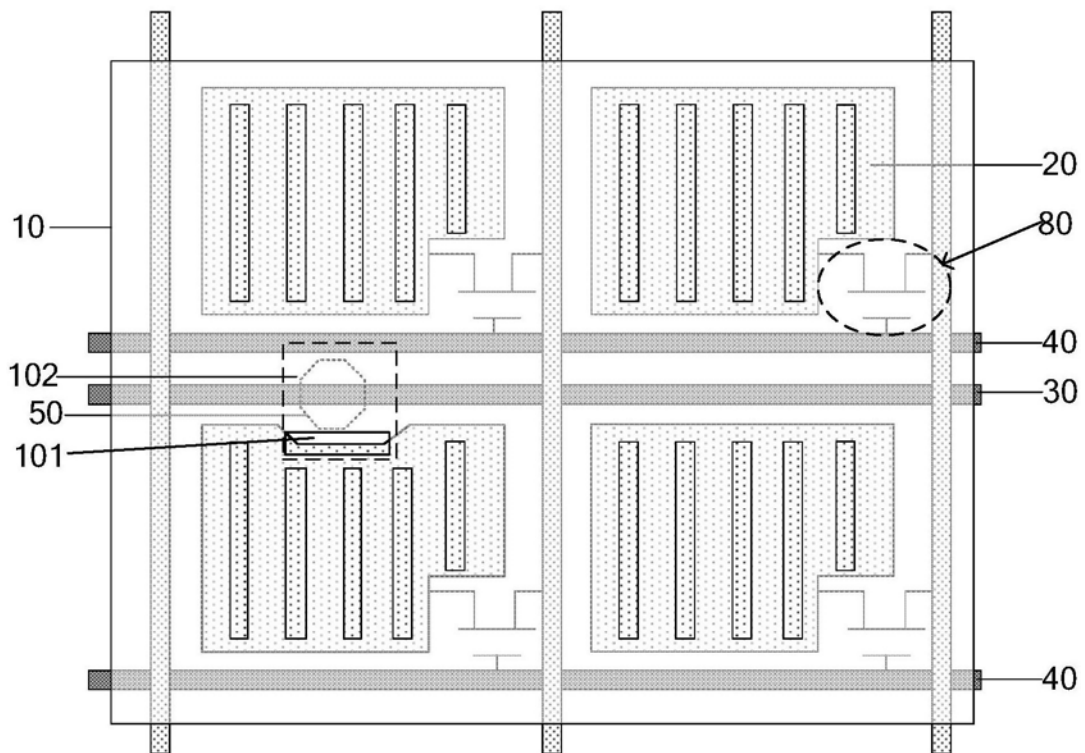


图5

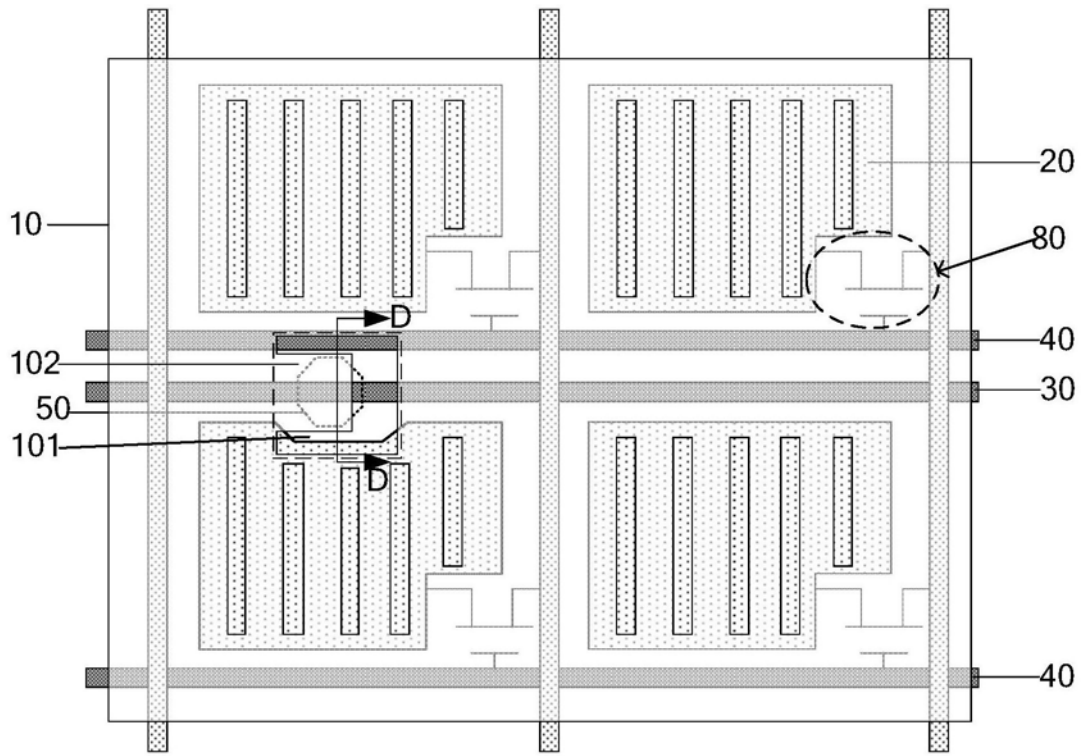


图6 (a)

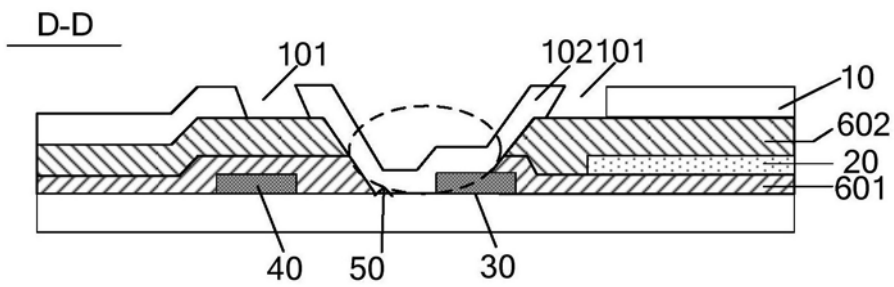


图6 (b)

90

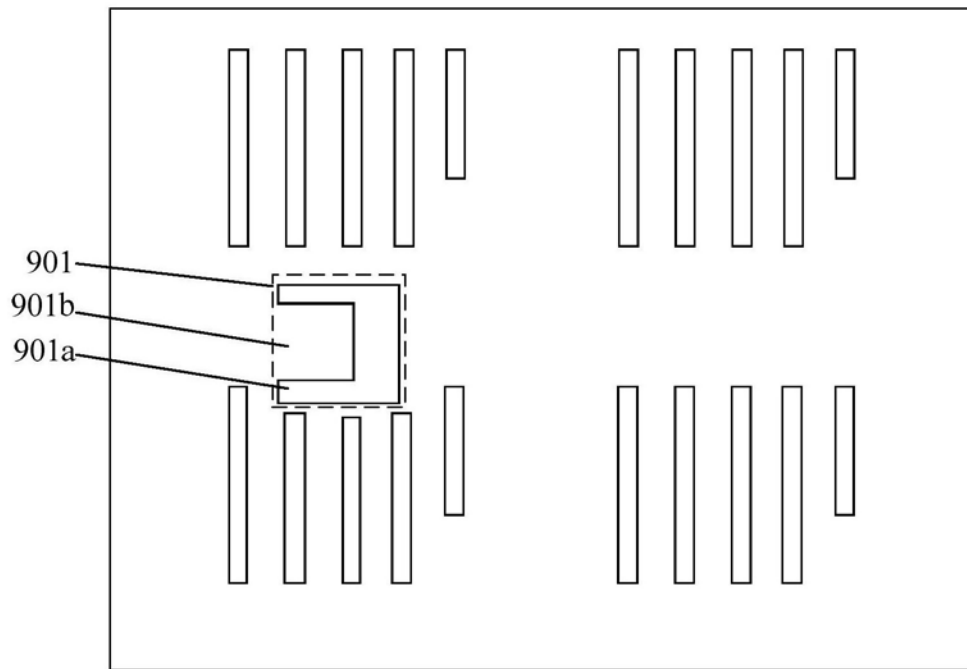


图7