

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

| | |
|------------------------------------------|----------------------------|
| (51) Int. Cl. ⁷ H01L 27/04 | (45) 공고일자 2000년 10월 16일 |
| (21) 출원번호 10-1997-0033246 | (11) 등록번호 10-0269301 |
| (22) 출원일자 1997년 07월 16일 | (24) 등록일자 2000년 07월 20일 |
| (65) 공개번호 특 1999-0010450 | (43) 공개일자 1999년 02월 18일 |

| | |
|-----------|---------------------------------------------------|
| (73) 특허권자 | 삼성전자주식회사 윤종용 |
| (72) 발명자 | 경기도 수원시 팔달구 매탄3동 416 이병택 |
| (74) 대리인 | 서울특별시 관악구 봉천동 관악현대아파트 101동 1105호 권석흠, 노민식, 이영필 |

심사관 : 정해곤

(54) 장벽층의 산화를 방지하는 커패시터 및 그 제조 방법

요약

장벽층의 산화를 방지하는 커패시터 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 커패시터는 메모리 셀 트랜지스터가 형성된 반도체 기판의 소스/드레인 영역을 노출시키는 제1 콘택홀이 형성되어 있는 제1 층간 절연막 패턴과, 상기 제1 콘택홀 내에 형성되고, 상기 소스/드레인 영역에 대면하는 저면 및 상기 저면보다 더 넓은 상면을 갖춘 장벽층을 포함하는 콘택 플러그와, 상기 제1 층간 절연막 위에 형성되고 상기 장벽층의 상면을 일부만 노출시키는 제2 콘택홀이 형성되어 있는 제2 층간 절연막 패턴과, 상기 제2 콘택홀 내부 및 상기 제2 층간 절연막 패턴 위에 형성되고, 상기 장벽층과 전기적으로 연결되는 하부 전극을 갖춘다. 상기 커패시터를 형성하기 위하여, 반도체 기판상에 상기 반도체 기판의 일부를 노출시키는 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성한다. 상기 제1 콘택홀 내부에 물질 확산 방지를 위한 장벽층을 포함하는 콘택 플러그를 형성한다. 상기 콘택 플러그가 형성된 결과물상에 상기 콘택 플러그의 상면을 노출시키는 제2 콘택홀을 포함하는 제2 층간 절연막 패턴을 형성한다. 상기 제2 층간 절연막 패턴이 형성된 결과물상에 상기 제2 콘택홀을 통하여 상기 콘택 플러그와 연결되는 하부 전극을 형성한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1 내지 도 8은 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 커패시터를 제조하는 방법을 설명하기 위하여 공정 순서에 따라 순차적으로 도시한 단면도들이다.

도 9 및 도 10은 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 커패시터를 제조하는 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판, 12 : 제1 층간 절연막 패턴

14 : 오믹 콘택층, 16 : 장벽 물질층

16A : 콘택 플러그, 22 : 제2 층간 절연막 패턴

30 : 도전 물질층, 30A : 하부 전극

40 : 유전막, 50 : 상부 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 그 제조 방법에 관한 것으로, 특히 장벽층의 산화를 방지하는 커패시터 및 그 제조 방법에 관한 것이다.

DRAM(Dynamic Random Access Memory)의 집적도가 증가함에 따라, 제한된 셀 면적 내에서 커패시터를 증

가시킴을 위하여 커패시터의 유전막을 박막화하는 방법, 또는 커패시터의 유효 면적을 증가시키기 위해 커패시터 하부 전극의 구조를 입체화시키는 방법 등이 제안되고 있다.

그러나, 상기한 바와 같은 방법을 채용하더라도 기존의 유전체로는 1G DRAM 이상의 메모리 소자에서는 소자 작동에 필요한 커패시턴스 값을 얻기 어렵다. 따라서, 이와 같은 문제를 해결하기 위하여 커패시터의 유전막으로서 BST(Ba(Sr, Ti)O₃), PZT(Pb(Zr, Ti)O₃), PLZT((Pb, Zr)(Ti, La)TiO₃)와 같은 고유전율을 갖는 박막으로 대체하는 연구가 활발히 진행중에 있다. 상기와 같은 고유전막을 사용하는 커패시터에서는 전극 물질로서 Pt, Ir, Ru, RuO₂, IrO₂ 등을 사용하며, 그 중에서도 특히 우수한 내산화성을 갖는 Pt는 실리콘과의 반응성이 크기 때문에 Pt를 전극 물질로서 채용하는 경우에는 Pt와 실리콘을 격리시킬 수 있는 장벽층(Barrier layer)을 필요로 한다.

일반적으로 사용되는 장벽층은 예를 들면 TiN, TaN, WN_{1-x} 등과 같은 금속 질화막이며, 이와 같은 장벽층은 유전막 증착 과정 또는 후속의 산화성 가스 분위기하에서의 열처리 과정에서 장벽층의 상면 또는 측면을 통하여 유입되는 산소와 결합하여 산화되어버리는 문제가 발생한다. 장벽층을 TiN을 사용하여 형성한 경우에는 산화되면 TiO₂가 형성되고, 그 결과 하부 전극에 전기적인 단락 현상이 발생하게 된다.

따라서, 커패시터의 유전막으로서 고유전막을 사용하는 경우에 장벽층의 산화를 효과적으로 방지할 수 있도록 커패시터의 구조를 개선하는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 커패시터의 전극 물질과 실리콘과의 반응을 방지하기 위하여 채용되는 장벽층의 산화를 효과적으로 방지할 수 있는 구조를 가지는 반도체 메모리 장치의 커패시터를 제공하는 것이다.

본 발명의 다른 목적은 상기와 같은 특징을 가지는 반도체 메모리 장치 커패시터의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 반도체 메모리 장치의 커패시터는 메모리 셀 트랜지스터가 형성된 반도체 기판의 소스/드레인 영역을 노출시키는 제1 콘택홀이 형성되어 있는 제1 층간 절연막 패턴과, 상기 제1 콘택홀 내에 형성되고, 상기 소스/드레인 영역에 대면하는 저면 및 상기 저면보다 더 넓은 상면을 갖춘 장벽층을 포함하는 콘택 플러그와, 상기 제1 층간 절연막 위에 형성되고 상기 장벽층의 상면을 일부만 노출시키는 제2 콘택홀이 형성되어 있는 제2 층간 절연막 패턴과, 상기 제2 콘택홀 내부 및 상기 제2 층간 절연막 패턴 위에 형성되고, 상기 장벽층과 전기적으로 연결되는 하부 전극과, 상기 하부 전극을 덮는 유전막과, 상기 유전막상에 형성된 상부 전극을 갖춘다.

상기 장벽층은 TiN, TiAlN, TaSiN, TaAlN, TiSiN, TaSi, TiSi, Ta, TaN, CoSi 및 Co로 이루어지는 군에서 선택된 어느 하나로 구성된다.

상기 하부 전극은 Pt, Ir, IrO₂, Ru, RuO₂ 및 산화물 전도체로 이루어지는 군에서 선택된 어느 하나로 구성된다.

상기 유전막은 STO(SrTiO₃), BST(Ba(Sr, Ti)O₃), PZT(Pb(Zr, Ti)O₃) 및 PLZT((Pb, Zr)(Ti, La)TiO₃)로 이루어지는 군에서 선택된 어느 하나로 구성된다.

상기 콘택 플러그는 상기 소스/드레인 영역과 상기 장벽층 사이에 형성된 오믹 콘택층을 더 포함할 수 있다. 바람직하게는, 상기 오믹 콘택층은 금속 실리사이드로 구성된다.

상기 다른 목적을 달성하기 위하여, 본 발명에 따른 반도체 메모리 장치 커패시터의 제조 방법에 따르면, 반도체 기판상에 상기 반도체 기판의 일부를 노출시키는 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성한다. 상기 제1 콘택홀 내부에 물질 확산 방지를 위한 장벽층을 포함하는 콘택 플러그를 형성한다. 상기 콘택 플러그가 형성된 결과물상에 상기 콘택 플러그의 상면을 노출시키는 제2 콘택홀을 포함하는 제2 층간 절연막 패턴을 형성한다. 상기 제2 층간 절연막 패턴이 형성된 결과물상에 상기 제2 콘택홀을 통하여 상기 콘택 플러그와 연결되는 하부 전극을 형성한다. 상기 하부 전극 위에 유전막을 형성한다. 상기 유전막 위에 상부 전극을 형성한다.

상기 제1 층간 절연막 패턴을 형성하는 단계는 상기 반도체 기판상에 제1 층간 절연막을 형성하는 단계와, 상기 제1 층간 절연막을 포토리소그래피 공정을 이용하여 건식 식각 공정을 적용하여 패터닝하여 기동 형상의 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성하는 단계를 포함할 수 있다.

또는, 상기 제1 층간 절연막 패턴을 형성하는 단계는 상기 반도체 기판상에 제1 층간 절연막을 형성하는 단계와, 상기 제1 층간 절연막을 포토리소그래피 공정을 이용하여 습식 식각 및 건식 식각 공정을 순차로 적용하여 패터닝함으로써 상부측 입구가 넓은 기동 형상의 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성하는 단계를 포함할 수 있다.

상기 콘택 플러그를 형성하는 단계는 상기 제1 콘택홀 내부에 상기 장벽층을 채우기 전에 상기 제1 콘택홀에 의해 노출된 반도체 기판의 표면에 오믹 콘택층을 형성하는 단계를 더 포함할 수 있다. 상기 오믹 콘택층은 금속 실리사이드로 구성된다.

본 발명에 의하면, 상부로부터 하부 전극을 통해 유입되는 산소 확산의 경로가 길어져서 장벽층의 산화를 억제할 수 있을 뿐 만 아니라 장벽층의 측면이 전혀 노출되지 않으므로 장벽층의 측면을 통한 산소 유입을 완전히 차단할 수 있다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 1 내지 도 8은 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 커패시터를 제조하는 방법을 설명하기 위하여 공정 순서에 따라 순차적으로 도시한 단면도들이다.

도 1을 참조하면, 메모리 셀 트랜지스터(도시 생략)와 같은 하부 구조(underlying structure)가 형성된 반도체 기판(10)상에 상기 하부 구조를 절연시키기 위하여 제1 층간 절연막을 형성하고, 그 위에 포토리소그래피 공정을 이용하여 상기 제1 층간 절연막을 일부 노출시키는 포토레지스트 패턴(도시 생략)을 형성한다. 그 후, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 노출된 제1 층간 절연막을 건식 식각함으로써 상기 트랜지스터의 소스/드레인 영역(도시 생략)을 노출시키는 기둥 형상의 제1 콘택홀(H1)을 포함하는 제1 층간 절연막 패턴(12)을 형성한다. 그 후, 상기 포토레지스트 패턴을 제거한다.

도 2를 참조하면, 상기 제1 콘택홀(H1)을 통해 노출된 반도체 기판(10)의 표면에 예를 들면 TiSi, CoSi 등과 같은 금속 실리사이드를 사용하여 오믹 콘택(ohmic contact)층(14)을 형성한다. 상기 오믹 콘택층(14)은 상기 반도체 기판(10)의 실리콘과 후속 공정에서 상기 제1 콘택홀(H1)을 채우게 될 장벽층 구성 물질과의 오믹 콘택을 위하여 형성하는 것으로서, 원하는 바에 따라 생략 가능하다.

도 3을 참조하면, 상기 제1 층간 절연막 패턴(12)의 상부에 상기 제1 콘택홀(H1) 내부를 채우기에 충분한 두께로 장벽 물질층(16), 예를 들면 TiN층을 형성한다. 상기 장벽 물질층(16)을 형성하는 물질로서 상기한 바와 같은 TiN 외에도 상기 반도체 기판(10)의 실리콘과 후속 공정에서 사용되는 하부 전극 물질 즉 Pt 사이에서의 상호 확산을 방지할 수 있는 물질, 예를 들면 TiAlN, TaSiN, TaAlN, TiSiN, TaSi, TiSi, Ta, TaN, CoSi, Co 등과 같은 물질을 사용할 수 있다.

도 4를 참조하면, 건식 식각 공정 또는 CMP(Chemical Mechanical Polishing) 공정을 이용하여 상기 제1 콘택홀(H1) 내부를 제외한 상기 제1 층간 절연막 패턴(12) 상부의 장벽 물질층(16)을 모두 제거하여 상기 제1 콘택홀(H1) 내부에 장벽층(16A)을 형성한다. 상기 오믹 콘택층(14)과 장벽층(16A)은 콘택 플러그를 구성한다. 그 결과, 상기 콘택 플러그는 그 측면이 노출되지 않으면서 수평 방향으로 편평한 기둥 형상의 구조를 갖는 장벽층을 포함하게 된다. 상기 장벽층(16A)을 포함하는 콘택 플러그는 커패시터 하부 전극을 트랜지스터의 소스/드레인 영역과 연결시키는 콘택의 일부를 구성하게 된다.

도 5를 참조하면, 상기 장벽층(16A)이 형성된 결과물상에 제2 층간 절연막을 형성하고 포토리소그래피 공정을 이용하여 상기 제2 층간 절연막을 패터닝하여 상기 장벽층(16A)의 상면을 노출시키는 제2 콘택홀(H2)을 포함하는 제2 층간 절연막 패턴(22)을 형성한다.

도 6을 참조하면, 상기 제2 층간 절연막 패턴(22)이 형성된 결과물 전면에 하부 전극을 형성하기 위한 도전 물질층(30), 예를 들면 백금(Pt)층을 형성한다. 상기 도전 물질층(30)은 상기 설명한 바와 같은 백금(Pt) 외에 이리듐(Ir), 이리듐 이산화물(IrO₂), 루테늄(Ru), 루테늄 이산화물(RuO₂) 또는 기타 산화물 전도체를 사용하여 형성할 수 있다. 상기 도전 물질층(30)은 PVD(Physical Vapor Deposition) 공정 또는 CVD(Chemical Vapor Deposition) 공정을 이용하여 형성한다. 또는, 상기 제2 층간 절연막 패턴(22)이 형성된 결과물 전면에 도전 물질, 예를 들면 Pt를 증착한 후 리플로우시켜서 상기 도전 물질층(30)을 형성하는 것도 가능하다.

도 7을 참조하면, 상기 제2 층간 절연막 패턴(22)이 노출되도록 상기 도전 물질층(30)을 패터닝함으로써, 상기 제2 콘택홀(H2) 내에 형성된 콘택을 통하여 상기 장벽층(16A)과 접촉되는 하부 전극(30A)을 형성한다.

도 8을 참조하면, 상기 하부 전극(30A)이 형성된 결과물상에 유전막(40)을 형성한다. 상기 유전막(40)은 예를 들면 STO(SrTiO₃), BST, PZT 또는 PLZT 계열의 물질을 사용하여 형성한다. 그 후, 상기 유전막(40)상에 예를 들면 Pt로 이루어지는 상부 전극(50)을 형성함으로써 본 발명의 제1 실시예에 따른 커패시터를 완성한다.

상기한 바와 같이 본 발명의 제1 실시예에 따르면, 커패시터를 반도체 기판의 소스/드레인 영역에 연결시키기 위한 콘택 내부에 장벽층이 존재함으로써 상부로부터 하부 전극을 통해 유입되는 산소 확산의 경로가 길어져서 장벽층의 산화를 억제할 수 있을 뿐 아니라 장벽층의 측면이 층간 절연막에 의하여 완전히 차단되어 전혀 노출되지 않으므로 장벽층의 측면을 통한 산소 유입을 완전히 차단할 수 있다. 또한, 커패시터를 반도체 기판의 소스/드레인 영역에 연결시키기 위한 콘택을 2 단계에 걸쳐 형성함으로써 상기 와 같이 측면이 노출되지 않는 구조를 가지는 장벽층을 용이하게 형성할 수 있다.

도 9 및 도 10은 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 커패시터를 제조하는 방법을 설명하기 위한 단면도들이다.

도 9를 참조하면, 제1 실시예에서 도 1을 참조하여 설명한 바와 같은 방법으로 반도체 기판(110)상에 제1 층간 절연막을 형성하고, 그 위에 포토리소그래피 공정을 이용하여 상기 제1 층간 절연막을 일부 노출시키는 포토레지스트 패턴(도시 생략)을 형성한다. 그 후, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 노출된 제1 층간 절연막을 소정의 깊이 만큼 부분적으로 습식 식각하고, 다시 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 노출된 제1 층간 절연막을 건식 식각함으로써, 도 9에 도시한 바와 같이 상부측 입구가 넓은 기둥 형상의 콘택홀(H3)을 포함하는 제1 층간 절연막 패턴(112)을 형성한다. 그 후, 상기 포토레지스트 패턴을 제거한다.

도 10을 참조하면, 제1 실시예에서 도 2, 도 3 및 도 4를 참조하여 설명한 바와 같은 방법으로 상기 콘택홀(H3) 내부에 금속 실리사이드로 이루어지는 오믹 콘택층(114)과 장벽층(116A)으로 이루어지는 콘택 플러그를 형성한다. 그 결과, 상기 콘택 플러그는 그 측면이 노출되지 않으면서 수평 방향으로 편평하고 저면보다 더 넓은 상면을 갖춘 장벽층을 포함하게 된다. 상기 장벽층은 측면에서 볼 때 단면의 형상이 대략 "T"자형의 구조를 갖는다.

그 후, 제1 실시예에서 도 5 내지 도 8을 참조하여 설명한 바와 같은 방법으로 제2 층간 절연막 패턴(122)을 형성하고, 하부 전극(130A), 유전막(140) 및 상부 전극(150)을 형성하여 본 발명의 제2 실시예에 따른 커패시터를 완성한다.

상기한 바와 같이 본 발명의 제2 실시예에 따르면, 제1 실시예에서와 마찬가지로 커패시터를 반도체 기판의 소스/드레인 영역에 연결시키기 위한 콘택 내부에 장벽층이 존재함으로써 상부로부터 하부 전극을 통해 유입되는 산소 확산의 경로가 길어져서 장벽층의 산화를 억제할 수 있을 뿐 만 아니라 장벽층의 측면이 층간 절연막에 의하여 완전히 차단되어 전혀 노출되지 않으므로 장벽층의 측면을 통한 산소 유입을 완전히 차단할 수 있으며, 장벽층의 단면 형상이 측면에서 볼 때 대략 "T"자형의 구조를 가지도록 저면보다 더 넓은 상면을 갖추고 있으므로, 커패시터를 반도체 기판의 소스/드레인 영역에 연결시키기 위한 콘택을 2 단계로 형성하는 데 있어서, 장벽층을 구성하는 콘택 플러그의 상부에 제2 콘택홀을 포함하는 제2 층간 절연막 패턴을 형성할 때의 얼라인 마진을 증가시키는 효과를 제공함으로써 장벽층을 구성하는 콘택 플러그와 하부 전극이 형성되는 제2 콘택홀과의 미스얼라인을 줄일 수 있다.

발명의 효과

상기한 바와 같이 본 발명의 바람직한 실시예들에 따르면, 커패시터를 반도체 기판의 소스/드레인 영역에 연결시키기 위한 콘택 내부에 장벽층이 존재함으로써 상부로부터 하부 전극을 통해 유입되는 산소 확산의 경로가 길어져서 장벽층의 산화를 억제할 수 있을 뿐 만 아니라 장벽층의 측면이 전혀 노출되지 않으므로 장벽층의 측면을 통한 산소 유입을 완전히 차단할 수 있다. 또한, 커패시터를 반도체 기판의 소스/드레인 영역에 연결시키기 위한 콘택을 2 단계에 걸쳐 형성함으로써 상기와 같이 측면이 노출되지 않는 구조를 가지는 장벽층을 용이하게 형성할 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

(57) 청구의 범위

청구항 1

메모리 셀 트랜지스터가 형성된 반도체 기판의 소스/드레인 영역을 노출시키는 제1 콘택홀이 형성되어 있는 제1 층간 절연막 패턴과,

상기 제1 콘택홀 내에 형성되고, 상기 소스/드레인 영역에 대면하는 저면 및 상기 저면보다 더 넓은 상면을 갖춘 장벽층을 포함하는 콘택 플러그와,

상기 제1 층간 절연막 위에 형성되고 상기 장벽층의 상면을 일부만 노출시키는 제2 콘택홀이 형성되어 있는 제2 층간 절연막 패턴과,

상기 제2 콘택홀 내부 및 상기 제2 층간 절연막 패턴 위에 형성되고, 상기 장벽층과 전기적으로 연결되는 하부 전극과,

상기 하부 전극을 덮는 유전막과,

상기 유전막상에 형성된 상부 전극을 갖춘 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

청구항 2

제1항에 있어서, 상기 장벽층은 TiN, TiAlN, TaSiN, TaAlN, TiSiN, TaSi, TiSi, Ta, TaN, CoSi 및 Co로 이루어지는 군에서 선택된 어느 하나로 구성된 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

청구항 3

제1항에 있어서, 상기 하부 전극은 Pt, Ir, IrO₂, Ru, RuO₂ 및 산화물 전도체로 이루어지는 군에서 선택된 어느 하나로 구성된 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

청구항 4

제1항에 있어서, 상기 유전막은 STO(SrTiO₃), BST(Ba(Sr, Ti)O₃), PZT(Pb(Zr, Ti)O₃) 및 PLZT((Pb, Zr)(Ti, La)TiO₃)로 이루어지는 군에서 선택된 어느 하나로 구성된 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

청구항 5

제1항에 있어서, 상기 콘택 플러그는 상기 소스/드레인 영역과 상기 장벽층 사이에 형성된 오믹 콘택층을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

청구항 6

제5항에 있어서, 상기 오믹 콘택층은 금속 실리사이드로 구성된 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

청구항 7

반도체 기판상에 상기 반도체 기판의 일부를 노출시키는 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성하는 단계와,

상기 제1 콘택홀 내부에 물질 확산 방지를 위한 장벽층을 포함하는 콘택 플러그를 형성하는 단계와,

상기 콘택 플러그가 형성된 결과물상에 상기 콘택 플러그의 상면을 노출시키는 제2 콘택홀을 포함하는 제2 층간 절연막 패턴을 형성하는 단계와,

상기 제2 층간 절연막 패턴이 형성된 결과물상에 상기 제2 콘택홀을 통하여 상기 콘택 플러그와 연결되는 하부 전극을 형성하는 단계와,

상기 하부 전극 위에 유전막을 형성하는 단계와,

상기 유전막 위에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 8

제7항에 있어서, 상기 제1 층간 절연막 패턴을 형성하는 단계는

상기 반도체 기판상에 제1 층간 절연막을 형성하는 단계와,

상기 제1 층간 절연막을 포토리소그래피 공정을 이용하여 건식 식각 공정을 적용하여 패턴닝하여 기둥 형상의 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 9

제7항에 있어서, 상기 제1 층간 절연막 패턴을 형성하는 단계는

상기 반도체 기판상에 제1 층간 절연막을 형성하는 단계와,

상기 제1 층간 절연막을 포토리소그래피 공정을 이용하여 습식 식각 및 건식 식각 공정을 순차로 적용하여 패턴닝함으로써 상부측 입구가 넓은 기둥 형상의 제1 콘택홀을 포함하는 제1 층간 절연막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 10

제7항에 있어서, 상기 콘택 플러그를 형성하는 단계는

상기 제1 층간 절연막 패턴의 상부에 상기 제1 콘택홀 내부를 채우기에 충분한 두께로 장벽 물질층을 형성하는 단계와,

상기 제1 콘택홀 내부를 제외한 상기 제1 층간 절연막 패턴 상부의 장벽 물질층을 제거하여 상기 제1 콘택홀 내부를 장벽층으로 채우는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 11

제10항에 있어서, 상기 장벽 물질층은 TiN, TiAlN, TaSiN, TaAlN, TiSiN, TaSi, TiSi, Ta, TaN, CoSi 및 Co로 이루어지는 군에서 선택된 어느 하나로 구성된 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 12

제10항에 있어서, 상기 장벽 물질층을 제거하는 단계는 건식 식각 공정에 의하여 행하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 13

제10항에 있어서, 상기 장벽 물질층을 제거하는 단계는 CMP(Chemical Mechanical Polishing) 공정에 의하여 행하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 14

제7항에 있어서, 상기 콘택 플러그를 형성하는 단계는 상기 제1 콘택홀 내부에 상기 장벽층을 채우기 전에 상기 제1 콘택홀에 의해 노출된 반도체 기판의 표면에 오믹 콘택층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 15

제14항에 있어서, 상기 오믹 콘택층은 금속 실리사이드로 구성된 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 16

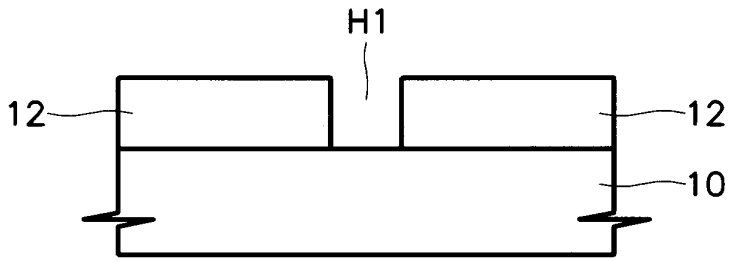
제7항에 있어서, 상기 하부 전극은 Pt, Ir, IrO₂, Ru, RuO₂ 및 산화물 전도체로 이루어지는 군에서 선택된 어느 하나로 형성되는 것을 특징으로 하는 반도체 메모리 장치 커패시터의 제조 방법.

청구항 17

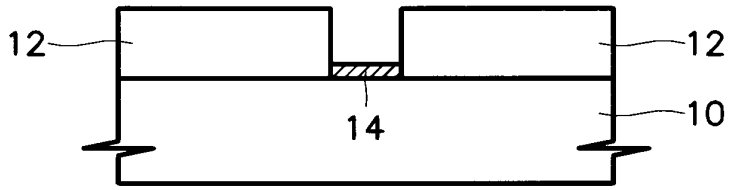
제7항에 있어서, 상기 유전막은 STO(SrTiO₃), BST(Ba(Sr, Ti)O₃), PZT(Pb(Zr, Ti)O₃) 및 PLZT((Pb, Zr)(Ti, La)TiO₃)로 이루어지는 군에서 선택된 어느 하나로 형성되는 것을 특징으로 하는 반도체 메모리 장치의 커패시터.

도면

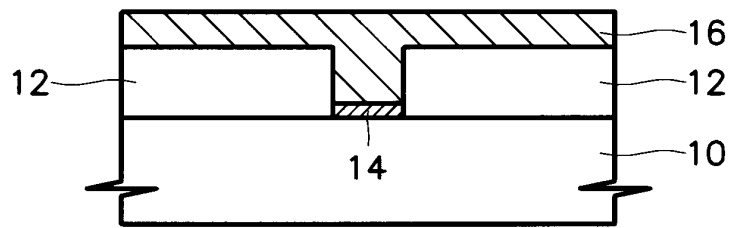
도면1



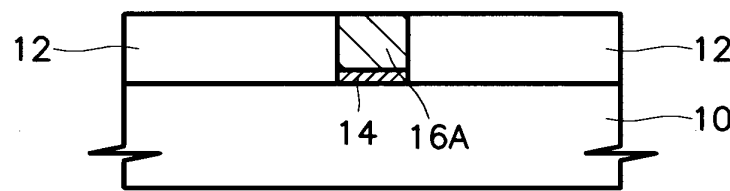
도면2



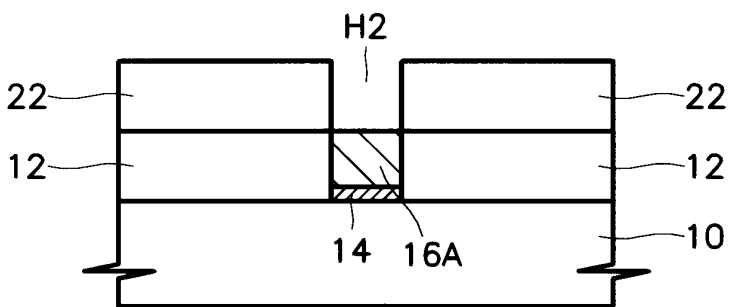
도면3



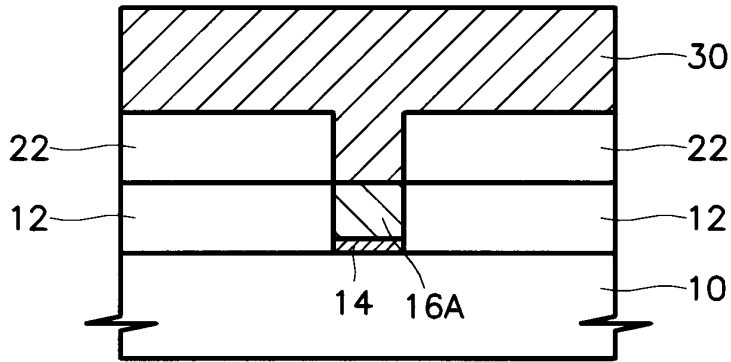
도면4



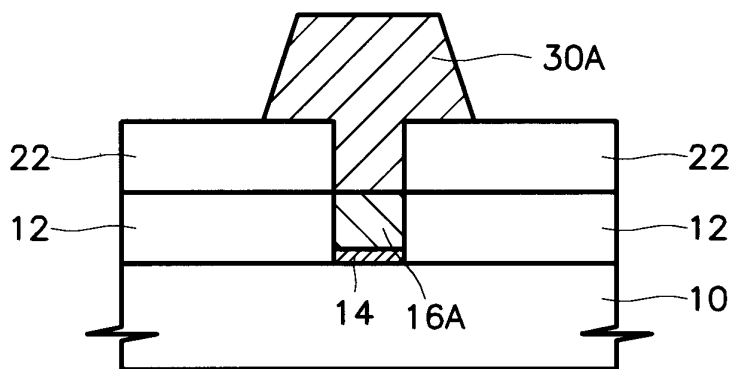
도면5



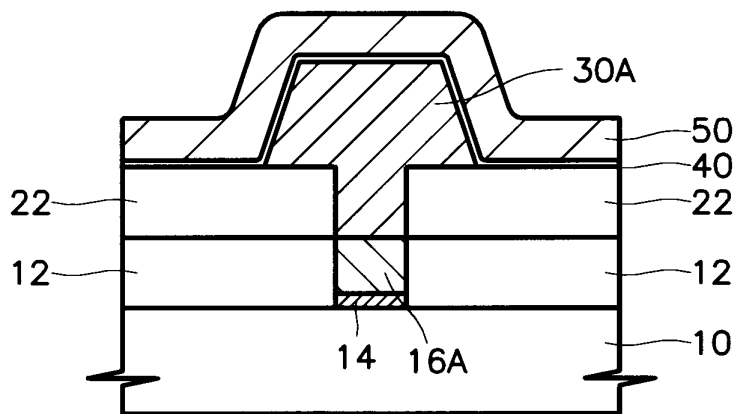
도면6



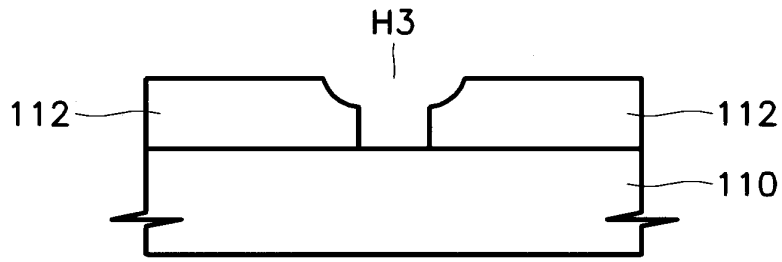
도면7



도면8



도면9



도면10

