

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6190903号  
(P6190903)

(45) 発行日 平成29年8月30日(2017.8.30)

(24) 登録日 平成29年8月10日(2017.8.10)

(51) Int.Cl.	F I			
<b>G 1 1 C 13/00</b>	<b>(2006.01)</b>	G 1 1 C	13/00	4 8 0 K
		G 1 1 C	13/00	4 6 2

請求項の数 13 外国語出願 (全 12 頁)

(21) 出願番号	特願2016-27235 (P2016-27235)	(73) 特許権者	512167426
(22) 出願日	平成28年2月16日(2016.2.16)		華邦電子股▲ふん▼有限公司
(65) 公開番号	特開2016-152060 (P2016-152060A)		Winbond Electronics Corp.
(43) 公開日	平成28年8月22日(2016.8.22)		台湾台中市大雅區中部科學園區科雅一路8號
審査請求日	平成28年2月16日(2016.2.16)		
(31) 優先権主張番号	14/623,507	(74) 代理人	100147485
(32) 優先日	平成27年2月17日(2015.2.17)		弁理士 杉村 憲司
(33) 優先権主張国	米国 (US)	(74) 代理人	100161148
			弁理士 福尾 誠
		(74) 代理人	100134577
			弁理士 石川 雅章

最終頁に続く

(54) 【発明の名称】 書き込みおよびベリファイ回路、ならびにその抵抗性メモリの書き込みおよびベリファイ方法

## (57) 【特許請求の範囲】

## 【請求項 1】

抵抗性メモリの書き込みおよびベリファイ方法であって、

書き込みおよびベリファイ期間の間、前記抵抗性メモリの少なくとも1つの選択された抵抗性メモリセルに対応する少なくとも1つのワード線信号をイネーブルにすることと、

前記選択された抵抗性メモリセルにビット線電圧を提供し、前記ビット線電圧が、前記書き込みおよびベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に増加または減少することと、

前記選択された抵抗性メモリセルのビット線を通る検出電流を測定し、前記検出電流および基準電流に基づいて、前記書き込みおよびベリファイ期間の終了時間点を決定することと、

を含み、

前記選択された抵抗性メモリセルに前記ビット線電圧を提供する前記ステップが、

前記第1電圧レベルが前記第2電圧レベルよりも大きい場合、前記ビット線電圧が、前記書き込みおよびベリファイ期間の間、前記第1電圧レベルから前記第2電圧レベルに連続的に減少し、

前記基準電流が、非直線的に減少して、前記選択された抵抗性メモリセルをリセットする抵抗性メモリの書き込みおよびベリファイ方法。

## 【請求項 2】

前記選択された抵抗性メモリセルに前記ビット線電圧を提供する前記ステップが、

10

20

前記第 1 電圧レベルが前記第 2 電圧レベルよりも小さい場合、前記ビット線電圧が、前記書き込みおよびベリファイ期間の間、前記第 1 電圧レベルから前記第 2 電圧レベルに連続的に増加する請求項 1 に記載の抵抗性メモリの書き込みおよびベリファイ方法。

【請求項 3】

前記基準電流が、直線的に増加して、前記選択された抵抗性メモリセルを設定する請求項 2 に記載の抵抗性メモリの書き込みおよびベリファイ方法。

【請求項 4】

前記検出電流および前記基準電流に基づいて、前記書き込みおよびベリファイ期間の前記終了時間点を決定する前記ステップが、

前記検出電流および前記基準電流の電流レベルを比較して、前記書き込みおよびベリファイ期間の前記終了時間点を決定する請求項 1 ~ 3 のいずれか 1 項に記載の抵抗性メモリの書き込みおよびベリファイ方法。

【請求項 5】

前記基準電流が、前記ビット線電圧の変化に応じて変化する請求項 4 に記載の抵抗性メモリの書き込みおよびベリファイ方法。

【請求項 6】

抵抗性メモリの書き込みおよびベリファイ回路であって、

ビット線電圧に基づいて基準電流を生成するとともに、前記基準電流に基づいてバイアス電圧を生成し、前記ビット線電圧が、書き込みおよびベリファイ期間の間、第 1 電圧レベルから第 2 電圧レベルに連続的に増加または減少する電流発生器と、

前記電流発生器および前記抵抗性メモリの選択された抵抗性メモリセルのビット線に結合され、前記選択された抵抗性メモリセルに前記ビット線電圧を提供し、前記ビット線の検出電流に基づいて検出電圧を生成する少なくとも 1 つの電流検出器と、

を含み、前記電流検出器が、前記検出電圧と前記バイアス電圧を比較して、前記書き込みおよびベリファイ期間の終了時間点を決定し、

前記第 1 電圧レベルが前記第 2 電圧レベルよりも大きい場合、前記ビット線電圧が、前記書き込みおよびベリファイ期間の間、前記第 1 電圧レベルから前記第 2 電圧レベルに連続的に減少し、

前記基準電流が、非直線的に減少して、前記選択された抵抗性メモリセルをリセットする抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 7】

前記電流発生器が、

第 1 端、第 2 端、および制御端を有し、前記第 1 端が、前記ビット線電圧を受信し、前記第 2 端が、前記制御端に結合され、前記制御端に前記バイアス電圧が生成される第 1 トランジスタと、

前記第 1 トランジスタの前記第 2 端に結合されたダミー Y 経路回路と、

前記ダミー Y 経路回路に結合された第 1 端を有する基準抵抗と、

前記基準抵抗の第 2 端に結合されるとともに、ワード線信号によって制御され、電源をオンまたはオフにする第 1 スイッチと、

前記第 1 スイッチとソース線電圧の間に結合されるとともに、イネーブル信号によって制御され、電源をオンまたはオフにする第 2 スイッチと、

を含む請求項 6 に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 8】

前記電流検出器が、

前記ビット線電圧を受信する第 1 端を有するとともに、検出出力信号によって制御され、電源をオンまたはオフにする第 3 スイッチと、

第 1 端、第 2 端、および制御端を有し、前記第 1 端が、前記第 3 スイッチの第 2 端に結合され、前記制御端が、前記第 1 トランジスタの前記制御端に結合され、前記第 2 端が、前記選択された抵抗性メモリセルに対応する Y 経路回路に結合された第 2 トランジスタと

、

10

20

30

40

50

前記第 2 トランジスタの前記第 2 端と前記ソース線電圧の間に結合され、前記検出出力信号によって制御される第 4 スイッチと、

前記バイアス電圧および前記第 2 トランジスタの前記第 2 端の電圧をそれぞれ受信する第 1 入力端および第 2 入力端を有し、前記検出出力信号を生成するコンパレータと、

を含む請求項 7 に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 9】

前記基準電流が、前記ビット線電圧および前記基準抵抗の抵抗に基づいて生成される請求項 7 に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 10】

前記電流発生器が、

第 1 端、第 2 端、および制御端を有し、前記第 1 端が、前記ビット線電圧を受信し、前記制御端が、前記電流検出器に結合され、前記第 2 端に前記バイアス電圧が生成される第 1 トランジスタと、

前記第 1 トランジスタの前記第 2 端に結合されたダミー Y 経路回路と、

前記ダミー Y 経路回路に結合されたカソードを有するダイオードと、

前記ダイオードのアノードに結合されるとともに、ワード線信号によって制御され、電源をオンまたはオフにする第 1 スイッチと、

前記第 1 スイッチとソース線電圧の間に結合されるとともに、イネーブル信号によって制御され、電源をオンまたはオフにする第 2 スイッチと、

を含む請求項 6 に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 11】

前記電流検出器が、

前記ビット線電圧を受信する第 1 端を有するとともに、検出出力信号によって制御され、電源をオンまたはオフにする第 3 スイッチと、

第 1 端、第 2 端、および制御端を有し、前記第 1 端が、前記第 3 スイッチの第 2 端に結合され、前記制御端が、前記第 1 トランジスタの前記制御端に結合され、前記第 2 端が、前記選択された抵抗性メモリセルおよび第 2 トランジスタの前記制御端に対応する Y 経路回路に結合された前記第 2 トランジスタと、

前記第 2 トランジスタの前記第 2 端と前記ソース線電圧の間に結合され、前記検出出力信号によって制御される第 4 スイッチと、

前記バイアス電圧および前記第 2 トランジスタの前記第 2 端の電圧をそれぞれ受信する第 1 入力端および第 2 入力端を有し、前記検出出力信号を生成するコンパレータと、

を含む請求項 10 に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 12】

前記第 1 電圧レベルが前記第 2 電圧レベルよりも小さい場合、前記ビット線電圧が、前記書き込みおよびベリファイ期間の間、前記第 1 電圧レベルから前記第 2 電圧レベルに連続的に増加する請求項 6 ~ 9 のいずれか 1 項に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【請求項 13】

前記基準電流が、直線的に増加して、前記選択された抵抗性メモリセルを設定する請求項 12 に記載の抵抗性メモリの書き込みおよびベリファイ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗性メモリのベリファイ方法および抵抗性メモリのベリファイ回路に関するものであり、特に、書き込みおよびベリファイ期間の間に連続的に増加または減少するビット線電圧を使用する抵抗性メモリの書き込みおよびベリファイ方法に関するものである。

【背景技術】

10

20

30

40

50

## 【0002】

次世代の不揮発性メモリへの要求に応じて、一種の抵抗性ランダムアクセスメモリ (resistive random access memory, RRAM) が開発された。より優れた均一性を有する RRAM を得るためには、RRAM に対して高性能のベリファイ操作を行う必要がある。

## 【0003】

図1を参照すると、図1は、先行技術のRRAMを設定するための波形図 (waveform plot) を示したものである。書き込みおよびベリファイ期間TVの間にワード線信号WLをイネーブル (enable) にし (高電圧レベルにし)、RRAMの選択された抵抗性メモリセルのビット線にビット線電圧VVERを印加する。ビット線電圧VVERの電圧レベルは、書き込みおよびベリファイ期間TVの間、一定の電圧レベルに保持される。先行技術では、書き込みおよびベリファイ期間TVの間にビット線電流CBLを検出する。ビット線電流CBLと目標ビット線電流を比較することによって、RRAMの書き込み操作を終了するかどうかを決定することができる。ビット線電流CBLが目標ビット線電流に達していない場合、選択した抵抗性メモリセルをもう一度設定しなければならない。ビット線電流CBLが目標ビット線電流に達した場合、選択した抵抗性メモリセルの書き込み操作 (設定操作) が完了する。

10

## 【0004】

つまり、ビット線電圧VVERが十分に定義されていない時、書き込みおよびベリファイ期間TVのサイクルを制御するのは難しい。さらに、ビット線電圧VVERのバイアス電圧は一定であり、書き込み操作中は抵抗が変化するため、書き込み操作の時間が大きくなりすぎる可能性があり、RRAMの書き込み操作の性能が低下する。

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

本発明は、抵抗性メモリセルを効率よく設定およびリセットすることのできる抵抗性メモリの書き込みおよびベリファイ方法、ならびに書き込みおよびベリファイ回路を提供する。

## 【課題を解決するための手段】

## 【0006】

本発明は、抵抗性メモリのベリファイ方法を提供する。この方法は、書き込みおよびベリファイ期間の間、抵抗性メモリの少なくとも1つの選択された抵抗性メモリセルに対応する少なくとも1つのワード線信号をイネーブルにすることと、書き込みおよびベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に増加または減少するビット線電圧を選択された抵抗性メモリセルに提供することと、ビット線を通る検出電流を測定し、検出電流および基準電流に基づいて、書き込みおよびベリファイ期間の終了時間点を決定することを含む。

30

## 【0007】

本発明は、抵抗性メモリの書き込みおよびベリファイ回路を提供する。書き込みおよびベリファイ回路は、電流発生器と、少なくとも1つの電流検出器とを含む。電流発生器は、ビット線電圧に基づいて基準電流を生成し、基準電流に基づいてバイアス電圧を生成する。ビット線電圧は、書き込みおよびベリファイ期間の間に第1電圧レベルから第2電圧レベルに連続的に増加または減少する。電流検出器は、基準電流発生器および抵抗性メモリの選択された抵抗性メモリセルのビット線に結合される。電流検出器は、選択された抵抗性メモリセルにビット線電圧を提供し、ビット線の検出電流に基づいて検出電圧を生成する。

40

## 【発明の効果】

## 【0008】

以上のように、本発明は、抵抗性メモリセルをベリファイする時、書き込みおよびベリファイ期間の間に第1電圧レベルから第2電圧レベルに連続的に増加または減少するビット線電圧を選択された抵抗性メモリセルに提供する。さらに、書き込みおよびベリファイ

50

期間の間にビット線を通る検出電流を測定することにより、書き込みおよびベリファイ期間の終了時間点を決定して、書き込みおよびベリファイ操作をより正確に、且つ効率よく終了させることができる。

【0009】

本発明の上記および他の目的、特徴、および利点をより分かり易くするため、図面と併せた幾つかの実施形態を以下に説明する。

【図面の簡単な説明】

【0010】

【図1】先行技術のRRAMを設定するための波形図を示したものである。

【図2】本発明の1つの実施形態に係るRRAMの書き込みおよびベリファイ方法のフローチャートである。

10

【図3】図3(a)は、本発明の1つの実施形態に係るRRAMの設定操作の波形図を示したものである。図3(b)は、本発明の1つの実施形態に係るRRAMのリセット操作の波形図を示したものである。

【図4】本発明の1つの実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。

【図5】本発明の別の実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。

【図6】本発明の別の実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。

20

【図7】本発明の別の実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。

【発明を実施するための形態】

【0011】

図2は、本発明の1つの実施形態に係るRRAMの書き込みおよびベリファイ方法のフローチャートである。RRAMの書き込みおよびベリファイ方法は、RRAMの1つまたはそれ以上の選択された抵抗性メモリセルの設定、リセット、または形成に使用することができる。ステップS210において、書き込みおよびベリファイ期間の間、少なくとも1つのワード線信号をイネーブルにし、少なくとも1つのワード線信号は、RRAMの少なくとも1つの選択された抵抗性メモリセルに対応する。ステップS220において、書き込みおよびベリファイ期間の間、選択された抵抗性メモリセルのビット線にビット線電圧を提供し、同時に書き込みおよびベリファイ操作を行う。言及すべきこととして、書き込みおよびベリファイ操作は、RRAMの設定操作、リセット操作、または形成操作であってもよい。さらに、ビット線電圧の電圧レベルは、書き込みおよびベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に増加または減少する。

30

【0012】

例えば、選択された抵抗性メモリセルに対して設定操作を行う時、ビット線電圧の電圧レベルは、書き込みおよびベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に増加し、第1電圧レベルは、第2電圧レベルよりも小さい。一方、選択された抵抗性メモリセルに対してリセット操作を行う時、ビット線電圧の電圧レベルは、書き込みおよびベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に減少し、第1電圧レベルは、第2電圧レベルよりも大きい。

40

【0013】

ステップS230において、書き込みおよびベリファイ期間の間、選択された抵抗性メモリセルのビット線を通る検出電流を測定する。検出電流を用いて基準電流と比較し、書き込みおよびベリファイ期間の終了時間点を決定する。詳しく説明すると、ビット線電圧に基づいて基準電流を生成し、検出電流を用いて基準電流と比較する。検出電流の電流レベルが基準電流の電流レベルに達した時、書き込みおよびベリファイ期間の終了時間点を決定することができ、書き込みおよびベリファイ操作を終了することができる。

【0014】

50

例えば、選択された抵抗性メモリセルに対して設定操作を行う時、選択された抵抗性メモリのソース線にソース線電圧を印加して、ソース線電圧の電圧レベルと第1電圧レベルを等しく（第2電圧レベルよりも低く）することができる。書き込みおよびベリファイ期間の間、ビット線電圧は、第1電圧レベルから第2電圧レベルに増加し、基準電流は、ビット線電圧の増加に応じて増加する。また、ビット線に印加されたビット線電圧は増加し続けるため、選択された抵抗性メモリセルのビット線の電流（検出電流）もそれに伴って増加する。検出電流の電流レベルが基準電流の電流レベルよりも小さくない時は、書き込みおよびベリファイ操作を終了することを意味し、書き込みおよびベリファイ期間の終了時間点を決定することができる。

【0015】

10

別の例として、選択された抵抗性メモリセルに対してリセット操作を行う時、選択された抵抗性メモリのソース線にソース線電圧を印加して、ソース線電圧の電圧レベルと第1電圧レベルを等しく（第2電圧レベルよりも高く）する。書き込みおよびベリファイ期間の間、ビット線電圧は、第1電圧レベルから第2電圧レベルに減少し、基準電流は、ビット線電圧の増加に応じて減少する。また、ビット線に印加されたビット線電圧は減少し続けるため、選択された抵抗性メモリセルのビット線の電流（検出電流）の絶対値もそれに伴って増加する。ビット線の電流値は、負の値である。検出電流の電流レベルが基準電流の電流レベルよりも小さい時は、書き込みおよびベリファイ操作を終了することを意味し、書き込みおよびベリファイ期間の終了時間点を決定することができる。

【0016】

20

図3(a)を参照すると、図3(a)は、本発明の1つの実施形態に係るRAMの設定操作の波形図を示したものである。図3(a)において、書き込みおよびベリファイ期間TSの間、ワード線信号WLをイネーブルにする（高電圧レベルにする）。ビット線電圧VVER1の電圧レベルは、書き込みおよびベリファイ期間TSの間、連続的に増加する。さらに、基準電流CREF1は、書き込みおよびベリファイ期間TSの間、ビット線電圧VVER1の変化に応じて増加する。検出電流CBL1は、ビット線電圧VVER1の増加に応じて増加し、検出電流CBL1の上昇勾配は、基準電流CREF1の上昇勾配よりも大きい。時間点TF1において、検出電流CBL1の電流レベルは、基準電流CREF1の電流レベルに達しているため、時間点TF1は、書き込みおよびベリファイ期間TSの終了時間点である。

30

【0017】

図3(b)を参照すると、図3(b)は、本発明の1つの実施形態に係るRAMのリセット操作の波形図を示したものである。図3(b)において、書き込みおよびベリファイ期間TRの間、ワード線信号WLをイネーブルにする（高電圧レベルにする）。ビット線電圧VVER2の電圧レベルは、書き込みおよびベリファイ期間TRの間、連続的に減少する。さらに、基準電流CREF2は、書き込みおよびベリファイ期間TRの間、ビット線電圧VVER2の変化に応じて減少する。時間点TF2において、検出電流CBL2の電流レベルは、基準電流CREF2の電流レベルに達しているため、時間点TF2は、書き込みおよびベリファイ期間TSの終了時間点である。

【0018】

40

言及すべきこととして、図3(a)において、設定操作に用いる基準電流CREF1は、書き込みおよびベリファイ期間TSの間、直線的に増加する。一方、図3(b)において、リセット操作に用いる基準電流CREF2の絶対値は、書き込みおよびベリファイ期間TRの間、非直線的に増加する。

【0019】

図4を参照すると、図4は、本発明の1つの実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。書き込みおよびベリファイ回路400は、抵抗性メモリ(RAM)に適し、RAMの設定およびベリファイに使用される。書き込みおよびベリファイ回路400は、電流発生器410と、電流検出器420を含む。電流発生器410は、ビット線電圧VVERに基づいて基準電流CREFを生成し、基準電流CRE

50

Fに基づいてバイアス電圧 $V_B$ を生成する。ビット線電圧 $V_{VER}$ は、ベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に増加する。電流検出器420は、電流発生器410および選択された抵抗性メモリセル402のビット線に結合され、電流検出器420は、選択された抵抗性メモリセル402にビット線電圧 $V_{VER}$ を提供し、ビット線の検出電流 $C_{BL}$ に基づいて検出電圧 $V_{DET}$ を生成する。

#### 【0020】

詳しく説明すると、電流発生器410は、トランジスタ $P_{M1}$ と、ダミーY経路回路411と、基準抵抗 $R_{EFR}$ と、トランジスタ $N_{M1}$ および $N_{M2}$ により形成されたスイッチとを含む。トランジスタ $P_{M1}$ の第1端は、ビット線電圧 $V_{VER}$ を受信し、トランジスタ $P_{M1}$ の第2端は、トランジスタ $P_{M1}$ の制御端に結合される。ダミーY経路回路411は、トランジスタ $P_{M1}$ の第2端と基準抵抗 $R_{EFR}$ の間に結合される。基準抵抗 $R_{EFR}$ 、トランジスタ $N_{M1}$ および $N_{M2}$ は、ダミーY経路回路411とソース線電圧 $V_{SL}$ の間に直列に結合される。トランジスタ $N_{M1}$ および $N_{M2}$ は、それぞれワード線信号 $W_L$ およびイネーブル信号 $E_N$ により制御される。

10

#### 【0021】

書き込みおよびベリファイ期間の間、トランジスタ $P_{M1}$ は、トランジスタ $N_{M1}$ および $N_{M2}$ がオンになった時にビット線電圧 $V_{VER}$ を受信し、トランジスタ $P_{M1}$ は、ビット線電圧 $V_{VER}$ に基づいて基準電流 $C_{REF}$ を生成する。それに応じて、トランジスタ $P_{M1}$ は、基準電流 $C_{REF}$ に基づいてバイアス電圧 $V_B$ を生成する。基準電流 $C_{REF}$ の電流レベルは、ビット線電圧 $V_{VER}$ の電圧レベルおよび基準抵抗 $R_{EFR}$ の抵抗に基づいて決定される。本実施形態において、基準電流 $C_{REF}$ の電流レベル $= (V_{VER} - V_{th}) / R_{EFR}$ であり、 $V_{th}$ は、トランジスタ $P_{M1}$ の閾値電圧である。ダミーY経路回路411の回路構造は、選択された抵抗性メモリセル402に対応するY経路回路401と同じであってもよい。さらに、書き込みおよびベリファイ期間の間、イネーブル信号 $E_N$ をイネーブルにする(高レベルにする)。

20

#### 【0022】

電流検出器420は、トランジスタ $P_{M3}$ と、コンパレータ $C_{MP}$ と、トランジスタ $P_{M2}$ および $N_{M3}$ により形成されたスイッチとを含む。トランジスタ $P_{M2}$ 、 $P_{M3}$ および $N_{M3}$ は、ビット線電圧 $V_{VER}$ とY経路回路401の間に直列に結合される。トランジスタ $P_{M2}$ および $N_{M3}$ は、検出出力信号 $D_{ETO}$ によって制御され、電源をオンまたはオフにする。トランジスタ $P_{M2}$ および $N_{M3}$ のオンまたはオフ状態は、相補的である。トランジスタ $P_{M3}$ は、バイアス電圧 $V_B$ によって制御され、トランジスタ $P_{M2}$ および $P_{M3}$ は、書き込みおよびベリファイ期間の間に経路を形成し、トランジスタ $P_{M2}$ がオンになった時に抵抗性メモリセル402に対応するY経路回路401にビット線電圧 $V_{VER}$ を伝送する。書き込みおよびベリファイ期間の間、抵抗性メモリセル402のビット線の検出電流 $C_{BL}$ を検出することができ、トランジスタ $P_{M3}$ および $N_{M3}$ が1つに結合された端部の検出電圧 $V_{DET}$ を取得することができる。コンパレータ $C_{MP}$ は、バイアス電圧 $V_B$ および検出電圧 $V_{DET}$ を受信し、バイアス電圧 $V_B$ と検出電圧 $V_{DET}$ を比較して、検出出力信号 $D_{ETO}$ を生成する。検出電流 $C_{BL}$ が基準電流 $C_{REF}$ に達した時、検出電圧 $V_{DET}$ の電圧レベルがバイアス電圧 $V_B$ の電圧レベルに達するため、書き込みおよびベリファイ期間の終了時間点を取得することができ、検出出力信号 $D_{ETO}$ が変化してトランジスタ $P_{M2}$ を遮断し、書き込みおよびベリファイ操作を終了する。

30

40

#### 【0023】

いくつかの実施形態において、イネーブル信号 $E_N$ は、検出出力信号 $D_{ETO}$ に連結されてもよい。

#### 【0024】

一方、抵抗性メモリセル402は、トランジスタ $R_1$ と、トランジスタ $T_1$ とを含む。1つの参考例として、抵抗性メモリセル402は、 $1T1R$ 抵抗性メモリセルであるが、いくつかの実施形態において、抵抗性メモリセル402は、任意の他の構造により形成されてもよい。

50

## 【 0 0 2 5 】

図5を参照すると、図5は、本発明の別の実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。書き込みおよびベリファイ回路500は、複数の抵抗性メモリセル501～503に適用される。図5において、書き込みおよびベリファイ回路500は、1つの電流発生器410と、複数の電流検出器420とを含む。電流検出器420は、それぞれ抵抗性メモリセル501～503に結合され、同時に複数の抵抗性メモリセル501～503の書き込みおよびベリファイを行う。抵抗性メモリセル501～503は、同じワード線信号WLを共有してもよい。

## 【 0 0 2 6 】

図6を参照すると、図6は、本発明の別の実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。書き込みおよびベリファイ回路600は、RRAMに適し、RRAMのリセットに使用される。書き込みおよびベリファイ回路600は、電流発生器610と、電流検出器620とを含む。電流発生器610は、ビット線電圧VVERに基づいて基準電流CREFを生成し、基準電流CREFに基づいてバイアス電圧VBを生成する。ビット線電圧VVERは、ベリファイ期間の間、第1電圧レベルから第2電圧レベルに連続的に減少する。電流検出器620は、電流発生器610および選択された抵抗性メモリセル602のビット線に結合され、電流検出器620は、選択された抵抗性メモリセル602にビット線電圧VVERを提供し、ビット線の検出電流CBLに基づいて検出電圧VDETを生成する。

## 【 0 0 2 7 】

詳しく説明すると、電流発生器610は、トランジスタNM1と、ダミーY経路回路611と、ダイオードD1と、トランジスタNM2およびPM3により形成されたスイッチとを含む。トランジスタNM1の第1端は、ビット線電圧VVERを受信し、トランジスタNM1の第2端は、コンパレータCMPに結合される。ダミーY経路回路611は、トランジスタNM1の第2端とダイオードD1の間に結合される。ダイオードD1、トランジスタNM2およびPM1は、ダミーY経路回路611とソース線電圧VSLの間に直列に結合される。トランジスタNM2およびPM1は、それぞれワード線信号WLおよびイネーブル信号ENbにより制御される。ここで、ソース線電圧VSLは、書き込みおよびベリファイ期間の初期にある。ダイオードD1は、ダミーY経路回路611とトランジスタNM2の間で逆バイアスになる。つまり、ダイオードD1のアノードは、トランジスタNM2に結合され、ダイオードD1のカソードは、ダミーY経路回路611に結合される。

## 【 0 0 2 8 】

書き込みおよびベリファイ期間の間、トランジスタNM1は、トランジスタNM2およびPM1がオンになった時にビット線電圧VVERを受信し、基準電流CREFは、ビット線電圧VVERおよびソース線電圧VSLに基づいて生成される。それに応じて、トランジスタNM1は、基準電流CREFに基づいてバイアス電圧VBを生成する。基準電流CREFの電流レベルは、ダイオードD1の電気特性に基づいて決定される。本実施形態において、基準電流CREFの電流レベル =  $I_S \times \exp(VVER / V_{th})$  であり、 $V_{th}$ は、ダイオードD1の閾値電圧であり、 $I_S$ は、ダイオードD1の飽和電流であり、 $\exp$ は、指数の演算子である。ダミーY経路回路611の回路構造は、選択された抵抗性メモリセル602に対応するY経路回路601と同じであってもよい。さらに、書き込みおよびベリファイ期間の間、イネーブル信号ENbをイネーブルにする（低レベルにする）。

## 【 0 0 2 9 】

電流検出器620は、トランジスタNM4と、コンパレータCMP1と、トランジスタNM3およびNM5により形成されたスイッチとを含む。トランジスタNM3、NM4およびNM5は、ビット線電圧VVERとY経路回路601の間に直列に結合される。トランジスタNM3およびNM5は、検出出力信号DET0によって制御され、電源をオンまたはオフにする。トランジスタNM3およびNM5のオンまたはオフ状態は、相補的であ

10

20

30

40

50

る。トランジスタNM3は、バイアス電圧VBによって制御され、トランジスタNM3およびNM4は、書き込みおよびベリファイ期間の間に経路を形成し、トランジスタNM3がオンになった時に抵抗性メモリセル602に対応するY経路回路601にビット線電圧VVERを伝送する。書き込みおよびベリファイ期間の間、抵抗性メモリセル602のビット線の検出電流CBLを検出することができ、トランジスタNM3およびNM5が1つに結合された端部の検出電圧VDETを取得することができる。コンパレータCMP1は、バイアス電圧VBおよび検出電圧VDETを受信し、バイアス電圧VBと検出電圧VDETを比較して、検出出力信号DET0を生成する。検出電流CBLが基準電流CREFに達した時、検出電圧VDETの電圧レベルがバイアス電圧VBの電圧レベルに達するため、書き込みおよびベリファイ期間の終了時間点を取得することができ、検出出力信号DET0が変化してトランジスタNM3を遮断し、書き込みおよびベリファイ操作を終了する。

10

#### 【0030】

一方、抵抗性メモリセル602は、トランジスタR2と、トランジスタT2とを含む。1つの参考例として、抵抗性メモリセル602は、1T1R抵抗性メモリセルであるが、いくつかの実施形態において、抵抗性メモリセル602は、任意の他の構造により形成されてもよい。

#### 【0031】

図7を参照すると、図7は、本発明の別の実施形態に係る書き込みおよびベリファイ回路の概略図を示したものである。図7において、各抵抗性メモリセル701~703は、1つの電流発生器610および1つの電流検出器620に対応する。電流検出器620は、それぞれ抵抗性メモリセル701~703に結合され、同時に複数の抵抗性メモリセル501~503の書き込みおよびベリファイを行い、各電流検出器620は、対応する電流発生器710に結合される。抵抗性メモリセル701~703は、同じワード線信号WLを共有してもよい。

20

#### 【0032】

以上のように、選択された抵抗性メモリセルのビット線に印加されたビット線電圧は、書き込みおよびベリファイ期間の間、連続的に変化する。ビット線の検出電流を検出することによって、書き込みおよびベリファイ期間の終了時間点を効率よく取得することができ、RRAMの書き込みおよびベリファイ操作の性能を向上させることができる。

30

#### 【0033】

以上のごとく、この発明を実施形態により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされうるものであるから、その特許権保護の範囲は、特許請求の範囲および、それと均等な領域を基準として定めなければならない。

#### 【産業上の利用可能性】

#### 【0034】

本発明は、RRAMの書き込みおよびベリファイ操作を行うための方法および回路を提供する。本発明の実施形態により、書き込みおよびベリファイ操作を時間内に終了することができ、RRAMの効率を改善することもできる。

40

#### 【符号の説明】

#### 【0035】

S210~S230 書き込みおよびベリファイ方法のステップ  
 400、500、600 書き込みおよびベリファイ回路  
 401 Y経路回路  
 402 選択された抵抗性メモリセル  
 410 電流発生器  
 411 ダミーY経路回路  
 420 電流検出器

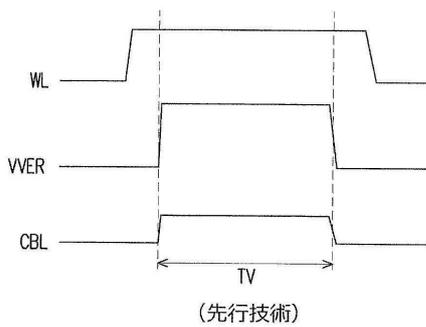
50

- 5 0 1 ~ 5 0 3 抵抗性メモリセル
- 6 0 1 Y 経路回路
- 6 0 2 選択された抵抗性メモリセル
- 6 1 0 電流発生器
- 6 1 1 ダミー Y 経路回路
- 6 2 0 電流検出器
- 7 0 1 ~ 7 0 3 抵抗性メモリセル
- C B L ビット線電流
- C B L 1、C B L 2 検出電流
- C M P、C M P 1 コンパレータ
- C R E F、C R E F 1、C R E F 2 基準電流
- D 1 ダイオード
- D E T O 検出出力信号
- E N、E N b イネーブル信号
- N M 1 ~ N W 5、P M 1 ~ P M 3、T 1、T 2 トランジスタ
- R 1 ~ R 2 抵抗
- R E F R 基準抵抗
- T F 1 ~ T F 2 終了時間点
- T R、T S、T V 書き込みおよびベリファイ期間
- V B バイアス電圧
- V D E T 検出電圧
- V S L ソース線電圧
- V V E R、V V E R 1、V V E R 2 ビット線電圧
- W L ワード線信号

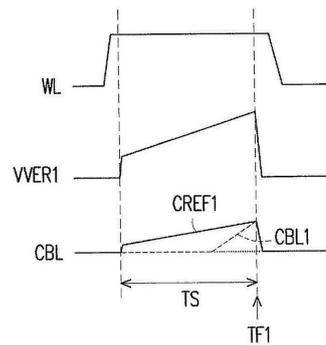
10

20

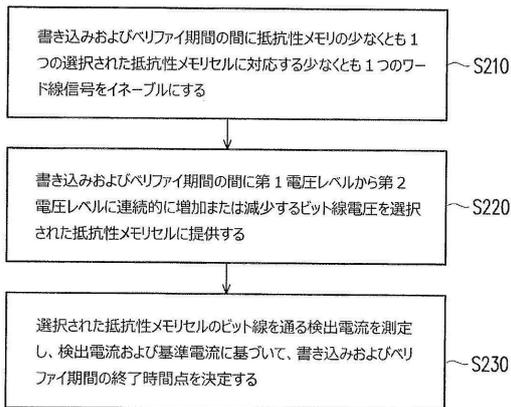
【 図 1 】



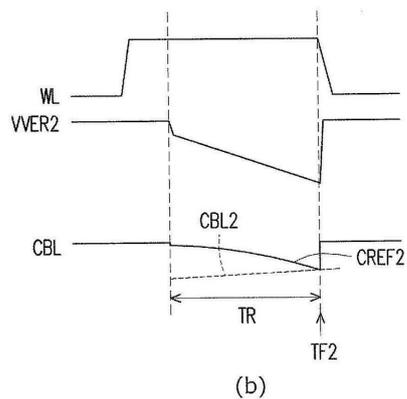
【 図 3 】



【 図 2 】

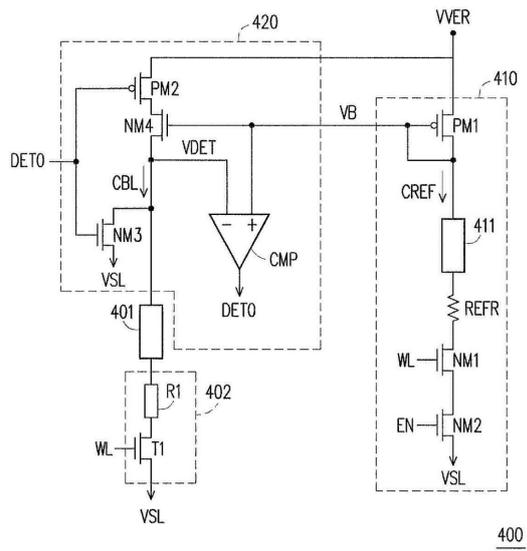


(a)

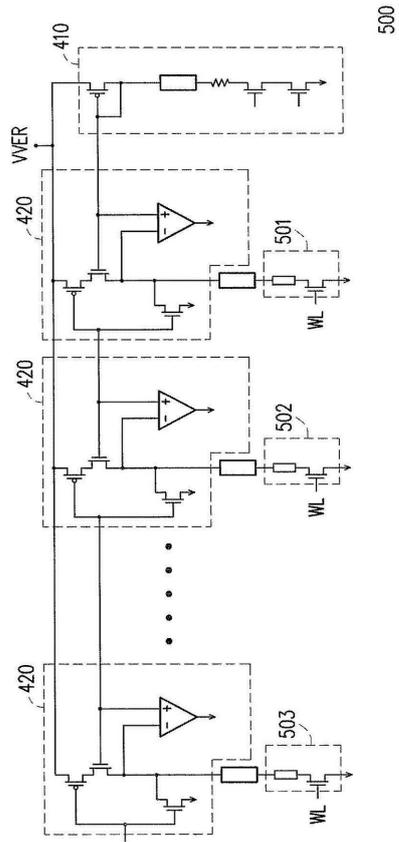


(b)

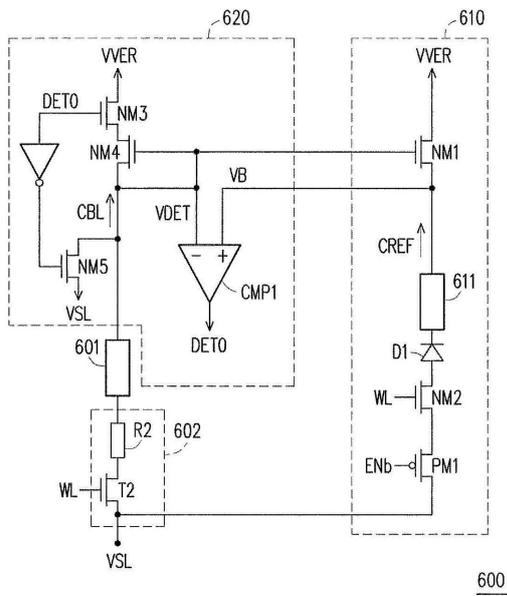
【 図 4 】



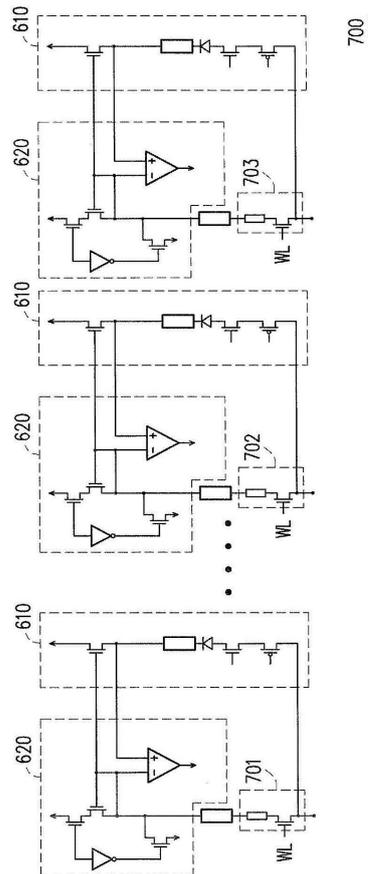
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(72)発明者 黄 科穎

アメリカ合衆国 カリフォルニア州 95129 サン ノゼ プレントウッド ドライヴ 95  
4

審査官 塚田 肇

(56)参考文献 米国特許出願公開第2008/0151601 (US, A1)

特表2014-508369 (JP, A)

特表2013-537678 (JP, A)

特開2004-234707 (JP, A)

米国特許出願公開第2004/0160798 (US, A1)

国際公開第2007/063655 (WO, A1)

特表2011-526401 (JP, A)

特開2012-169011 (JP, A)

特開2012-27997 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00