



# (12)发明专利

(10)授权公告号 CN 105019019 B

(45)授权公告日 2019.04.19

(21)申请号 201510212599.X

(22)申请日 2015.04.29

(65)同一申请的已公布的文献号  
申请公布号 CN 105019019 A

(43)申请公布日 2015.11.04

(30)优先权数据  
61/986,850 2014.04.30 US

(73)专利权人 应用材料公司  
地址 美国加利福尼亚州

(72)发明人 戴维·汤普森  
杰西卡·塞万尼·卡钦安  
马克·莎莉 马蒂亚斯·鲍尔  
布赖恩·安德伍德 舒伯特·楚

(74)专利代理机构 北京律诚同业知识产权代理  
有限公司 11006  
代理人 徐金国 赵静

(51)Int.Cl.  
H01L 21/02(2006.01)

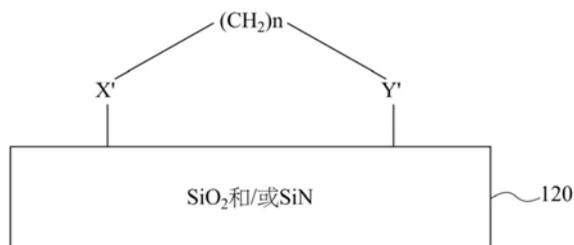
(56)对比文件  
CN 1860251 A,2006.11.08,  
CN 101287777 A,2008.10.15,  
CN 103205806 A,2013.07.17,  
CN 101689549 A,2010.03.31,  
CN 101836295 A,2010.09.15,  
CN 1979773 A,2007.06.13,  
JP H0920980 A,1997.01.21,  
Suh D,et al..Electrical properties of  
atomic layer deposited Al2O3 with anneal  
temperature for surface passivation.《Thin  
Solid Films》.2013,309-316.

审查员 游巧

权利要求书2页 说明书8页 附图4页

(54)发明名称  
用于选择性外延硅沟槽填充的方法

(57)摘要  
提供了在相对于电介质表面的基板表面上  
选择性地形成外延膜的方法。预处理所述基板表  
面以形成差异化的靶表面封端,所述差异化的靶  
表面封端可进一步反应以产生一个或更多个保  
护基。所述保护基抑制随后的所述外延膜在所述  
受保护表面上的生长。



1. 一种用于选择性外延硅沟槽填充的方法,包括:

将具有至少一个半导体表面和至少一个电介质表面的基板暴露于表面预处理,以形成差异化的靶表面封端,以使所述至少一个半导体表面的所述表面封端不同于所述至少一个电介质表面的所述表面封端;

使所述差异化的靶表面封端暴露于选择性地与所述至少一个电介质表面的所述表面封端反应的化合物,以产生用一个或多个化学保护基团封端的电介质表面;和

在所述至少一个半导体表面上选择性地外延生长一个层。

2. 如权利要求1所述的方法,进一步包括:在选择性地形成所述外延层之前对所述基板进行退火。

3. 如权利要求1所述的方法,其中所述半导体表面包括硅。

4. 如权利要求1所述的方法,其中所述表面预处理包括将所述表面暴露于第一预处理和不同于所述第一预处理的第二预处理,以形成所述差异化的靶表面封端。

5. 如权利要求4所述的方法,其中所述第二预处理不会实质上改变由所述第一预处理产生的靶表面封端。

6. 如权利要求1所述的方法,其中所述半导体表面包括含硅材料。

7. 如权利要求1所述的方法,其中所述电介质表面选自自由以下物质组成的组:SiO<sub>2</sub>、SiN、SiCN、SiCNO、SiBN、SiBCN、BN、SiBCNO、SiNO和它们的组合。

8. 如权利要求1所述的方法,其中在所述至少一个半导体表面上选择性地外延生长一个层进一步包括在外延期间提供蚀刻气体。

9. 如权利要求1所述的方法,其中所述基板进一步包括不同于所述电介质表面的至少一个第二电介质表面。

10. 如权利要求9所述的方法,其中所述表面预处理在相对于所述至少一个半导体表面的所述至少一个第二电介质表面上形成差异化的靶表面。

11. 如权利要求9所述的方法,其中所述表面预处理进一步包括将所述基板暴露于不同于所述表面预处理的第二表面预处理。

12. 如权利要求11所述的方法,其中暴露于所述表面预处理和所述第二表面预处理实质上同时发生。

13. 如权利要求1所述的方法,其中将所述外延层沉积至阈值厚度,在所述阈值厚度处失去选择性。

14. 如权利要求1所述的方法,其中所述外延层实质上仅在所述半导体表面上生长。

15. 一种用于选择性外延硅沟槽填充的方法,包括:

将具有至少一个含硅半导体表面和至少一个电介质表面的基板暴露于表面预处理以形成差异化的靶表面封端,以使所述至少一个含硅半导体表面的所述表面封端不同于所述至少一个电介质表面的所述表面封端;

将所述差异化的靶表面封端暴露于选择性地与所述至少一个电介质表面的所述表面封端反应的化合物,以产生用一个或多个化学保护基团封端的电介质表面;和

实质上仅在所述至少一个含硅半导体表面上选择性地外延生长一个层。

16. 如权利要求15所述的方法,进一步包括:在选择性地形成所述外延层之前对所述基板进行退火。

17. 如权利要求15所述的方法,其中所述电介质表面选自由以下物质组成的组:SiO<sub>2</sub>、SiN、SiCN、SiCNO、SiBN、SiBCN、BN、SiBCNO、SiNO和它们的组合。

18. 如权利要求15所述的方法,其中所述表面预处理包括将所述表面暴露于第一预处理和不同于所述第一预处理的第二预处理,以形成所述差异化的靶表面封端。

19. 一种用于选择性外延硅沟槽填充的方法,包括:

将基板放置在处理腔室中,所述基板上具有至少一个含硅半导体表面和至少一个电介质表面,所述基板包括形成在所述至少一个电介质表面中的沟槽,所述沟槽具有在所述电介质表面中的侧壁并且暴露所述含硅半导体表面的顶表面,所述电介质表面选自由以下物质组成的组:SiO<sub>2</sub>、SiN、SiCN、SiCNO、SiBN、SiBCN、BN、SiBCNO、SiNO和它们的组合;

将所述基板暴露于至少一个表面预处理以形成差异化的靶表面封端,以使所述至少一个含硅半导体表面的所述表面封端不同于所述至少一个电介质表面的所述表面封端;

将所述差异化的靶表面封端暴露于实质上仅选择性地与所述至少一个电介质表面的所述表面封端反应的化合物,以产生用一个或多个化学保护基团封端的电介质表面;

可选地,对所述基板进行退火;和

实质上仅在所述至少一个含硅半导体表面上选择性地外延生长一个层至阈值厚度,在所述阈值厚度处失去选择性。

## 用于选择性外延硅沟槽填充的方法

### 技术领域

[0001] 本公开内容的实施方式大体涉及处理基板的方法。更具体地,本公开内容的实施方式涉及在沟槽的底部上沉积外延膜同时抑制所述膜在沟槽侧壁上生长的方法。

### 背景技术

[0002] 在半导体装置形成期间,外延膜可以形成在电介质材料中产生的沟槽的底部处。在所述外延膜生长期间,所述膜的一部分生长于沟槽侧壁上。沟槽侧壁上的这种膜生长可导致最终装置中的缺陷。

[0003] 因此,在本领域中持续需要用于抑制外延膜在沟槽侧壁上生长的方法。

### 发明内容

[0004] 本公开内容的实施方式涉及处理方法,所述处理方法包括:将具有至少一个半导体表面和至少一个电介质表面的基板暴露于表面预处理,从而在所有表面上形成差异化的靶表面封端(surface termination)。将所述差异化的靶表面封端暴露于选择性地与至少一个电介质表面反应的化合物,从而产生用一个或多个化学保护基团封端的电介质表面。一个层选择性地外延生长于至少一个半导体表面上。

[0005] 本公开内容另外的实施方式涉及处理方法,所述处理方法包括:将具有至少一个含硅半导体表面和至少一个电介质表面的基板暴露于表面预处理,从而在所有表面上形成差异化的靶表面封端。将所述差异化的靶表面封端暴露于实质上仅选择性地与至少一个电介质表面反应的化合物,从而产生用一个或多个化学保护基团封端的电介质表面。一个层实质上仅选择性地外延生长于至少一个含硅半导体表面上。

[0006] 本公开内容进一步的实施方式涉及处理方法,所述处理方法包括将基板放置在处理腔室中。所述基板上具有至少一个含硅半导体表面和至少一个电介质表面。所述基板包括形成在至少一个电介质表面中的沟槽,所述沟槽具有在所述电介质表面中的侧壁并且暴露所述含硅半导体表面的顶表面。所述电介质表面选自以下物质组成的组:SiO<sub>2</sub>、SiN、SiCN、SiCNO、SiBN、SiBCN、BN、SiBCNO、SiNO及它们的组合。将所述基板暴露于至少一个表面预处理以形成差异化的靶表面封端,以使所述至少一个含硅半导体表面的表面封端不同于所述至少一个电介质表面的表面封端。将所述差异化的靶表面封端暴露于实质上仅选择性地与至少一个电介质表面反应的化合物,从而产生用一个或多个化学保护基团封端的电介质表面。可选地对所述基板进行退火。一个层实质上仅在所述至少一个含硅半导体表面上选择性地外延生长到阈值厚度,在所述阈值厚度处失去选择性。

### 附图说明

[0007] 可参照实施方式(其中一些实施方式描绘于附图中)来详细地理解本发明的上述特征结构以及上文简要概述的本公开内容的更具体描述。然而,应注意,附图仅图解本发明的典型实施方式,且因此不应被视为对本发明范围的限制,因为本发明可允许其他等效的

实施方式。

[0008] 图1A到图1D示出根据本公开内容的一个或多个实施方式在电介质上具受抑制的生长的外延工艺的示意图；

[0009] 图2A到图2C示出根据本公开内容的一个或多个实施方式在电介质上具受抑制的生长的外延工艺的示意图；和

[0010] 图3示出根据本公开内容的一个或多个实施方式具有烷基间隔基(spacer)的双官能团前驱物。

### 具体实施方式

[0011] 本公开内容的实施方式提供用于抑制外延膜在沟槽侧壁上生长的方法。

[0012] 如在本说明书和所附权利要求书中所使用的,术语“基板”和“晶片”可互换使用,这两个术语都指代在其上执行工艺的表面或表面的一部分。本领域技术人员还将理解的是,除非上下文另外清楚地指明,否则对基板的提及还可指代基板的仅一部分。

[0013] 参照图1A,本公开内容的广义方面涉及处理方法。处于图1A的情形下的基板10具有至少一个半导体表面20和至少一个电介质表面30。所述电介质表面30被示出为半导体表面20顶部上的膜。所述电介质表面30具有顶部31和侧壁32,但是应理解的是,可存在一个以上侧壁。所述半导体表面20例如可以是硅晶片,或者可以是沉积到基板表面上的半导体材料。

[0014] 将基板10暴露于表面预处理,因此所述半导体表面20和电介质表面30被暴露于表面预处理。所述预处理可为以HF为最后步骤(HF-last)或类似的工艺,以便确保将所述电介质表面30的顶表面31和侧壁32实质上均匀地封端。如在本说明书和所附权利要求书中所使用的,术语“实质上均匀地封端”意指至少约50%、60%、70%、80%、90%或者95%的表面是用所述物种封端的。图1B示出用羟基封端的电介质表面30,但是应理解的是能够使用其他封端基团(例如,胺类)。封端基团的类型取决于多种因素,包括但不限于电介质表面的组成。

[0015] 将至少一个半导体表面和至少一个电介质表面暴露于表面预处理以形成差异化的靶表面封端。如在本说明书和所附权利要求书中所使用的,术语“差异化的靶表面封端”和类似术语意指不同表面上的封端基团是不同的,从而例如电介质表面上的封端不同于半导体表面上的封端。例如,在预处理之后,至少一个半导体表面的表面封端不同于至少一个电介质表面的表面封端。

[0016] 表面预处理可为有利于产生差异化的表面封端的化学物种和反应条件的组合。例如,n-烷基三乙氧基硅烷可用于处理电介质表面但不会实质上影响半导体表面。如在本说明书和所附权利要求书中所使用的,在该上下文中使用的术语“实质上影响”意指小于50%、40%、30%、20%、15%、10%、5%、2%或者1%的表面封端与预处理物种反应。

[0017] 随后可将差异化靶表面封端的电介质表面33暴露于与电介质表面33反应的化合物,从而产生带有一个或多个化学保护基团的电介质表面34,如在图1C中所示。官能化的电介质表面34被示出为具有FUNC封端,所述FUNC封端代表化学保护基团。如本领域技术人员将理解的,这个封端仅仅为一些官能团或者保护基的一般表示,并不意味着任何特定的化学物种。

[0018] 在一些实施方式中,表面预处理包括将所述表面暴露于第一预处理和不同于所述第一预处理的第二预处理。第一预处理和第二预处理可形成相同或者不同的表面封端。在一些实施方式中,所述第一预处理和第二预处理形成不同的靶表面封端。在一个或更多个实施方式中,所述第二预处理不会实质上改变由第一预处理产生的靶表面封端。如在本说明书和所附权利要求书中所使用的,在这方面使用的术语“实质上改变”意指存在对由第一预处理形成的靶表面封端小于约20原子%的改变。

[0019] 一旦已经保护好电介质表面34,所述电介质表面34就是对随后的外延工艺不太有利的基板。外延层40选择性地生长、沉积或者形成于所述半导体表面上。如在本说明书和所附权利要求书中所使用的,在该上下文中使用的术语“选择性地”意指一个表面比一个不同的表面更优选地发生表面反应。选择性外延并非意指在电介质表面上没有形成外延,而是意指外延量实质上小于在不官能化所述电介质表面的情况下本应已经形成的外延量。

[0020] 在一些实施方式中,在至少一个半导体表面上选择性地外延生长一个层可包括在外延期间提供蚀刻气体。蚀刻气体的引入仅为一种可能并且不应被视为限制本公开内容的范围。

[0021] 在一个或更多个实施方式中,将所述外延层沉积至阈值厚度,在所述阈值厚度处失去选择性。所述外延层可选择性地生长到至少约0.5nm、或者约1nm、或者约1.5nm、或者约2nm的厚度。

[0022] 在一些实施方式中,所述外延层实质上仅在半导体表面上生长。如在本说明书和所附权利要求书中所使用的,以这种方式使用的术语“实质上仅”意指小于约20%面积的电介质表面表现出生长。

[0023] 在一些实施方式中,在选择性地形成所述外延层之前,对差异化靶表面封端的电介质表面或者受保护表面中的一个或更多个表面进行退火。对所述表面退火可有助于提供更均匀的表面物种分布,并且可有助于提高外延工艺的选择性。在一些实施方式中,退火不会提供任何改善,或者仅提供极小的改善。

[0024] 在一些实施方式中,还用半导体预处理来处理所述半导体表面。半导体预处理的使用可有助于提高半导体表面上封端的均匀性。这种预处理可与电介质表面预处理分开进行,或者与电介质表面预处理同时进行。另外,用于半导体表面预处理的化学物种可与用于电介质表面预处理的化学物种相同或不同。

[0025] 在一个或更多个实施方式中,所述半导体表面包括含硅材料。如在这方面所使用的,术语“含硅材料”是指按原子计包括至少约50%的硅的材料。

[0026] 在一些实施方式中,基板进一步包括至少一个不同于所述电介质表面的第二电介质表面。这种情况示出于图2中并且在下文更详细地描述。所述第二电介质表面还可暴露于第二表面预处理,以形成第二差异化靶表面封端的材料。所述表面预处理与所述第二表面预处理可以是相同或者不同的。当所述表面预处理与所述第二表面预处理不同时,根据例如所使用的具体化学物种的性质,暴露于预处理可实质上同时发生或者单独地发生。在一些实施方式中,表面预处理在相对于至少一个半导体表面的至少一个第二电介质表面上形成差异化靶表面。在一个或更多个实施方式中,所述表面预处理进一步包括将所述基板暴露于不同于所述表面预处理的第二表面预处理。第二表面预处理的使用增加了处理的复杂性和时间,并且所述第二表面预处理通常仅当此类处理的化学益处是为了在所有表面上形

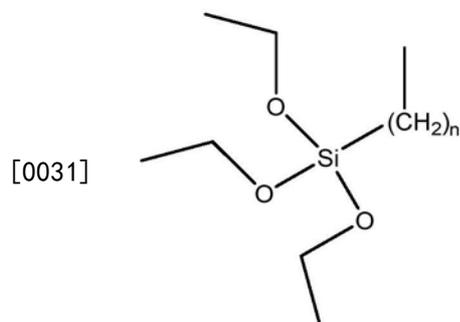
成差异化靶表面封端的情况下有用。在一些实施方式中,所述表面预处理和所述第二表面预处理是不同的,并且同时被暴露于所述基板。

[0027] 如图2所示,本公开内容另外的实施方式呈现为对各个表面和所使用的材料的更详细辨识。所描述的表面材料和各个化学物种仅为示例性的,并且不应被视作对本发明范围的限制。用于进一步描述的表面示出于图2A中并且包括硅基板120,所述硅基板120具有含硅半导体表面130(例如,氧化硅层)和至少一个电介质层140(例如,氮化硅层)。沟槽150已经切入氧化硅层和氮化硅层中,从而暴露所述硅基板120的顶表面121,以及在所述沟槽150的任一侧上的氧化硅侧壁131和氮化硅侧壁141。因此,本公开内容的一个或更多个实施方式有助于确保外延膜形成在热力学上更可能在硅基板120的表面121上发生,而非在所述沟槽150的任一侧壁上发生。

[0028] 根据本公开内容的一个或更多个实施方式,所述处理方法的第一部分确保已经将 $\text{SiO}_2/\text{Si}$ 晶片暴露于一些类型的预处理工艺(也称为最后步骤为HF的工艺)。所述预处理工艺暴露有助于确保所述硅表面是用例如氢封端的,并且所述氧化硅表面是用例如足够的羟基密度封端的,并且所述氮化物表面是用例如足够的 $\text{NH}_x$ 基团密度封端的。这种封端在图2B中示出。

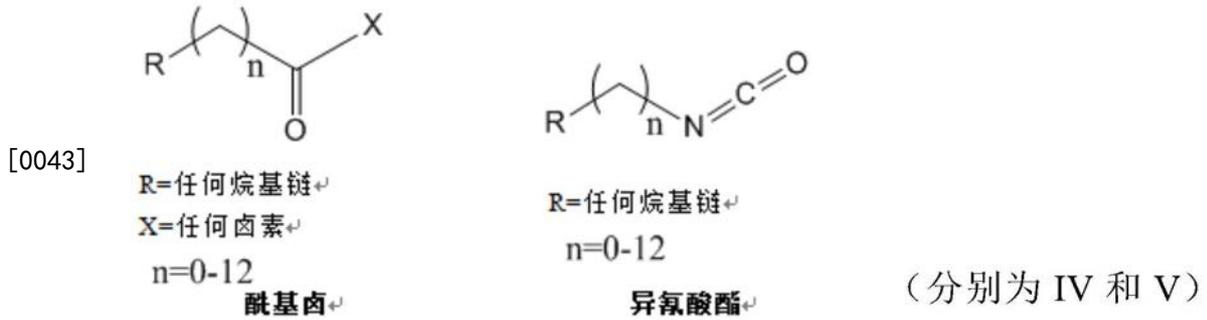
[0029] 电介质表面的适当实例包括但不限于氧化硅( $\text{SiO}_2$ )、氮化硅( $\text{Si}_3\text{N}_4$ )、碳氮化硅( $\text{SiCN}$ )、氧碳氮化硅( $\text{SiCNO}$ )、硼氮化硅( $\text{Si}_3\text{BN}$ )、硼碳氮化硅( $\text{SiBCN}$ )、氮化硼( $\text{BN}$ )、氧硼碳氮化硅( $\text{SiBCNO}$ )、氮氧化硅( $\text{SiON}$ )和/或它们的组合。在一些实施方式中,所述电介质表面选自由以下物质组成的组: $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiCN}$ 、 $\text{SiCNO}$ 、 $\text{Si}_3\text{BN}$ 、 $\text{SiBCN}$ 、 $\text{BN}$ 、 $\text{SiBCNO}$ 、 $\text{SiON}$ 和它们的组合。如本领域技术人员所将理解的,所述化学式并非意图为化学计量的,而是代表原子组成。

[0030] 所描述的前驱物类别可用于抑制在例如以OH封端的表面、用 $\text{NH}_x$ 封端的表面或者所述两者上的生长。在一些实施方式中, $n$ -烷基三乙氧基硅烷(I)可用于抑制以OH封端的表面上的Si外延沉积。例如, $n$ -丙基三乙氧基硅烷(液体,在室温下具有2.14托的蒸气压)将与 $\text{SiO}_2$ 上的表面羟基反应(经由硅烷化反应),从而形成Si-O键,除去乙醇,并用正丙基部分官能化所述表面。图2C示出沉积在沟槽150底部上的外延膜,所述外延膜在沟槽侧壁上具有受抑制的沉积。所述侧壁以-FUNC示出,-FUNC代表官能化的表面或受保护的表面,但并不是指特定的化学物种。例如,用烷基(在这里是正丙基)保护所述表面能够抑制Si外延沉积。

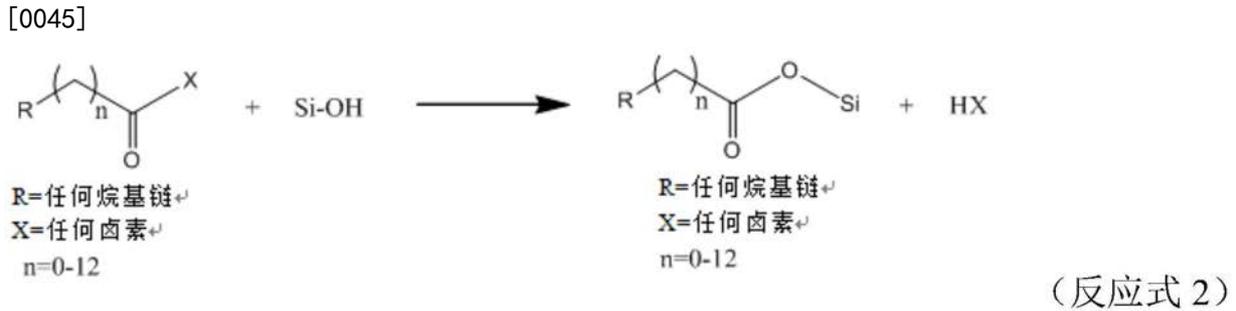


[0032] 在一些实施方式中, $n$ -烷基三氯硅烷(II)得出与 $n$ -烷基三乙氧基硅烷(I)相同的下一产物。然而,前者的使用会导致在与羟基封端的 $\text{SiO}_2$ 反应时HCl(代替乙醇)的除去。





[0044] 不局限于任何具体操作理论,相信酰基卤可以与任何表面羟基反应,如反应式2所示。

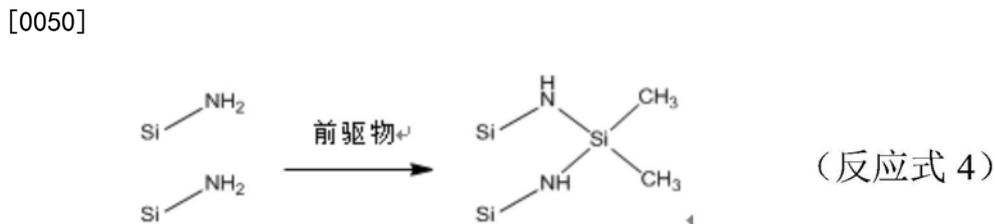
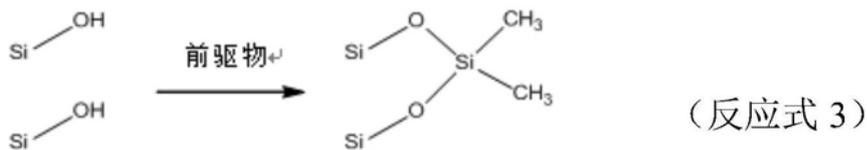


[0046] 异氰酸酯可以与反应式1中所描述的类似方式反应,区别为作为官能团传递到表面上的分子将为有机分子。

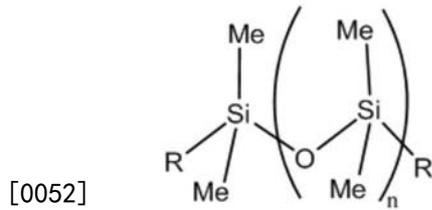
[0047] 二烷基硅前驱物 (VI) 也可用于选择性地在Si-OH封端材料或者Si-NH<sub>2</sub>基团上生长。



[0049] 这些表面与这些前驱物在<400℃的温度下的反应可产生Si-O-Si (Me)<sub>2</sub>-O-Si或Si-NH (Si)-Si (Me)<sub>2</sub>-NH (Si)-Si作为侧壁的边缘。这种反应在以下反应式3和4中示出。



[0051] 在两个Si (CH<sub>3</sub>)<sub>2</sub>材料之间还可以使用较长的链,诸如:



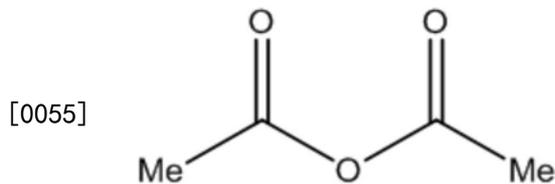
$n=1$  至  $10$ 。

$R=Cl$ 、 $Br$ 、 $OMe$ 、 $N-C=C-N$  (成环的)、 $N(CH_2)_y$ 、 $NMe_2$ 。

(VII)

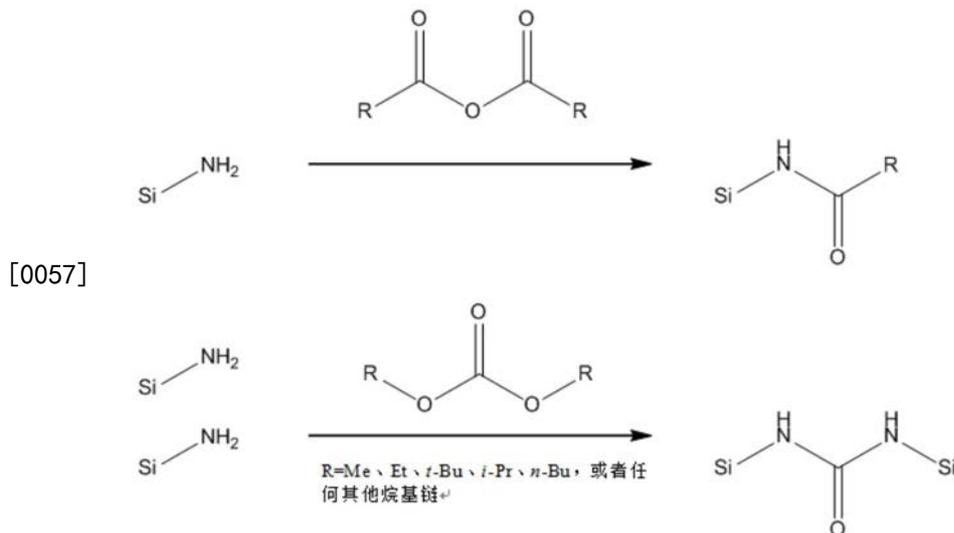
[0053] 此外,不局限于任何具体操作理论,相信这种材料可允许远端的Si-OH或者Si-NH反应并形成环链(linked chain)。这种材料可使侧壁的长链钝化并且不干扰外延膜的生长。在这些硅原子上除了甲基之外,可以使用较长碳链材料,只要所述外延工艺的热预算(thermal budget)不会导致显著的分解即可。

[0054] 对于Si-NH<sub>2</sub>封端的表面,可使用如物种VIII的酞类。



(VIII)

[0056] 这种材料可允许酰胺键合反应,从而去除醋酸并且保护氮化物表面不发生进一步反应。还可使用如下所示的有机碳酸酯。



[0058] 此外,可以使用由烷基间隔基分隔的X和Y反应性部分组成的双官能团前驱物(物种IX)来提供分子封端(molecular capping),其中X和Y部分两者分别与OH-和/或NH<sub>x</sub>官能团反应以产生X'和Y'键合(linkage)。X和Y可以是上文讨论的官能团中的任意一者,并且烷基间隔基的长度n能够(基于反应性部位的密度)改变以实现理想封端。



[0060] 具有可变长度的烷基间隔基的双官能团前驱物在图3中示出。

[0061] 在一些实施方式中,在沉积工艺期间,对绝缘体/电介质的钝化可发生在许多时刻处。在一些实施方式中,官能化(也称为钝化或保护)可发生在外延沉积之前。在一些实施方式,官能化是在外延沉积期间连续进行的。在一些实施方式中,官能化是在短的沉积循环之前进行的,从而周期性地更新(refresh)表面钝化。

[0062] 在一些实施方式中,用含氯原子预涂层SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>表面/将SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>表面暴露于含氯原子可为有益的。合适的含氯化合物包括但不限于: HCl、Cl<sub>2</sub>、Si<sub>2</sub>Cl<sub>6</sub>、CH<sub>3</sub>SiCl<sub>3</sub>、CH<sub>3</sub>SiCl<sub>2</sub>H、(CH<sub>3</sub>)<sub>2</sub>SiCl<sub>2</sub>、(CH<sub>3</sub>)<sub>3</sub>SiCl、GeCl<sub>4</sub>、BCl<sub>3</sub>、PCl<sub>3</sub>/PCl<sub>5</sub>或它们的组合。

[0063] 另外,在一些实施方式中,保持沉积温度足够低可产生非晶膜的核化,而非在绝缘体上的多晶膜。在非常小和不稳定的核生长成更稳定的多聚颗粒之前,对所述核周期性地进一步(选择性的)蚀刻可防止这种核化。保持温度足够低以防止失去选择性可包括在分批炉(batch furnace)中并行处理多个晶片(50-100pcs)。在一些实施方式中,将新制的和富含硅的氮化物暴露于空气(O<sub>2</sub>)以允许对悬挂(dangling) Si键进行氧化,从而防止在那些部位上发生沉积(失去选择性)。

[0064] 尽管上述内容是针对本发明的实施方式,但可在不背离本公开内容的基本范围的情况下设计本公开内容的其他和进一步的实施方式,且本发明的范围是由以下权利要求书来确定的。

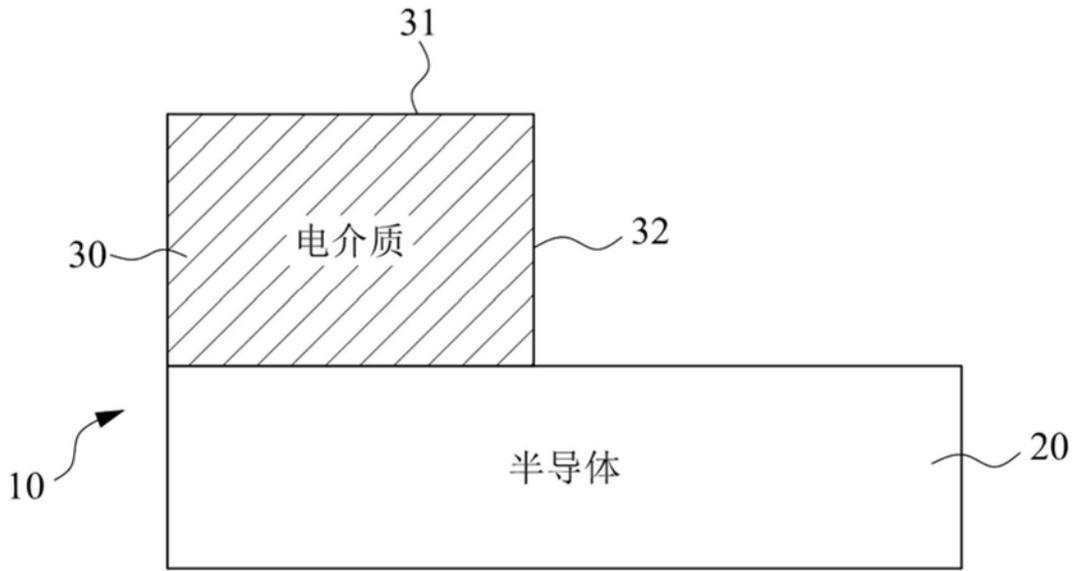


图1A

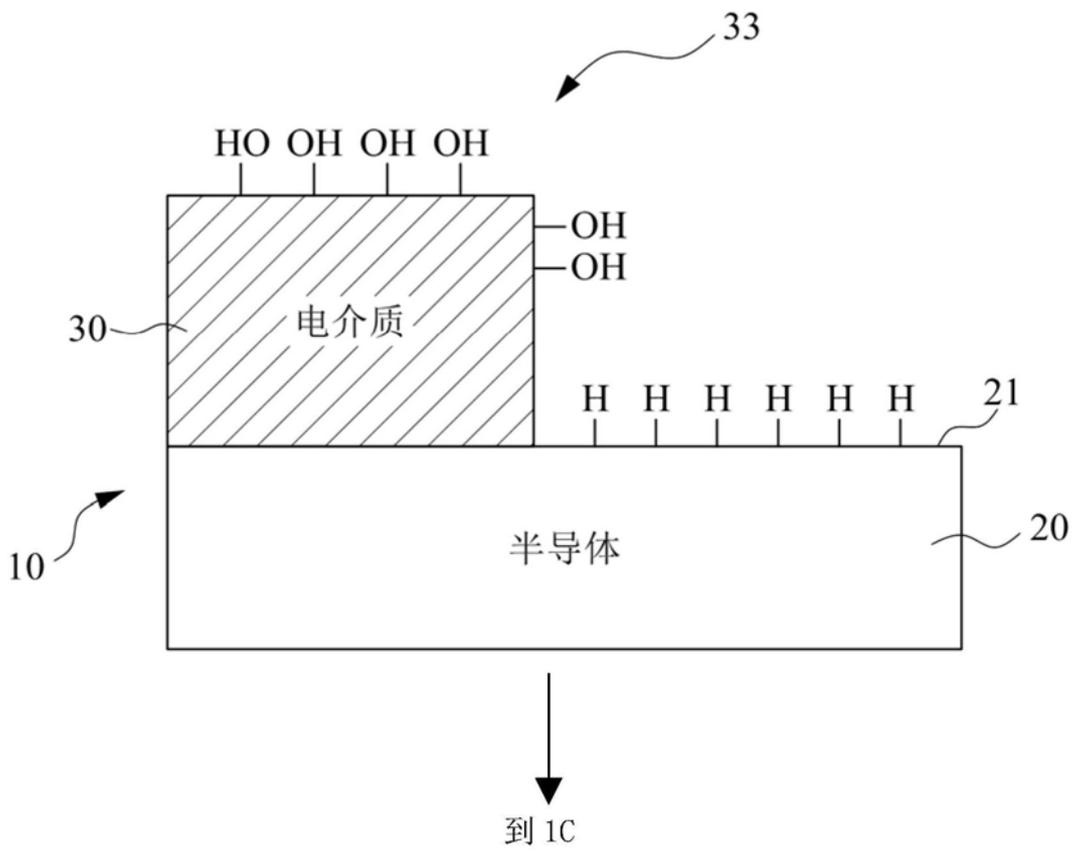


图1B

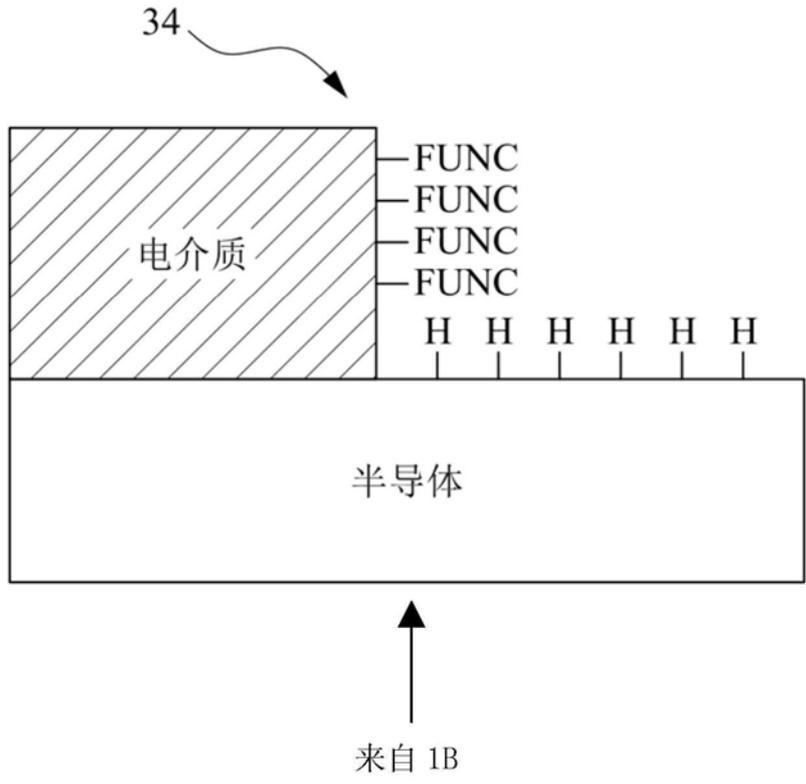


图1C

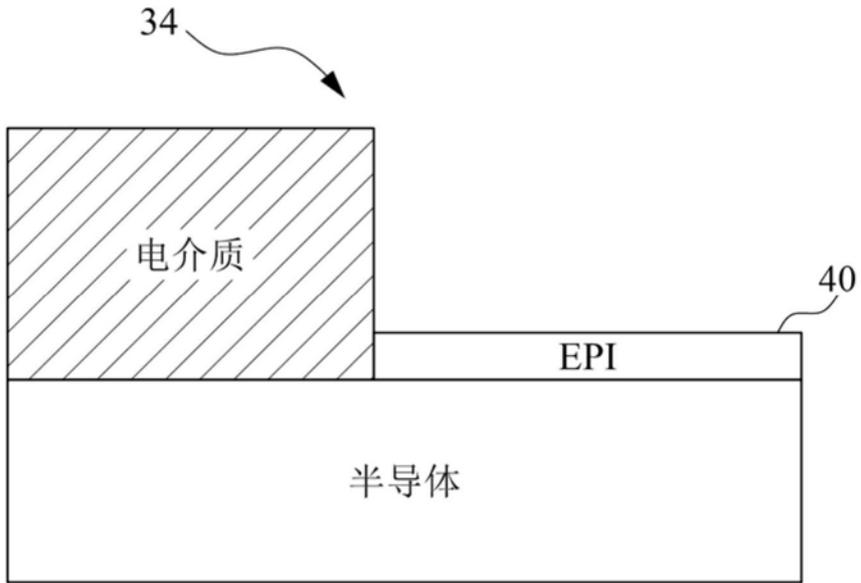


图1D

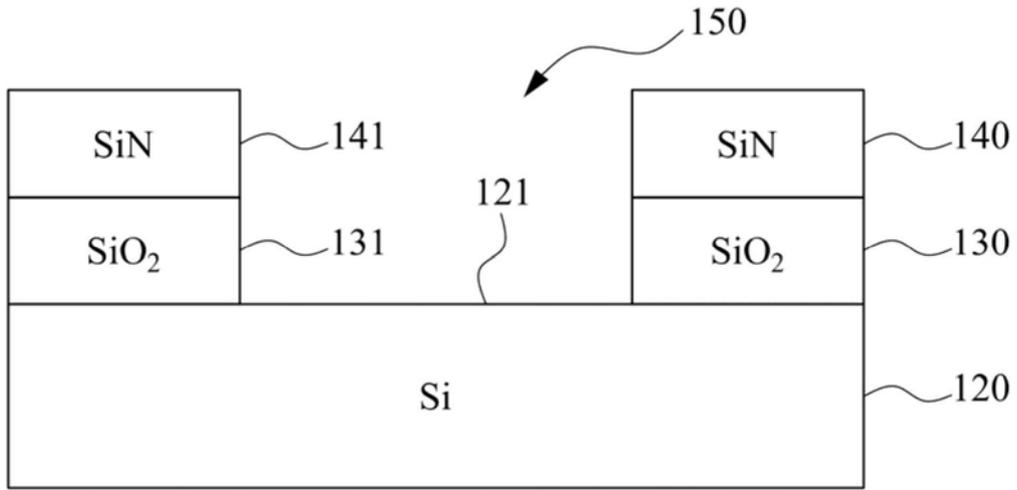


图2A

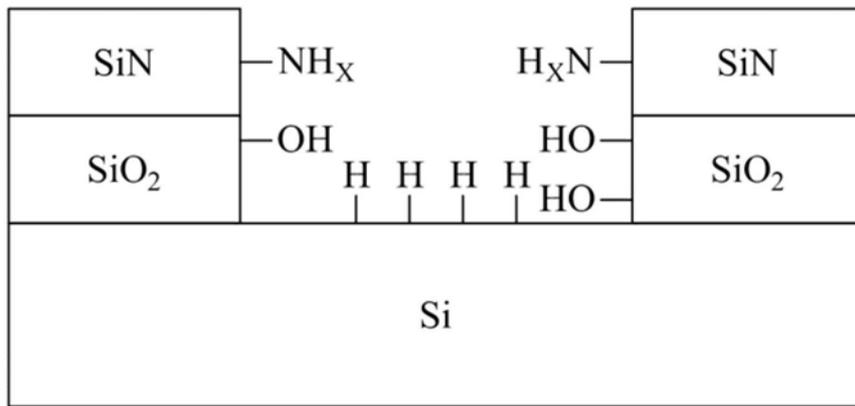


图2B

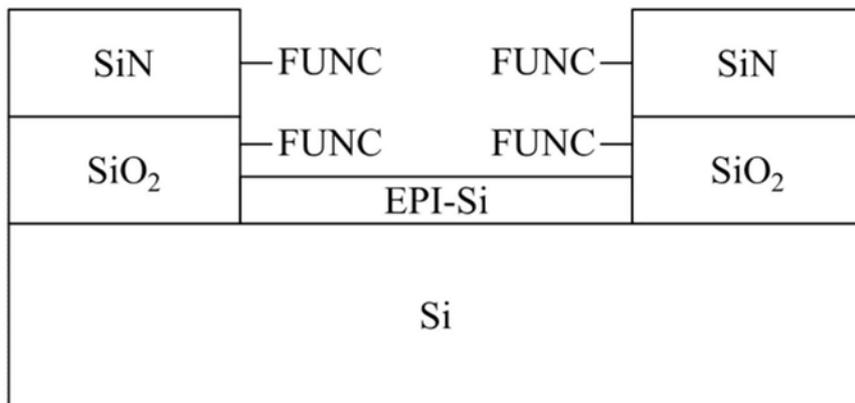


图2C

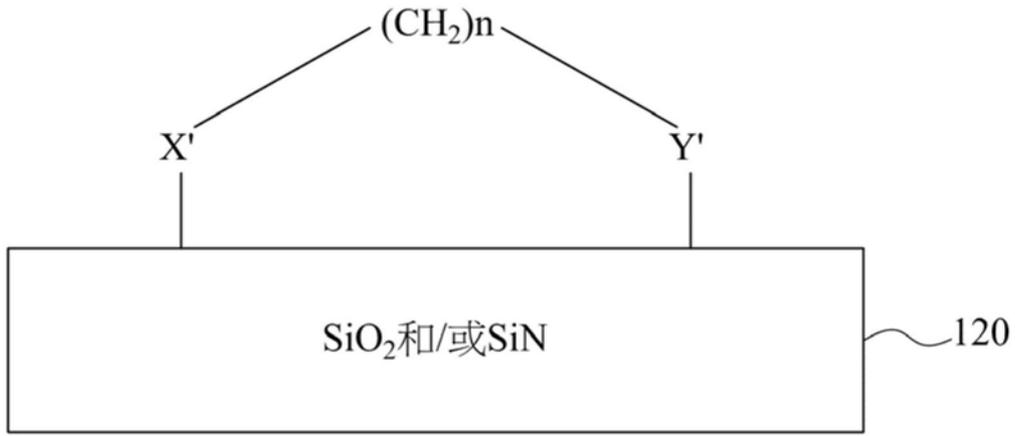


图3