

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/336	(11) 공개번호 (43) 공개일자	특 1998-060870 1998년 10월 07일
(21) 출원번호	특 1996-080237	
(22) 출원일자	1996년 12월 31일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 김대영	
(74) 대리인	경기도 이천시 대월면 사동리 현대전자 아파트 106-503 이권희, 이정훈	

심사청구 : 있음

(54) 반도체 소자의 듀얼 게이트전극 형성방법

요약

본 발명은 반도체 소자의 듀얼 게이트전극 형성방법에 관한 것으로, 반도체 기판 상부에 게이트절연막을 형성하고 상기 게이트절연막 상부에 게이트용 폴리실리콘을 형성한 다음, 상기 게이트용 폴리실리콘 상부에 절연막을 형성하고 상기 절연막의 일정부분을 식각하고 N형 불순물을 상기 폴리실리콘에 이온 주입하여 N형 불순물 영역을 형성한 다음, 상기 N형 불순물 영역이 형성된 폴리실리콘 상부에 선택적 성장 텅스텐을 형성하고 상기 절연막을 제거한 다음, 상기 선택적 성장 텅스텐을 장벽으로 하여 상기 폴리실리콘에 P형 불순물을 이온 주입하여 P형 불순물 영역을 형성하고 상기 반도체 기판의 전체표면 상부에 텅스텐막을 형성하여, 한번의 마스크공정으로 공정을 단순화시키고 텅스텐막을 사용하여 소자의 두께를 감소시키는 동시에 게이트전극의 면저항을 감소시켜 반도체 소자의 수율 및 생산성을 향상시키며 반도체 소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체 소자의 고집적화를 가능하게 하는 기술이다.

대표도

도 1e

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 실시예에 따른 반도체 소자의 듀얼 게이트전극 형성방법을 도시한 단면도.

도면의 주요부분에 대한 부호의 설명

- 1 : 반도체 기판2 : 게이트절연막
- 3 : 폴리실리콘4 : 산화막
- 5 : N형 불순물 영역6 : 선택적 성장 텅스텐
- 7 : P형 불순물 영역8 : 텅스텐막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 듀얼 게이트전극 형성방법에 관한 것으로, 특히 반도체 소자의 제조공정에서 워드라인을 형성하는 방법에서 워드라인이 폴리실리콘과 텅스텐 실리사이드로 구성되는 공정에서 폴리실리콘이 서로 다른 불순물을 함유하는 공정에 사용되는 기술에 관한 것이다.

종래에는 듀얼 폴리게이트에 형성하기 위해서 폴리실리콘을 증착하고, 마스크를 사용하여 각각 N형과 P형의 불순물을 주입한 다음, 텅스텐 실리사이드를 증착하여 듀얼 폴리게이트 전극을 형성하였다.

그래서, 종래 기술에 따른 반도체 소자의 듀얼 게이트전극 형성방법은 두번의 마스크공정을 필요로 하여 공정비용이 증가될 뿐아니라 공정단계가 많아져 반도체 소자의 생산단가를 상승시켜 소자의 생산성을 저하시키고, 공정단계의 증가에 따른 소자의 수율을 저하시키는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 상기한 종래 기술의 문제점을 해결하기 위하여, 한번의 마스크공정을 이용하여 듀얼 게이트전극을 형성함으로써 반도체 소자의 수율 및 생산성을 향상시키는 반도체 소자의 듀얼 게이트전극 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위한 본 발명인 반도체 소자의 듀얼 게이트전극 형성방법은, 반도체 기판 상부에 게이트절연막을 형성하고 공정과, 상기 게이트절연막 상부에 게이트용 폴리실리콘을 형성하는 공정과, 상기 게이트용 폴리실리콘 상부에 절연막을 형성하는 공정과, 상기 절연막의 일정부분을 식각하고 N형 불순물을 상기 폴리실리콘에 이온 주입하여 N형 불순물 영역을 형성하는 공정과, 상기 N형 불순물 영역이 형성된 폴리실리콘 상부에 선택적 성장 텅스텐을 형성하는 공정과, 상기 절연막을 제거하는 공정과, 상기 선택적 성장 텅스텐을 장벽으로 하여 상기 폴리실리콘에 P형 불순물을 이온 주입하여 P형 불순물 영역을 형성하는 공정과, 상기 반도체 기판의 전체표면 상부에 텅스텐막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 1a 내지 도 1e는 본 발명의 실시예에 따른 반도체 소자의 듀얼 게이트전극 형성방법을 도시한 단면도이다.

먼저, 반도체 기판(1) 상부에 게이트절연막(2) 및 게이트전극용 폴리실리콘(3)을 순차적으로 형성하고, 상기 게이트전극용 폴리실리콘(3) 상부에 산화막(4)을 소정 두께 형성한다.(도 1a)

그리고, 마스크(도시안됨)를 이용한 식각공정으로 N형 불순물이 주입될 부분의 산화막(4)을 제거한다.

이때, 상기 식각공정은 상기 마스크를 이용한 노광 및 현상공정으로 N형 불순물 영역(도시안됨)이 형성될 부분을 노출시키는 감광막패턴(도시안됨)을 형성하고, 상기 감광막패턴을 마스크로하여 상기 산화막(4)을 식각하는 공정으로 실시된다.

그 다음에, 상기 감광막패턴을 제거하고, 상기 남아있는 산화막(4)이 이온주입 장벽으로 하여 상기 폴리실리콘(3)에 N형 불순물 이온을 이온주입함으로써 N형 불순물 영역(5)을 형성한다.

이때, 상기 감광막패턴을 제거하지 않고 이온주입공정을 실시할 수도 있다.(도 1b)

그리고, 상기 N형 불순물 영역(5)이 형성된 부분의 폴리실리콘(3)에 선택적 성장 텅스텐(6)을 성장시킨다.(도 1c)

그 다음에, 상기 남아 있는 산화막(4)을 제거하고, 상기 선택적 성장 텅스텐(6)을 장벽으로 하여 상기 폴리실리콘(3)에 P형 불순물 이온을 이온주입함으로써 P형 불순물 영역(7)을 형성한다.(도 1d)

그리고, 전체표면 상부에 텅스텐막(8)을 일정두께 형성한다. 이때, 상기 텅스텐막(8)은 선택적 성장 텅스텐으로 형성할 수도 있다.(도 1e)

여기서, 본 발명은 P형 불순물을 먼저 이온주입하고 N형 불순물을 나중에 이온주입하는 공정으로 듀얼 게이트전극을 형성할 수 있다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체 소자의 듀얼 폴리게이트전극 형성방법은, 듀얼 게이트전극의 형성공정을 쉽고 단순하게 하여 소자의 수율 및 생산성을 향상시키고, 게이트전극으로 텅스텐을 사용하여 게이트전극의 면저항을 감소시켜 게이트전극 두께를 낮출 수 있어 반도체 소자의 특성 및 신뢰성을 향상시키는 동시에 반도체 소자의 고집적화를 가능하게 하는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판 상부에 게이트절연막을 형성하고 공정과,

상기 게이트절연막 상부에 게이트용 폴리실리콘을 형성하는 공정과,

상기 게이트용 폴리실리콘 상부에 절연막을 형성하는 공정과,

상기 절연막의 일정부분을 식각하고 N형 불순물을 상기 폴리실리콘에 이온 주입하여 N형 불순물 영역을 형성하는 공정과,

상기 N형 불순물 영역이 형성된 폴리실리콘 상부에 선택적 성장 텅스텐을 형성하는 공정과,

상기 절연막을 제거하는 공정과,

상기 선택적 성장 텅스텐을 장벽으로 하여 상기 폴리실리콘에 P형 불순물을 이온 주입하여 P형 불순물 영역을 형성하는 공정과,

상기 반도체 기판의 전체표면 상부에 텅스텐막을 형성하는 공정을 포함하는 반도체 소자의 듀얼 게이트전극 형성방법.

청구항 2

청구항 1에 있어서,

상기 불순물 영역은 P형 불순물 영역을 먼저 형성하는 것을 특징으로 하는 반도체 소자의 듀얼 게이트전극 형성방법.

청구항 3

청구항 1에 있어서,

상기 텅스텐막은 선택적 성장 텅스텐으로 형성하는 것을 특징으로 하는 반도체 소자의 듀얼 게이트전극 형성방법.

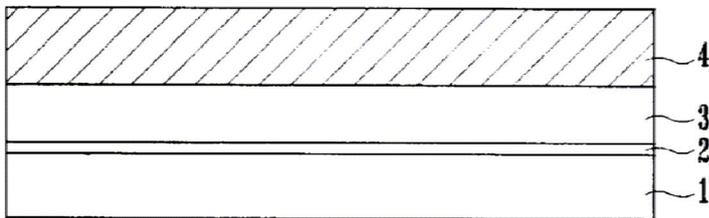
청구항 4

청구항 1에 있어서,

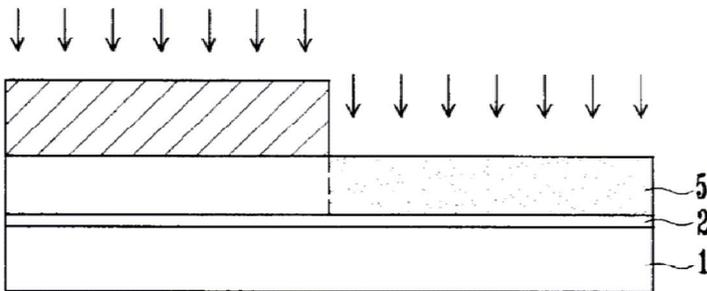
상기 불순물 접합영역은 P형과 N형의 접합영역 형성순서를 바꾸어서 형성하는 것을 특징으로 하는 반도체 소자의 듀얼 게이트전극 형성방법.

도면

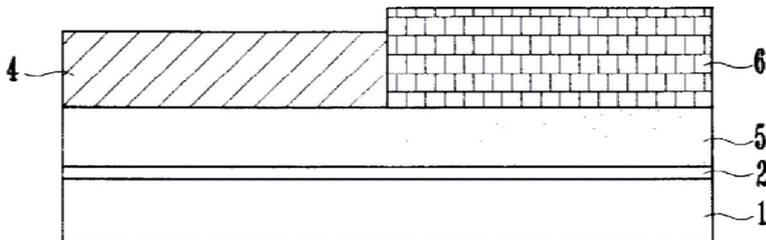
도면 1a



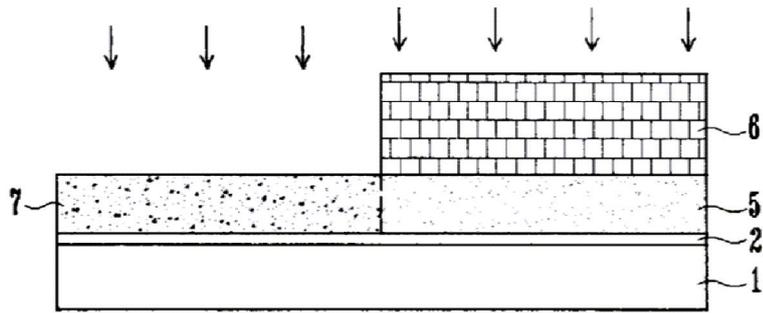
도면 1b



도면 1c



도면 1d



도면 1e

