(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.7
G11C 16/06

(45) 공고일자 2004년12월16일
(11) 등록번호 10-0461486
(24) 등록일자 2004년12월02일

(21) 출원번호 10-2001-0066693
(22) 출원일자 2001년10월29일
(65) 공개번호 10-2002-0042749
(43) 공개일자 2002년06월07일

(30) 우선권주장 JP-P-2000-00330623 2000년10월30일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 나까무라히로시
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

이마미야겐이찌
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 장수길
구영창

심사관 : 안병일

(54) 불휘발성 반도체 메모리 장치

요약

본원 발명은 복수의 메모리 셀이 직렬로 접속된 NAND형 셀로 이루어지는 EEPROM에 있어서, 데이터 판독 동작에서 선택된 블록에서의 메모리 셀의 제어 게이트 전압 V_{read} 와, 선택된 블록에서의 선택 트랜지스터의 선택 게이트의 전압 V_{SG1} , V_{SG2} 를, 상호 다른 전압으로 함으로써 선택 트랜지스터의 선택 게이트와 채널부 사이에서의 절연막 파괴가 생기지 않고, 고속 판독을 가능하게 한다. DINOR, AND, NOR형 셀 및 1개의 메모리 셀을 접속한 NAND형 셀에 대해서도 메모리 셀의 제어 게이트 전압과 선택 트랜지스터의 선택 게이트의 전압을 다른 전압으로 하면, 마찬가지로 고속 판독을 가능하게 할 수 있다.

대표도

도 1

색인어

선택 트랜지스터, 선택 게이트, 등가 회로, 메모리 셀 어레이, 데이터 입출력 버퍼, 기판 전위 제어 회로

명세서

도면의 간단한 설명

도 1은 제1 실시예에 따른 NAND형 EEPROM의 구성을 나타내는 블록도.

도 2a는 NAND형 EEPROM의 셀 구조를 나타내는 도면.
도 2b는 NAND형 EEPROM의 셀의 등가 회로(equivalent circuit)를 나타내는 도면.
도 3a는 NAND형 EEPROM의 셀 구조를 나타내는 도면으로, 도 2a의 IIIA-IIIA 단면을 나타내는 도면.
도 3b는 NAND형 EEPROM의 셀 구조를 나타내는 도면으로, 도 2a의 IIIB-IIIB 단면을 나타내는 도면.
도 4는 NAND형 메모리 셀 어레이의 등가 회로를 나타내는 도면.
도 5는 제1 실시예에 따른 판독 동작의 타이밍 파형도(timing wave form diagram).
도 6은 종래의 판독 동작의 타이밍 파형도.
도 7은 제3 실시예에 따른 판독 동작의 타이밍 파형도.
도 8은 데이터 프로그램 동작의 흐름도(flow diagram).
도 9는 셀당 2비트를 기억하는 메모리 셀의 임계치 전압 분포(threshold voltage distribution)를 나타내는 도면.
도 10은 DINOR형 EEPROM에서의 메모리 셀 어레이의 등가 회로를 나타내는 도면.
도 11은 AND형 EEPROM에서의 메모리 셀 어레이의 등가 회로를 나타내는 도면.
도 12는 NOR형 EEPROM에서의 메모리 셀 어레이의 등가 회로를 나타내는 도면.
도 13은 다른 NOR형 EEPROM에서의 메모리 셀 어레이의 등가 회로를 나타내는 도면.
〈도면의 주요 부분에 대한 부호의 설명〉
1 : 메모리 셀 어레이
2 : 비트선 제어 회로
3 : 컬럼 디코더
4 : 어트레스 버퍼
5 : 로우 디코더
6 : 데이터 입출력 버퍼
7 : 기판 전위 제어 회로
8 : 워드선 전압 발생 회로
9 : 비선택 워드선 전압 발생 회로
10 : SG1 전압 발생 회로
11 : SG2 전압 발생 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 기억 장치에 관한 것으로, 특히 NAND형 셀(NAND cell), NOR 형 셀(N0R cell), DINOR cell(Divided NOR cell), AND형 셀(AND cell) 등의 셀 유닛으로 이루어지는 전기적으로 재기입 가능한 불휘발성 반도체 기억 장치(electrically rewritable non-volatile semiconductor memory device)에 관한 것이다.
종래의 반도체 기억 장치에는, 전기적으로 재기입 가능하여 프로그램 가능한 EEPROM(Electrically Erasable Programmable Read Only Memory)이라 불리는 것이 있다. 특히 복수의 메모리 셀(memory cell)을 직렬로 접속한 NAND형 셀로 이루어지는 블록 구성의 NAND형 EEPROM은 고집적화가 가능한 것으로서 주목받고 있다.
NAND형 EEPROM의 메모리 셀은 반도체 기판 상의 게이트 절연막을 통해 전하 축적층(charge storage layer)이 되는 부유 게이트(floating gate)와 제어 게이트(control gate)가 적층된 적층 게이트 구조(stacked gate structure)를 갖는 MOSFET으로 구성된다. NAND형 셀은 상호 인접하는 메모리 셀끼리가 소스 · 드레인(source and drain)을 공통으로 하여 직렬 접속됨으로써 구성된다.
NAND형 EEPROM에서, 이들 복수의 NAND형 셀은, 각 NAND형 셀을 단위로 하여 비트선(bit line)에 접속되며, 매트릭스형(matrix like)으로 배치됨으로써 메모리 셀 어레이(memory cell array)가 구성된다. 메모리 셀 어레이는 반도체 기판 상의 p 웰(p-well), 또는 p형 반도체 기판(p-type semiconductor substrate) 상에 고밀도로 형성된다.
메모리 셀 어레이의 열 방향을 따라 배치된 NAND형 셀의 한쪽 종단부를 이루는 드레인은, 각각 선택 트랜지스터(select transistor)를 통해 공통 비트선(common bit line)에 접속되며, NAND형 셀의 다른 쪽 종단부는 마찬가지로 선택 트랜지스터를 통해 공통 소스선에 접속된다. 메모리 셀의 제어 게이트 및 선택 트랜지스터의 선택 게이트(select gate)는 메모리 셀 어레이의 행 방향을 따라 일련의 제어 게이트선(워드선)(control gate line(word line)) 및 선택 게이트선(select gate line)으로서 형성된다.
종래의 NAND형 EEPROM(NAND type EEPROM)의 동작은 다음과 같다. 데이터 프로그램 동작(data program operation)은 NAND형 셀의 비트선 컨택트(bit line contact)로부터 가장 떨어진 위치의 메모리 셀로부터 순서대로 행해진다. 데이터를 프로그램하는 메모리 셀을 선택하여, 선택된 메모리 셀이 접속된 제어 게이트선에 데이터 프로그램용의 고전압 V_{pp} (20V 정도)를 인가(apply)하고, 선택된 메모리 셀보다도 비트선측에 위치하는 메모리 셀의 제어 게이트선 및 선택 트랜지스터의 선택 게이트선에는 중간 전위(intermediate potential) V_{mw} (10V 정도)가 인가되며, 선택된 메모리 셀의 비트선에는 데이터의 레벨에 따라 0V 또는 중간 전위 V_{mb} (8V 정도)가 제공된다.

비트선에 0V를 제공하면, 0V는 선택된 메모리 셀의 드레인까지 전달(transmit)되어 드레인으로부터 부유 게이트에의 전자 주입(electron injection)을 발생시켜, 선택된 메모리 셀의 임계치 전압(threshold voltage)은 정(+) 방향으로 시프트한다. 이것을 '1' 프로그램 상태라 한다. 또한, 비트선에 중간 전위 V_{mb} 를 제공하면, 부유 게이트에의 전자 주입은 발생하지 않기 때문에, 선택된 메모리 셀의 임계치 전압은 변화하지 않고 부(-)의 값에 머문다. 이것을 '0' 프로그램 상태라고 한다.

데이터 소거 동작(data erase operation)은 선택된 NAND형 셀로 이루어지는 블록 내의 모든 메모리 셀에 대하여 동시에 행해진다. 선택된 블록 내의 모든 제어 게이트선을 0V로 하고, V_{pp} 로서 20V 정도의 전압을 p 웰(또는 p형 기판)에 인가하고, 비트선, 소스선, 비선택 블록(unselected block)에서의 제어 게이트선 및 선택 게이트선을 부유 상태로 한다. 이와 같이 하여, 선택된 블록 중의 모든 메모리 셀에서의 부유 게이트의 전자가 p 웰(또는 p형 기판)로 방출(discharge)되며, 메모리 셀의 임계치 전압은 부(-)의 방향으로 시프트한다.

데이터 판독 동작(data read operation)은 선택된 블록에서의 비선택 제어 게이트선(unselected control gate line)을 V_{read}, 선택된 제어 게이트선을 0V로 하고, 선택 게이트선도 V_{read} 로 하여, 선택된 메모리 셀 및 복수의 비선택 메모리 셀을 통해 비트선으로부터 소스선으로 전류가 흐르는지의 여부를 검출함으로써 행해진다.

이와 같이, NAND형 EEPROM에서는 데이터 판독 동작 중에는 선택된 블록에서 의 비선택 제어 게이트선 및 선택 게이트선은 모두 V_{read} 로 되지만, 이 때 다음과 같은 문제가 발생되었다.

판독 속도의 고속화를 실현하기 위해서는, 판독 동작 시, '0' 데이터가 프로그램된, 선택된 메모리 셀을 포함하는 NAND형 셀을 흐르는 전류를 증가시킬 필요가 있다. 예를 들면, 1개의 NAND형 셀을 구성하는 메모리 셀의 수가 8개인 경우, 비선택된 7개의 메모리 셀의 저항을 저하시킴으로써 NAND 셀을 흐르는 전류를 증가시킬 수 있다.

비선택된 7개의 메모리 셀의 저항을 저하시키기 위해서는, 판독 동작 시에, 이들 7개의 메모리 셀의 제어 게이트에 인가되는 V_{read} 의 레벨을 높게 하는 것이 매우 유효하지만, 이 때 동시에 선택 트랜지스터의 선택 게이트에도 V_{read} 가 인가된다.

메모리 셀에는, 제어 게이트와 메모리 셀의 채널부(channel) 사이에, 제어 게이트와 부유 게이트 사이의 절연막, 및 부유 게이트와 채널부 사이의 절연막의 2층의 절연막이 존재한다. 이 때문에, V_{read} 의 레벨이 높더라도, 부유 게이트와 채널부 사이의 절연막에 가해지는 전계 강도(electric field intensity)는 낮아진다.

그러나, 선택 트랜지스터에서는 선택 트랜지스터의 선택 게이트와 메모리 셀의 부유 게이트가 동일 배선층(same wiring layer)으로 구성되며, 선택 트랜지스터의 선택 게이트와 채널부 사이에 1층의 절연막밖에 존재하지 않는다. 이 때문에, 이 절연막에 가해지는 전계 강도가 높아져서, 절연막이 파괴(breakdown)될 우려가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 실시예에 따른 불휘발성 반도체 기억 장치는, 데이터 판독 동작에서 선택된 블록에서의 메모리 셀의 제어 게이트의 전압과, 선택된 블록에서의 선택 트랜지스터의 선택 게이트의 전압을 다른 전압으로 함으로써, 선택 트랜지스터의 선택 게이트와 채널부 사이에서의 절연막의 파괴가 생기지 않고, 메모리 셀에 프로그램된 기억 데이터의 고속 판독을 가능하게 한다. 또한, DINOR, AND, NOR형 셀 및 1개의 메모리 셀을 접속한 NAND형 셀에 대해서도 마찬가지로 고속 판독을 가능하게 할 수 있다.

발명의 구성 및 작용

구체적으로 본 발명의 실시예에 따른 불휘발성 반도체 기억 장치는, 적어도 1개의 선택 트랜지스터 및 적어도 1개의 메모리 셀로 이루어지는 메모리 셀 유닛이 어레이 형상으로 배열된 메모리 셀 어레이와, 메모리 셀의 제어 게이트가 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제어 게이트선과, 선택 트랜지스터의 선택 게이트가 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 선택 게이트선을 구비하고, 메모리 셀에 프로그램된 프로그램 데이터의 판독 동작 및 프로그램된 데이터의 검증 판독 동작(verify read operation) 시에, 선택된 메모리 셀 유닛 내의 제어 게이트선의 전압 레벨의 최고치가 상기 메모리 셀 유닛의 모든 선택 게이트선의 전압 레벨과 다른 것이다.

또한, 본 발명의 다른 실시예에 따른 불휘발성 반도체 기억 장치는, 제1, 제2 선택 트랜지스터 및 적어도 1개의 메모리 셀로 이루어지는 메모리 셀 유닛이 어레이형으로 배열된 메모리 셀 어레이와, 메모리 셀의 제어 게이트가 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제어 게이트선과, 제1 선택 트랜지스터의 선택 게이트가 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제1 선택 게이트선과, 제2 선택 트랜지스터의 선택 게이트가 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제2 선택 게이트선을 구비하고, 메모리 셀에 프로그램된 프로그램 데이터의 판독 동작 및 프로그램 데이터의 검증 판독 동작 시에 선택된 메모리 셀 유닛에서의 제1 선택 게이트선의 전압 레벨이 메모리 셀 유닛에서의 제2 선택 게이트선의 전압 레벨과 다른 것이다.

이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 불휘발성 반도체 기억 장치의 구성을 나타내는 블록도이다.

도 1에 도시한 불휘발성 반도체 기억 장치의 주요부는, 행 방향(row direction)으로 워드선 WL(제어선 CG) 및 열 방향(column direction)으로 비트선 BL이 배치된 메모리 셀 어레이(1)와, 감지 증폭기(sense amplifier) 및 데이터 래치(data latch)의 역할을 겸용하는 비트선 제어 회로(2)와, 컬럼 디코더(column decoder: 3)와, 외부로부터 어드레스 ADR을 입력하는 어드레스 버퍼(address buffer: 4), 로우 디코더(row decoder: 5)와, I/O 사이에서 입출력 데이터의 수수를 행하는 데이터 입출력 버퍼(data I/O buffer: 6)와, 기판 전위 제어 회로(substrate potential control circuit: 7)로 구성된다.

또한, 도 1에 도시한 불휘발성 반도체 기억 장치는, 메모리 셀 어레이(1)의 프로그램 및 판독 동작(program and read operations) 등에 이용하는 선택된 워드선 전압 발생 회로(selected word line voltage generation circuit: 8)와, 비선택 워드선 전압 발생 회로(unselected word line voltage generation circuit: 9)와, 선택 게이트선(SG1 및 SG2)의 전압 발생 회로(10 및 11)를 구비하고 있다. 이들 회로는 본 발명의 불휘발성 반도체 기억 장치의 판독 동작에 관련된 각 레벨의 전압을 출력한다.

컬럼 디코더(3)는 어드레스 버퍼(4)로부터의 컬럼 어드레스를 받아, 컬럼마다 설치된 비트선 제어 회로(bit line control circuit: 2)를 선택한다. 비트선 제어 회로(2)는 데이터 입출력 버퍼(6)와 접속되고, 비트선을 통해 선택된 메모리 셀(selected memory cell) 사이에서 입출력 데이터의 수수를 행한다.

로우 디코더(5)는 메모리 셀 어레이(1)의 제어 게이트선 및 선택 게이트선을 제어한다. 또한, 기판 전위 제어 회로(웰 전위 제어 회로: 7)는 메모리 셀 어레이(1)가 형성되는 p형 기판(또는 p 웰(p-well))의 전위(potential)를 제어한다.

데이터 판독 시에, 선택 워드선 전압 출력 회로(8)는 선택된 블록에서의 선택된 워드선에 인가하는 전압을 발생하고, 비선택 워드선 전압 발생 회로(9)는 선택된 블록에서의 비선택 워드선(unselected word line)에 인가하는 전압을 발생시킨다. 또한, SG1 전압 발생 회로(10) 및 SG2 전압 발생 회로(11)는 데이터 판독 시에 비트선측의 선택 게이트선 SG1 및 소스선측의 선택 게이트선 SG2에 인가하는 전압을 각각 발생하는 회로이다.

비트선 제어 회로(2)는 주로 플립플롭(flip-flop)으로 이루어지고, 프로그램 데이터의 래치 및 비트선 전위를 판독하기 위한 감지 동작(sense operation), 프로그램 후의 검증 판독(verify read)을 위한 감지 동작, 또는 재 프로그램 데이터의 래치를 행한다.

도 2의 (a), 도 2의 (b)는 메모리 셀 어레이(1)에서의 1개의 NAND형 셀의 평면과 등가 회로를 나타내는 도면이다. 이 예에서는, 8개의 메모리 셀 M1 내지 M8이 인접하는 것끼리 n^{+} 소스 · 드레인 확산층(n^{+} source/drain diffusion layer)을 공유하여 직렬로 접속되며, 1개의 NAND형 셀을 구성하고 있다. 이 NAND형 셀은 비트선 BL측의 선택 트랜지스터 S_{1} 및 소스선측의 선택 트랜지스터 S_{2} 를 구비하고, 이들 선택 트랜지스터의 선택 게이트는 각각 선택 게이트선 SG1 및 SG2에 접속된다.

참조 번호(15_{1} 내지 15_{8})는 메모리 셀의 부유 게이트의 평면도(도 2의 (a)의 해칭으로 나타내는 영역)이고, 참조 번호(17_{1} 내지 17_{8})는 메모리 셀의 제어 게이트의 평면도이다. 선택 트랜지스터 S1 및 S2의 선택 게이트는 메모리 셀의 부유 게이트 및 제어 게이트와 동시에 동일 배선층에 형성되고, 도 2의 (a)의 평면도에서는, 각각 참조 번호(15_{9}, 17_{9} 및 15_{10}, 17_{10})로서 도시하고 있다.

도 2의 (a)의 ⅢA-ⅢA 단면 및 ⅢB-ⅢB 단면을 도 3의 (a) 및 도 3의 (b)에 도시한다. 도 3의 (a) 및 도 3의 (b)에 도시한 바와 같이, p^{-} 기판(p^{-} substrate: 12) 상에 게이트 절연막(14)을 통해 메모리 셀의 부유 게이트(15(15_{1} 내지 15_{8}))가 형성되고, 그 위에, 층간 절연막(interlayer insulating film: 16)을 통해 메모리 셀의 제어 게이트(17(17_{1} 내지 17_{8})가 형성된다. 이들 메모리 셀의 소스 · 드레인을 이루는 n^{+} 확산층(n^{+} diffusion layer: 20(20_{0} 내지 20_{10}))은 인접하는 것 끼리 상호 공유되어 직렬로 접속된다. 이와 같이, 메모리 셀의 부유 게이트(15)와 제어 게이트(17)는 절연막(16)에 의해 상호 절연되고, 통상, 다른 전위로 되어 있다.

앞서 말한 것처럼, NAND형 셀의 드레인측 및 소스측에는 각각 메모리 셀의 부유 게이트(15) 및 제어 게이트(17)와 동시에 형성된 선택 트랜지스터의 선택 게이트(15_{9}, 17_{9}) 및 선택 게이트(15_{10}, 17_{10})가 설치된다. 이들 소자가 형성된 p^{-} 기판(12)의 상면은 CVD 산화막(18)에 의해 덮어지고, 그 위에 비트선(19)이 형성된다.

비트선(19)은 NAND형 셀의 한쪽의 종단부를 이루는 드레인측의 확산층(20_{0})에 접속된다. 메모리 셀의 제어 게이트(17)는 메모리 셀 어레이의 행 방향을 따라 배치되는 일련의 제어 게이트선 CG1 내지 CG8을 이루고 있다. 이들 제어 게이트선 CG1 내지 CG8은 메모리 셀 어레이의 워드선 WL이 된다. 선택 게이트(15_{9}, 17_{9}) 및 선택 게이트(15_{10}, 17_{10})도 또한 메모리 셀 어레이의 행 방향을 따라 배치되고, 일련의 선택 게이트선 SG1, SG2로 이루어진다.

선택 게이트(15_{9}, 17_{9}) 및 선택 게이트(15_{10}, 17_{10})는 통상, 도시되어 있지 않 은 영역에서 상호 전기적으로 접속되어 있으며, 선택 게이트(15_{9}, 17_{9}) 및 선택 게이트(15_{10}, 17_{10})는 각각 동일 전압 레벨로 되어 있다. 따라서, 선택 트랜지스터 S1 및 S2에서, 실질적으로 선택 게이트로서의 역할을 하는 것은 참조 번호(15_{9} 및 15_{10})만이다.

메모리 셀 및 선택 트랜지스터의 게이트 절연막은, 통상 동일 공정(예를 들면 동일 열 산화막 형성 공정(thermal oxide formation process))으로 동시에 형성되기 때문에, 메모리 셀의 채널부 및 부유 게이트 사이의 절연막(도 3의 (b)의 참조 번호 14)의 두께는 선택 트랜지스터의 채널부 및 선택 트랜지스터의 선택 게이트 사이의 절연막의 두께와 같게 된다.

이와 같이, 메모리 셀부와 선택 트랜지스터부를 동시에 형성함으로써, 메모리 셀 영역과 선택 트랜지스터 영역(예를 들면 제어 게이트(17_{1})의 하부 영역과 선택 게이트(17_{9})의 하부 영역) 사이에서, 불순물 이온(impurity ions)의 주입 조건(implantation condition)이나 가공 조건(process condition) 등을 변경할 필요가 없기 때문에, 제어 게이트(17_{1})와 선택 게이트(17_{9}) 사이의 거리를 매우 작게 설정하는 것이 가능하게 되어, NAND형 셀의 셀 사이즈를 축소할 수 있다. 통상, 선택 트랜지스터 S1, S2는 동시에 형성되므로, 선택 트랜지스터 S1, S2에 대해서도 게이트 절연막의 막 두께의 설정이나 불순물 이온 주입에 관해 동일한 프로세스 조건 하에서 동시에 행해진다.

NAND형 셀이 매트릭스형(matrix like)으로 배치된 메모리 셀 어레이(1)의 등가 회로를 도 4에 도시한다. 도 4에서, V_{s} 는 소스선의 전압이고, 메모리 셀 어레이(1)의 열 방향을 따라 m개의 비트선 BL_{l} 내지 BL_{m} 이 배치된다. 동일한 워드선(제어 게이트선 CG1 내지 CG8) 및 선택 게이트선 SG1, SG2를 공유하는 NAND셀군(NAND cell group)을 블록이라 하고, 파선으로 둘러싸인 영역이 1개의 블록에 상당한다. 판독, 프로그램 등의 동작은 복수의 블록 중 1개를 선택하여 행해진다.

<제1 실시예>

다음에, 도 5를 참조하여 본 발명의 제1 실시예에 대하여 설명한다. 도 5는, 제1 실시예에 따른 데이터 판독 동작의 타이밍 파형도(timing wave form diagram)이다. 도 5의 타이밍 파형도에서는, NAND형 셀의 8개의 제어 게이트선 CG1 내지 CG8 중, 예를 들면 CG2가 선택된 경우의 판독 동작을 설명하고 있지만, 다른 7개의 제어 게이트선이 선택된 경우에 대해서도 동일한 것은 물론이다.

도 5에 도시한 타이밍 파형도에서, 상부 4단에 선택 블록 내의 선택 메모리 셀(selected memory cell)의 제어 게이트선 CG2, 및 비선택 메모리 셀(unselected memory cell)의 제어 게이트선 CG1, CG3 내지 CG8의 전압 파형(voltage wave form), 및 비트선측의 선택 트랜지스터의 선택 게이트선 SG1, SG2의 전압 파형이 도시되어있다. 판독 동작에서, 선택 메모리 셀의 제어 게이트선 CG2는 0V로 고정되고, 비선택 메모리 셀의 제어 게이트선 CG1, CG3 내지 CG8에 판독 전압(read voltage) V_{read} 가 입력된다. 또한, 선택 게이트선 SG1, SG2에는 선택 게이트 전압(select gate voltage) V_{sg1} , V_{sg2} 가 입력된다.

또한 중앙부의 2단에, 비선택 블록(unselected block) 내의 제어 게이트선 CG1 내지 CG8의 상태와 선택 게이트선 SG1, SG2의 전압을 나타낸다. 비선택 블록 내에서는 제어 게이트선 CG1 내지 CG8은 전압이 인가되지 않은 부유 상태이거나 또는 0V 고정으로 된다. 또, 선택 게이트선 SG1, SG2도 0V 고정으로서 판독 동작이 금지(inhibit)된다.

하부의 2단에는, 선택된 한쌍의 비트선 BL의 전압 변화와 셀 · 소스(cell-source) 및 셀 · p웰(cell-p-well)의 전압을 나타낸다. 판독 동작에서, 선택된 비트선 BL은 0V로부터 V_{cc} 로 프리차지(precharge)되고, 선택된 비트선 BL을 통해 선택된 NAND 셀(selected NAND cell)의 드레인측으로부터 소스측으로 흐르는 방전 전류(discharge current)에 의한 비트선 전압의 변화를 검출한다.

선택된 메모리 셀에 '1' 데이터가 프로그램되어 있으면, 선택 메모리 셀의 임계치 전압은 정(+)이고, 또한, 셀 · 소스 및 셀 · p웰의 전압은 0V로 고정되기 때문에, 선택 메모리 셀의 CG2가 0V이면, 비트선 BL에 프리차지된 프리차지 전압 V_{cc} 는 유지된다.

선택된 메모리 셀에 '0' 데이터가 프로그램되어 있으면, 선택된 메모리 셀의 임계치 전압은 부(-)이고, 셀 · 소스 및 셀 p웰의 전압은 0V로 고정되며, 선택된 메 모리 셀의 CG2가 0V이면, 비트선 BL에 프리차지된 프리차지 전압 V_{cc} 는 선택된 NAND셀을 통해 방전하여 0V로 복귀한다.

도 5에 도시한 제1 실시예에 따른 판독 동작의 특징은, 상기한 데이터 판독 동작에서, 선택된 블록에서의 비선택의 제어 게이트선 CG1 및 CG3 내지 CG8의 판독 전압 V_{read} 가, 선택 게이트선 SG1, SG2의 전압과 다른 것이다. 즉, $V_{read} \neq V_{sg1}$, $V_{read} \neq V_{sg2}$ 로 하는 것이 특징이며, 도 5에서는 $V_{read} > V_{sg1}$, $V_{read} > V_{sg2}$ 의 경우가 예시되어 있다.

다음에, 도 5에 도시한 타이밍 파형을 이용한 판독 동작의 효과에 대하여 설명한다.

앞서 말한 것처럼, 판독 동작의 고속화를 실현하기 위해서는, '0' 데이터가 프로그램된 선택된 메모리 셀을 포함하여, 선택된 NAND형 셀을 흐르는 판독 전류를 증가시키지 않으면 안된다.

1개의 NAND 셀을 구성하는 메모리 셀의 수가 8개이면, 비선택된 7개의 메모리 셀의 저항을 저하시킴으로써 NAND형 셀을 흐르는 판독 전류를 증가시킬 수 있다. 비선택된 7개의 메모리 셀의 저항을 저하시키기 위해서는, 판독 동작 시에 이들 7개의 메모리 셀의 제어 게이트에 입력하는 V_{read} 의 전압 레벨을 높게 하면 된다.

제1 실시예에서의 판독 동작의 타이밍 파형과 대비하기 위해, 종래의 판독 동작의 타이밍 파형을 도 6에 도시한다. 종래의 판독 동작에서는, 비선택의 제어 게이트선 CG1 및 CG3 내지 CG8과, 선택 게이트선 SG1, SG2가, 동일 전압 레벨 V_{read} 이기 때문에, 메모리 셀의 제어 게이트와 선택 트랜지스터의 선택 게이트에는 동일 레벨의 전압이 인가된다.

앞서 말한 것처럼, 메모리 셀에서는 제어 게이트와 채널부 사이에, 제어 게이트와 부유 게이트 사이의 절연막, 및 부유 게이트와 채널부 사이의 절연막의 2층의 절연막을 구비하며, 제어 게이트와 부유 게이트가 절연되어 있기 때문에, 판독 전압 V_{read} 의 전압 레벨을 높게 하여도 전압이 2층의 절연막으로 분산되어, 부유 게이트와 채널부 사이의 절연막에 가해지는 전압이 작아진다.

한편, 선택 트랜지스터에서는, 통상, 선택 게이트 전압이 실질적으로 메모리 셀의 부유 게이트와 동일 배선층(도 3의 (a)의 15_9 , 15_{10} 및 관련 기재 사항 참조)의 게이트 전극에 인가되고, 게이트 전극과 채널부 사이에는 1층의 절연막밖에 존재하지 않기 때문에, 선택 게이트 전압($V_{sg1} = V_{sg2} = V_{read}$)을 분산할 수 없고, 막 중의 전계 강도(electric field intensity)가 높아져서 절연막이 파괴될 우려가 있었다.

종래, 절연막 파괴를 회피하는 방법으로서, 메모리 셀의 부유 게이트와 채널부 사이의 절연막(도 3의 (b)의 14 참조)보다도, 선택 트랜지스터의 선택 게이트와 채널부 사이의 절연막을 두껍게 하는 방법도 이루어져 있지만, 이 때, 메모리 셀 영역(도 2의 (a)의 17_1 의 하부 영역)과 선택 트랜지스터 영역(도 2의 (a)의 17_9 의 하부 영역) 사이에서 가공조건(process condition)의 변경이 필요하게 되어, 제어 게이트(17_1)와 선택 게이트(17_9) 사이의 거리가 증가되어, 따라서, NAND형 셀의 셀 사이즈의 축소(shrinkage)가 곤란하게 된다고 하는 문제가 있었다.

도 5에 도시한 제1 실시예에 따른 판독 동작을 이용하면, 선택된 블록에서의 비선택 제어 게이트선의 전압 레벨(V_{read} 의 전압 레벨)을 높게 하고, 선택 게이트의 전압 레벨(V_{sg1} , V_{sg2} 의 전압 레벨)을 불변으로 할 수 있으므로, 선택된 블록에서의 비선택 메모리 셀의 저항을 대폭 저하시킬 수 있다. 따라서, '0' 데이터가 프로그램된, 선택된 메모리 셀을 포함하는 선택된 NAND형 셀에 흐르는 판독 전류를 증가시켜, NAND형 셀의 셀 사이즈를 증가시키지 않고도 선택된 트랜지스터의 절연막 파괴를 회피하는 것이 가능하게 된다.

상기한 바와 같이, 제어 게이트선과 메모리 셀의 채널부 사이에는 2층의 절연막이 있는 것에 대하여, 선택 게이트선과 선택 트랜지스터의 채널부 사이에는 1층의 절연막밖에 없기 때문에, 절연막 파괴를 고려하면, 판독 동작 시에 제어 게이트선에 인가되는 전압의 최고치 쪽을 선택 게이트선에 인가되는 전압의 최고치보다도 높게 설정할 수 있다 (도 5의 V_{read} 참조). 즉, $V_{read} > V_{sg1}$, $V_{read} > V_{sg2}$ 로 함으로써 선택 트랜지스터의 선택 게이트와 채널 사이의 전압 증

가를 막아, 불휘발성 반도체 장치의 고속화와 신뢰성의 향상을 달성할 수 있다.
도 5에서는, 판독 동작에서의 선택 게이트선의 전압 SG1 및 SG2를, 상호 다른 전압 레벨인 것으로서 설명하였지만, SG1 및 SG2의 전압 레벨이 상호 같은 경우 에도 마찬가지의 효과가 얻어진다. $V_{sg1}=V_{sg2}$ 인 경우에는, 선택 게이트에 충전하는 전압의 종류가 같은 종류로 되기 때문에, $V_{sg1} \neq V_{sg2}$ 인 경우에 비하여 회로 수나 회로 면적을 작게 할 수 있는 장점이 있다. 또한, 데이터 판독 시에 선택된 제어 게이트선 CG2의 전압이 0V인 경우에 대하여 설명하였지만, 예를 들면 제어 게이트선 CG2의 전압이 정(+)인 경우 또는 부(-)인 경우에도 마찬가지의 효과가 얻어진다.
<제2 실시예>
다음에, 제1 실시예의 변형예로서, 제2 실시예에 따른 판독 동작에 대하여 설명한다. 제2 실시예에서는, 제1 실시예의 판독 동작에서 특히, 비트선측의 선택 게이트선 SG1의 전압 V_{sg1} 을 소스선측의 선택 게이트선 SG2의 전압 V_{sg2} 보다도 높게 하는 경우에 대하여 설명한다.
선택된 NAND형 셀의 판독 동작에서, 선택된 NAND형 셀을 구성하는 직렬 접속된 비선택의 메모리 셀, 또는 '0' 데이터가 프로그램된, 선택된 메모리 셀에 직렬 저항이 잔존하는 것은 회피할 수 없다. 이 때문에 판독 전류가 선택된 NAND형 셀로 흐르면, 비트선 컨택트와 소스선 사이에 전위차(potential difference)가 발생된다.
예를 들면, 소스선의 전압 V_s 가 0V인 경우, 비트선 BL에 정(+)의 전압을 제공하여 선택된 NAND형 셀에 판독 전류를 흘릴 때, 상기한 직렬 저항에 의해 비트선 BL측의 선택 트랜지스터 S1의 소스 전압이 1V로 상승하였다고 한다. 이 때, 소스 선측의 선택 트랜지스터 S2를 온하기 위해 필요한 선택 게이트선 SG2의 전압 V_{sg2} 가 예를 들면 3V였다고 하면, 소스선측의 선택 트랜지스터 S2와 동일 구조의 비트선측의 선택 트랜지스터 S1을 마찬가지로 온하기 위한 선택 게이트선 SG1의 전압 V_{sg1} 은 4V로 할 필요가 있다.
이와 같이, 판독 동작의 고속화를 도모하기 위해서는, $V_{sg1}>V_{sg2}$ 로 하는 것이 바람직하다. 이러한 조건과 제1 실시예를 조합하면, 불휘발성 반도체 기억 장치의 고속 판독의 실현을 위해서는 V_{sg1}, V_{sg2} 및 선택된 NAND형 셀에서의 비선택 메모리 셀의 제어 게이트선 CG1, CG3 내지 CG8의 전압 V_{read} 의 전압 사이에 $V_{read}>V_{sg1}>V_{sg2}$, $V_{sg1}>V_{read}>V_{sg2}$ 또는, $V_{sg1}>V_{sg2}>V_{read}$ 의 관계가 성립되는 것이 바람직하다.
<제3 실시예>
다음에, 도 7을 참조하여 제3 실시예에 따른 불휘발성 반도체 기억 장치의 판독 동작에 대하여 설명한다. 도 7은 제3 실시예에서의 판독 동작의 타이밍 파형을 나타내는 도면이다. 도 7에서는 선택된 메모리 셀의 제어 게이트선 CG2의 전압 V_{sg} 를 정(+)으로 하는 것에 특징이 있다. 이 때에도 선택된 블록에서의 비선택의 제어 게이트선의 전압과, 선택 게이트선의 전압은 상호 다르다. 즉, $V_{read} \neq V_{sg1}$, $V_{read} \neq V_{sg2}$ 로 함으로써, 제1, 제2 실시예와 마찬가지의 효과를 얻을 수 있다.
도 7에 도시한 바와 같이, 선택된 제어 게이트선의 전압이 정(+)인 경우의 일례로서, 프로그램 검증 판독 동작(program verify read operation)을 들 수 있다. 도 8은 데이터 프로그램 동작(data program operation)의 흐름을 나타내는 도면이다.
프로그램 동작이 개시되면, 단계 S1에서 칩 외부로부터 프로그램 데이터를 입력한다. 다음에 단계 S2의 프로그램 펄스 인가 동작에서 선택된 제어 게이트선에 프로그램용 고전압(20V 정도)을 인가한 후, 프로그램 검증 판독 동작을 행한다.
이 때, 판독 마진(read margin)을 크게 하기 위해 데이터 프로그램('1' 데이터 프로그램)에 의해 정(+)의 임계치 전압으로 설정된 메모리 셀의 임계치 전압 레벨을 0V보다 충분히 높은 전압 레벨로 하는 것이 바람직하다. 이 때문에, 선택된 제어 게이트선은 통상의 판독 동작에서의 제어 게이트선 전압보다도 높은 전압 레벨로 설정된다.
예를 들면, 통상의 판독 동작에서 선택된 제어 게이트선의 전압 레벨을 0V라고 하면, 프로그램 검증 판독 동작에서의 선택된 제어 게이트선의 전압 레벨은 정(+)의 전압이 되고, 도 7의 최상단에 선택된 제어 게이트선 CG2의 전압 V_{cg} 로서 나타내는 전압 파형이 된다.
선택된 제어 게이트선의 전압이 정(+)인 경우의 다른 예로서, 1개의 메모리 셀에 3개 이상의 임계치 전압 레벨을 설정함으로써, 1개의 메모리 셀에 1 비트보다 많은 데이터를 기억하는 다치 기억(multi-level memory)에서의 판독 동작을 들 수 있다.
1개의 메모리 셀에 4개의 임계치 전압 레벨을 설정함으로써 1개의 메모리 셀에 2비트의 데이터를 기억하는 경우의 메모리 셀의 임계치 전압 V_t 의 분포를 도 9에 도시한다. 도 9의 파선으로 도시한 바와 같이, 다치 기억의 메모리 셀의 임계치 전압을 판독할 때는, 선택된 제어 게이트선 전압으로서 0V 이외에 예를 들면 V_{cg2}, V_{cg3} 과 같은 정(+)의 전압을 인가할 필요가 있으며, 이 때 도 7에 도시한 판독 동작의 타이밍 파형에서 V_{cg} 는 정(+)으로 된다. 여기서 V_{cg} 는 V_{cg2}, V_{cg3} 등을 일반적으로 표시한 것이다.
또, 통상의 데이터 판독 동작에서도, 반드시 선택된 제어 게이트선의 전압을 0V로 하지 않고 1V 또는 2V로 설정하는 경우가 있다. 예를 들면, 메모리 셀의 기억 특성에 의해 '0' 데이터와 '1' 데이터의 기억 상태의 경계 레벨을 1V 또는 2V로 설정하는 것이 있으며, 이 때 제3 실시예에 기재한 판독 동작을 이용할 수 있다.
제1 내지 제3 실시예에서, 데이터 판독 동작에서의 선택된 블록 중의 비선택 제어 게이트선 전압과, 선택된 선택 게이트선 전압과의 대소 관계에 대하여 설명하였지만, 이들 관계는 반드시 제1 내지 제3 실시예에 나타내는 것에 한정되지 않는다.
예를 들면, 제1, 제3 실시예에서, $V_{read}<V_{sg1}$ 또는 $V_{read}<V_{sg2}$ 로서 판독 동작의 고속화가 달성되는 경우가 있다. 이 방법이 유효한 경우의 일례로서, '0' 데이터가 기억된 선택된 메모리 셀을 포함하는 NAND형 셀에서, 데이터 판독 동작 시에 선 택 트랜지스터의 저항이 8개의 메모리 셀의 저항보다도 높은 경우에는 NAND형 셀을 흐르는 전류를 증가시키는 방법으로서 선택 게이트의 전압을 높게 하는 것이 유효하다.

제어 게이트선의 전압을 선택 게이트선의 전압과 동일하게 함으로써 제어 게이트선의 전압이 지나치게 높아지면, 메모리 셀의 채널부로부터 부유 게이트에 전자가 주입되고, 메모리 셀의 기억 데이터가 파괴될 우려가 있다. 이 때 선택 게이트선만 전압을 높게 하여 비선택의 제어 게이트선의 전압을 V_{read} 의 상태로 하는 것이 기억 데이터의 파괴를 막는 유효한 방법이 된다. 이 경우에는, $V_{read} < V_{sg1}$ 또는 $V_{read} < V_{sg2}$ 로 함으로써 판독 동작의 고속화를 도모할 수 있다. 선택 트랜지스터의 게이트 · 채널 사이의 전압 인가에 대한 신뢰성이 높은 경우에는, 특히 이러한 방법이 유효하게 된다.

제1 내지 제3 실시예에서, 1개의 NAND형 셀에 직렬 접속된 메모리 셀의 수가 8개인 경우에 대하여 설명하였지만, 직렬 접속된 메모리 셀 수는 반드시 8개에 한정되지 않는다. 예를 들면, 2, 4, 16, 32, 64개의 경우에도 제1 내지 제3 실시예는 마찬가지로 유효하다. 또한, NAND 셀에서, 선택 트랜지스터 S1, S2 사이에 1개의 메모리 셀이 접속되는 경우에도 마찬가지로 유효하다.

<제4 실시예>

다음에, 도 10을 참조하여 제4 실시예에 대하여 설명한다. 제4 실시예에서는, 제1 및 제3 실시예에서 설명한 NAND형 EEPROM의 판독 동작을 DINOR형 EEPROM에 적용하는 경우에 대하여 설명한다. 또, DINOR형 EEPROM의 상세는 IEDM Tech. Digest, 1992, pp. 599-602에 기재되어 있다.

도 10에 DINOR형 EEPROM의 메모리 셀 어레이의 구성을 나타낸다. 메모리 셀 어레이의 열 방향을 따라 메인 비트선(main bit line) D0 내지 Dn이 배치되고, 메인 비트선마다 선택 트랜지스터를 통해 로컬 비트선(local bit line) LB가 접속된다. 로컬 비트선은 메인 비트선을 따라 열 방향으로 배치된다.

메모리 셀 어레이의 행 방향을 따라 배치된 공통 소스선(common source line)으로부터, 각 로컬 비트선과 평행하게 소스선이 인출되고, 각 로컬 비트선과 소스선 사이에 병렬로, 복수의 메모리 셀이 접속됨으로써 DINOR 셀로 이루어지는 메모리 셀 유닛이 형성된다.

복수의 메모리 셀 유닛으로 이루어지는 셀 블록마다, 선택 트랜지스터의 선택 게이트가, 행 방향으로 배치된 선택 게이트선 ST에 접속되며, 또한, 복수의 메모리 셀 유닛으로 이루어지는 셀 블록마다, 메모리 셀의 제어 게이트가 행 방향으로 배치된, 예를 들면 32개의 워드선 WL0 내지 WL31에 접속된다.

도 10에 도시한 DINOR형 EEPROM에서, 메모리 셀 유닛은 메인 비트선 D0 내지 Dn과 선택 게이트선 ST로 선택되며, 메모리 셀 유닛을 구성하는 메모리 셀은 워드선 WL0 내지 WL31을 이용하여 선택된다. DINOR형 EEPROM의 판독 동작에서, 비선택 메모리 셀을 오프하는 저레벨 전압을 비선택 워드선에 인가하고, 선택된 워드선에 판독 전압 V_{read} 를 제공하여 선택된 메모리 셀의 데이터 프로그램 상태를 검출한다.

메인 비트선에 프리차지 전압 V_{cc} 를 제공하고, 로컬 비트선의 선택 트랜지스터와 선택된 메모리 셀을 통해 메인 비트선으로부터 공통 소스선으로 흐르는 방전 전류(discharge current)에 의한 메인 비트선의 전압 변화로부터, 선택 메모리 셀의 프로그램 상태가 검출된다.

이 때, 고속 판독을 실현하기 위해 필요한 선택 게이트선 ST의 전압 V_{st} 로 선택된 워드선의 판독 전압 V_{read} 와의 관계는, 제1 및 제3 실시예에서 설명한 NAND형 EEPROM에서의 선택 게이트선 SG1의 전압 V_{sg1} 과 비선택 제어 게이트선의 판독 전압 V_{read} 와의 관계로 치환하여, 마찬가지로 도출할 수 있다.

<제5 실시예>

다음에, 도 11을 참조하여 제5 실시예에 대하여 설명한다. 제5 실시예에서는 제1 내지 제3 실시예에서 설명한 NAND형 EEPROM의 판독 동작을 AND형 EEPROM에 적용하는 경우에 대하여 설명한다. AND형 EEPROM 상세는 IEDM Tech. Digest, 1992, pp. 991-993에 기재되어 있다.

도 11에 도시한 AND형 EEPROM에서의 메모리 셀 어레이의 판독 동작은, 로컬 소스선과 메인 소스선 사이에 제2 선택 트랜지스터가 접속되는 것 외에는, 도 10에서 설명한 DINOR형 EEPROM의 메모리 셀 어레이와 마찬가지이기 때문에, 여기서는 양자의 상위점에 대해서만 설명한다.

AND형 EEPROM의 판독 동작에서, 메모리 셀 유닛은 메인 비트선 D0 내지 Dn과 선택 게이트선 ST1, ST2로 선택되어, 메인 비트선에 프리차지 전압 V_{cc} 를 제공하고, 메인 비트선과 로컬 비트선 사이에 접속된 제1 선택 트랜지스터(first select transistor), 로컬 비트선과 로컬 소스선 사이에 접속된 선택된 메모리 셀(selected memory cell), 및 로컬 소스선과 공통 소스선 사이에 접속된 제2 선택 트랜지스터(second select transistor)를 통해, 메인 비트선으로부터 메인 소스선으로 흐르는 방전 전류에 의한 메인 비트선의 전압 변화로부터 기입 상태가 검출된다.

이 때, 고속 판독을 실현하기 위해 필요한 제1 선택 트랜지스터의 선택 게이트선 ST1의 전압 V_{st1} 과, 제2 선택 트랜지스터의 선택 게이트선 ST2의 전압 V_{st2} 와, 선택된 워드선(selected word line)의 판독 전압 V_{read} 와의 관계는, 제1 내지 제3 실시예에서 설명한 NAND형 EEPROM에서의 선택 게이트선 SG1의 전압 V_{sg1} 과, 선택 게이트선 SG2의 전압 V_{sg2} 와, 비선택 제어 게이트선의 판독 전압 V_{read} 와의 관계로 치환하여 마찬가지로 적용할 수 있다.

<제6 실시예>

다음에, 도 12, 도 13을 참조하여 제6 실시예에 대하여 설명한다. 제6 실시예에서는, 제1 및 제3 실시예에서 설명한 NAND형 EEPROM의 판독 동작을 NOR 형 EEPROM에 적용하는 경우에 대하여 설명한다.

도 12에 NOR형 EEPROM의 메모리 셀 어레이의 구성을 나타낸다. 메모리 셀 어레이의 열 방향을 따라 비트선 BL0 내지 BLn이 배치되고, 공통 소스선이 메모리 셀 어레이의 열 방향을 따라 배치된다. 공통 소스선으로부터 메모리 셀 어레이의 행 방향을 따라 복수의 소스선이 인출되고, 각 비트선과 각 소스선 사이에, 비트선측의 1개의 선택 트랜지스터 및 소스선측의 1개의 메모리 셀이 직렬로 접속된 NOR형 셀로 이루어지는 메모리 셀 유닛이 접속된다.

복수의 메모리 셀 유닛으로 이루어지는 블록마다, 선택 트랜지스터의 선택 게이트가, 행 방향으로 배치된 선택 게이트선 ST에 접속되며, 또한, 복수의 메모리 셀 유닛으로 이루어지는 블록마다 메모리 셀의 제어 게이트가, 행 방향으로 배치된 워드선 WL에 접속된다.

도 12에 도시한 NOR형 EEPROM에서, 각 비트선과 소스선 사이에 병렬로 접속된 메모리 셀 유닛은 비트선 BL0 내지 BLn과 선택 게이트선 ST로 선택되고, 메모리 셀 유닛을 구성하는 메모리 셀은 워드선 WL을 이용하여 선택된다. NOR형 EEPROM의 판독 동작에서, 비선택 메모리 셀을 오프하는 저레벨 전압을 비선택 워드선에 인가하고, 선택된 워드선에 판독 전압 V_{read} 를 제공하여 선택된 메모리 셀의 데이터 프로그램 상태를 검출한다.
비트선에 프리차지 전압 V_{cc} 를 제공하고, 비트선측의 선택 트랜지스터와 소스선측의 선택된 메모리 셀을 통해 메인 비트선으로부터 공통 소스선으로 흐르는 방전 전류에 의한 비트선의 전압 변화로부터 프로그램 상태가 검출된다.
이 때, 고속 판독을 실현하기 위해 필요한 선택 게이트선 ST의 전압 V_{st} 와 선 택된 워드선의 판독 전압 V_{read} 와의 관계는, 제1 및 제3 실시예에서 설명한 NAND형 EEPROM에서의 선택 게이트선 SG1의 전압 V_{sg1} 과 비선택 제어 게이트선의 판독 전압 V_{read} 와의 관계로 치환하여 마찬가지로 적용시킬 수 있다.
도 13에 도시한 NOR형 EEPROM은, 메모리 셀 유닛이 소스선측에 접속된 선택 트랜지스터와 비트선측에 접속된 메모리 셀로 이루어지는 것이 특징이며, 그 밖의 구성 및 판독 동작은, 도 12에 도시한 NOR형 EEPROM과 마찬가지이기 때문에 설명을 생략한다.
도 13의 NOR형 EEPROM에서, 고속 판독을 실현하기 위해 필요한 선택 게이트선 ST의 전압 V_{st} 와 선택된 워드선의 판독 전압 V_{read} 와의 관계는, 제1 및 제3 실시예에서 설명한 NAND형 EEPROM에서의 선택 게이트선 SG2의 전압 V_{sg2} 와 비선택 제어 게이트선의 판독 전압 V_{read} 와의 관계로 치환하여 마찬가지로 적용시킬 수 있다.
또, 본 발명은 상기한 실시예에 한정되지 않는다. 앞서 말한 것처럼, 제1, 제3 실시예에서 설명한 NAND형 EEPROM의 판독 동작에서, 비트선측의 선택 트랜지스터 S1과, 소스선측의 선택 트랜지스터 S2 사이에 1개의 메모리 셀이 접속되는 경우에도 마찬가지로 본 발명을 적용할 수 있다.
단, 이 경우에는 고속 판독을 실현하기 위해 필요한 선택 게이트선 SG1, SG2의 전압 V_{sg1} , V_{sg2} 와 선택된 메모리 셀의 판독 전압 V_{read} 와의 관계는, 제4 내지 제6 실시예에서 설명한 선택 게이트선 SG1, SG2의 전압 V_{sg1} , V_{sg2} 와, 선택된 메모리 셀의 판독 전압 V_{read} 와의 관계로 치환하여 적용한다. 그 밖에 본 발명의 요지를 일탈하지 않는 범위에서, 다양하게 변형하여 실시할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 선택 트랜지스터의 선택 게이트와 채널부 사이에서의 절연막의 파괴를 회피하고, 고속으로 데이터 판독을 행할 수 있는 불휘발성 반도체 기억 장치를 제공하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.
불휘발성 반도체 기억 장치에 있어서,
적어도 1개의 선택 게이트 트랜지스터 및 적어도 1개의 메모리 셀로 이루어지는 메모리 셀 유닛이 어레이 형상으로 배열된 메모리 셀 어레이와,
상기 메모리 셀의 제어 게이트가 상기 메모리 셀 어레이의 행 방향을 따라 연속하여 접속된 제어 게이트선과,
상기 선택 게이트 트랜지스터의 선택 게이트가 상기 메모리 셀 어레이의 행 방향을 따라 연속하여 접속된 선택 게이트선
을 포함하고,
상기 메모리 셀에 프로그램된 프로그램 데이터의 판독 동작 중 및 상기 프로그램 데이터 검증 판독 동작 중에, 선택된 상기 메모리 셀 유닛에서의 상기 제어 게이트선의 제1 전압 레벨의 최고치가 상기 메모리 셀 유닛의 모든 상기 선택 게이트선의 제2 전압 레벨보다 높은 것을 특징으로 하는 불휘발성 반도체 기억 장치.
청구항 2.
제1항에 있어서,
상기 메모리 셀 유닛은, 인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬로 접속된 메모리 셀 열과,
상기 메모리 셀 열의 한쪽 종단부에 접속된 제1 선택 트랜지스터와,
상기 메모리 셀 열의 다른 쪽 종단부에 접속된 제2 선택 트랜지스터
를 포함하고,
상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입은 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.
청구항 3.
제2항에 있어서,
상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입은 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.
청구항 4.
제1항에 있어서,

상기 메모리 셀에 프로그램된 프로그램 데이터의 판독 동작 및 상기 프로그램 데이터 검증 판독 동작 시에, 비선택의 상기 메모리 셀 유닛의 제어 게이트선의 전압 레벨이 상기 메모리 셀 유닛의 모든 선택 게이트선의 전압 레벨보다 높게 된 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5.

제4항에 있어서,

상기 메모리 셀 유닛은, 인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬로 접속된 메모리 셀 열과,

상기 메모리 셀 열의 한쪽 종단부에 접속된 제1 선택 트랜지스터와,

상기 메모리 셀 열의 다른 쪽 종단부에 접속된 제2 선택 트랜지스터

를 포함하고,

상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 6.

제5항에 있어서,

상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7.

제1항에 있어서,

상기 메모리 셀은, 전하의 축적 상태에 따라 데이터를 기억하는 부유 게이트 및 상기 부유 게이트에의 전하의 축적을 제어하는 상기 제어 게이트로 이루어지는 적층 게이트 구조를 구비하고, 상기 선택 트랜지스터의 선택 게이트는 상기 부유 게이트와 동일 배선층에 형성되며, 상기 메모리 셀의 채널부 및 상기 부유 게이트 사이에서의 절연막의 두께는, 상기 선택 트랜지스터의 채널부 및 상기 선택 트랜지스터의 선택 게이트 사이에서의 절연막의 두께와 동일하게 된 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 8.

제7항에 있어서,

상기 메모리 셀 유닛은, 인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬로 접속된 메모리 셀 열과,

상기 메모리 셀 열의 한쪽 종단부에 접속된 제1 선택 트랜지스터와,

상기 메모리 셀 열의 다른 쪽 종단부에 접속된 제2 선택 트랜지스터

를 포함하고,

상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 9.

제8항에 있어서,

상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 10.

제1항에 있어서,

상기 메모리 셀의 채널부 및 상기 메모리 셀의 부유 게이트 사이의 절연막은, 상기 선택 트랜지스터의 채널부 및 상기 선택 트랜지스터의 선택 게이트 사이의 절연막과 동일 공정으로 형성된 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 11.

제10항에 있어서,

상기 메모리 셀 유닛은,

인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬로 접속된 메모리 셀 열과,

상기 메모리 셀 열의 한쪽 종단부에 접속된 제1 선택 트랜지스터와,

상기 메모리 셀 열의 다른 쪽 종단부에 접속된 제2 선택 트랜지스터

를 포함하고,

상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 12.

제11항에 있어서,

상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 13.

불휘발성 반도체 기억 장치에 있어서,

제1, 제2 선택 트랜지스터 및 적어도 1개의 메모리 셀로 이루어지는 메모리 셀 유닛이 어레이 형상으로 배열된 메모리 셀 어레이와,

상기 메모리 셀의 제어 게이트가 상기 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제어 게이트선과,

상기 제1 선택 트랜지스터의 선택 게이트가 상기 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제1 선택 게이트선과,

상기 제2 선택 트랜지스터의 선택 게이트가 상기 메모리 셀 어레이의 행 방향을 따라 일렬로 접속된 제2 선택 게이트선

을 포함하고,

상기 메모리 셀에 프로그램된 프로그램 데이터의 판독 동작 및 상기 프로그램 데이터의 검증 판독 동작 시에, 선택된 상기 메모리 셀 유닛에서의 상기 제1 선택 게이트선의 전압 레벨이 상기 메모리 셀 유닛에서의 상기 제2 선택 게이트선의 전압 레벨과 다른 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 14.

제13항에 있어서,

상기 메모리 셀 유닛은, 인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬 또는 병렬로 접속된 메모리 셀 열과,

상기 메모리 셀 열의 한쪽의 종단부에 접속된 상기 제1 선택 트랜지스터와,

상기 메모리 셀 열의 다른 쪽의 종단부에 접속된 상기 제2 선택 트랜지스터

를 포함하고,

상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입은 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 15.

제14항에 있어서,

상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입은 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 16.

제13항에 있어서,

상기 메모리 셀에 프로그램된 프로그램 데이터의 판독 동작 및 상기 프로그램 데이터의 검증 판독 동작 시에, 비선택의 상기 메모리 셀 유닛의 제어 게이트선 의 전압 레벨이 상기 메모리 셀 유닛에서의 모든 상기 제1, 제2 선택 게이트선의 전압 레벨보다 높게 된 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 17.

제16항에 있어서,

상기 메모리 셀 유닛은, 인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬 또는 병렬로 접속된 메모리 셀 열과,

상기 메모리 셀 열의 한쪽의 종단부에 접속된 상기 제1 선택 트랜지스터와,

상기 메모리 셀 열의 다른 쪽의 종단부에 접속된 상기 제2 선택 트랜지스터

를 포함하고,

상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 18.

제17항에 있어서,

상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 19.

제13항에 있어서,

상기 메모리 셀은, 전하의 축적 상태에 따라 데이터를 기억하는 부유 게이트 및 상기 부유 게이트에의 전하의 축적을 제어하는 상기 제어 게이트로 이루어지는 적층 게이트 구조를 구비하고, 상기 제1, 제2 선택 트랜지스터의 선택 게이트는 상기 부유 게이트와 동일 배선층에 형성되며, 상기 메모리 셀의 채널부 및 상기 부유 게이트 사이에서의 절연막의 두께는, 상기 제1, 제2 선택 트랜지스터의 채널부 및 상기 제1, 제2 선택 트랜지스터의 선택 게이트 사이에서의 절연막의 두께와 동일하게 된 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 20.

제19항에 있어서,
상기 메모리 셀 유닛은, 인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬 또는 병렬로 접속된 메모리 셀 열과,
상기 메모리 셀 열의 한쪽의 종단부에 접속된 상기 제1 선택 트랜지스터와,
상기 메모리 셀 열의 다른 쪽의 종단부에 접속된 상기 제2 선택 트랜지스터
를 포함하고,
상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 21.

제20항에 있어서,
상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 22.

제13항에 있어서,
메모리 셀의 채널부 및 상기 메모리 셀의 부유 게이트 사이의 절연막은, 상기 제1, 제2 선택 트랜지스터의 채널부 및 상기 제1, 제2 선택 트랜지스터의 선택 게이트 사이의 절연막과 동일 공정으로 형성된 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 23.

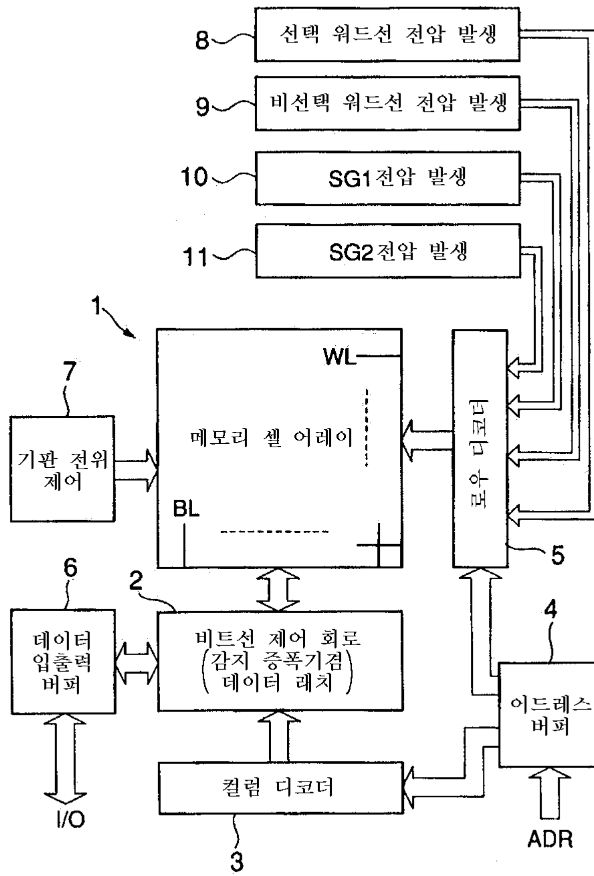
제22항에 있어서,
상기 메모리 셀 유닛은,
인접하는 복수의 상기 메모리 셀이 상기 메모리 셀 유닛의 길이 방향을 따라 상호 직렬 또는 병렬로 접속된 메모리 셀 열과,
상기 메모리 셀 열의 한쪽의 종단부에 접속된 상기 제1 선택 트랜지스터와,
상기 메모리 셀 열의 다른 쪽의 종단부에 접속된 상기 제2 선택 트랜지스터
를 포함하고,
상기 제1 선택 트랜지스터의 채널부 및 상기 제1 선택 트랜지스터의 선택 게 이트 사이의 절연막과, 상기 제2 선택 트랜지스터의 채널부 및 상기 제2 선택 트랜지스터의 선택 게이트 사이의 절연막은 동일 공정으로 형성된 것이며, 상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 24.

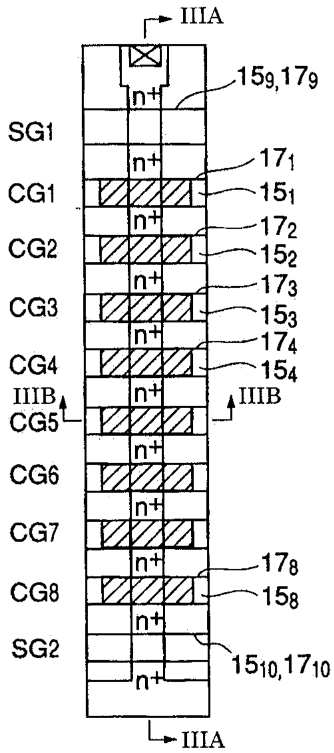
제23항에 있어서,
상기 제1, 제2 선택 트랜지스터의 채널부에의 이온 주입 및 상기 메모리 셀의 채널부에의 이온 주입이 동일 공정으로 이루어진 것을 특징으로 하는 불휘발성 반도체 기억 장치.

도면

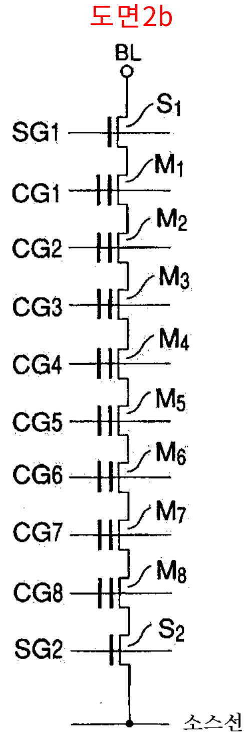
도면1



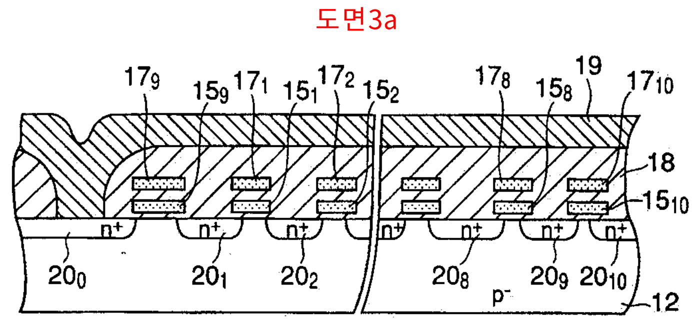
도면2a



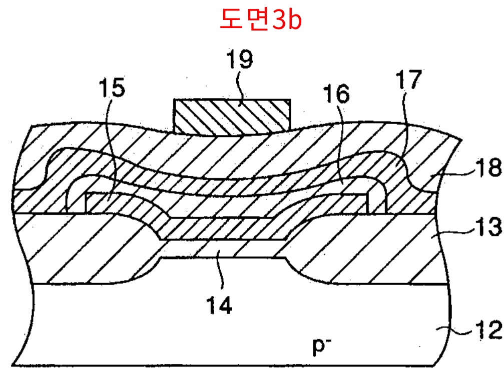
도면2b



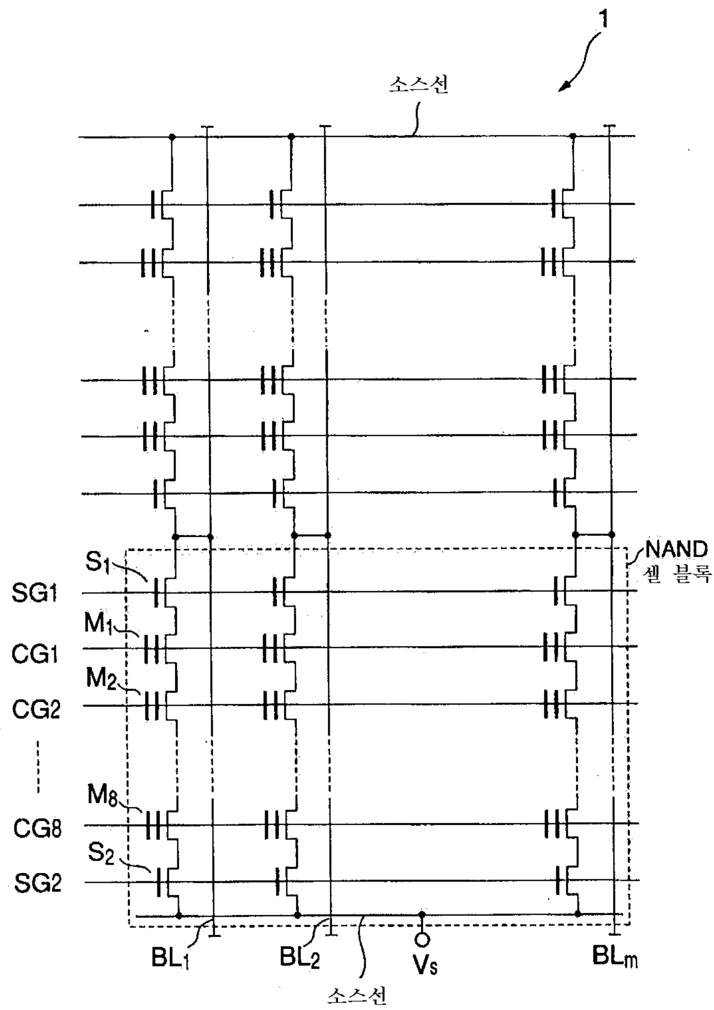
도면3a



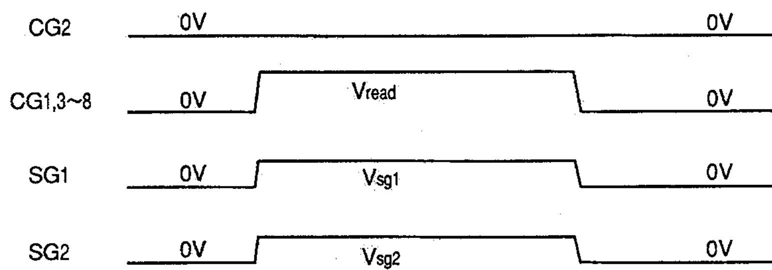
도면3b

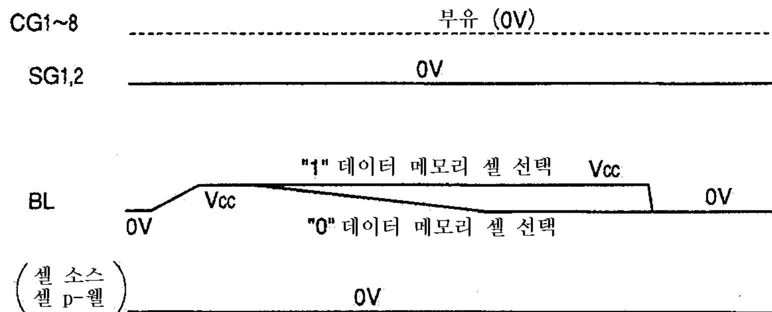


도면4



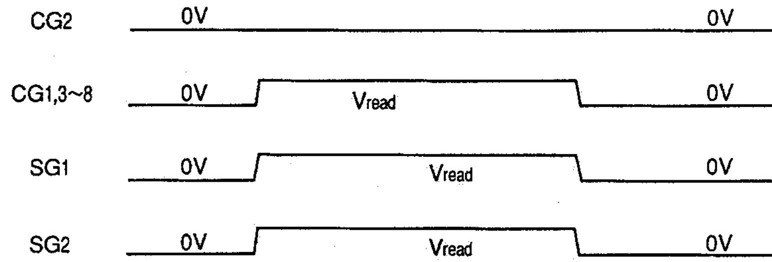
도면5



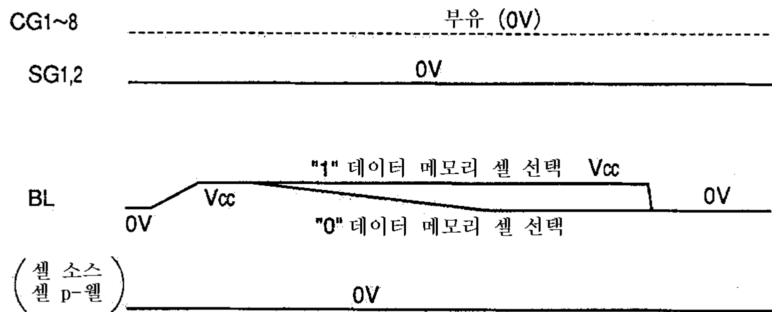


도면6

선택 블록내

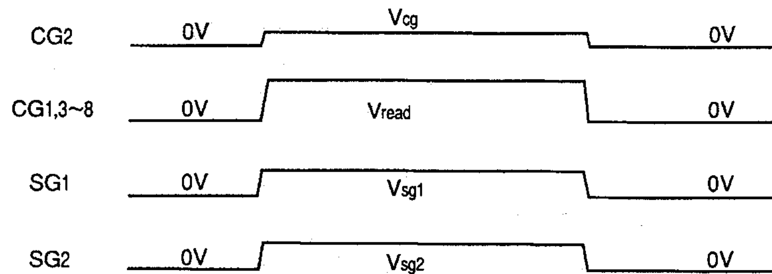


비선택 블록내

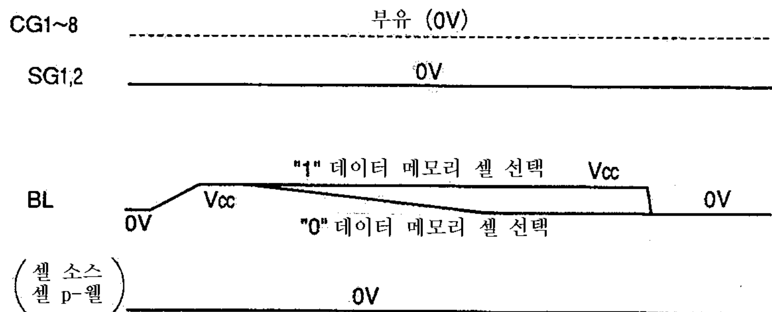


도면7

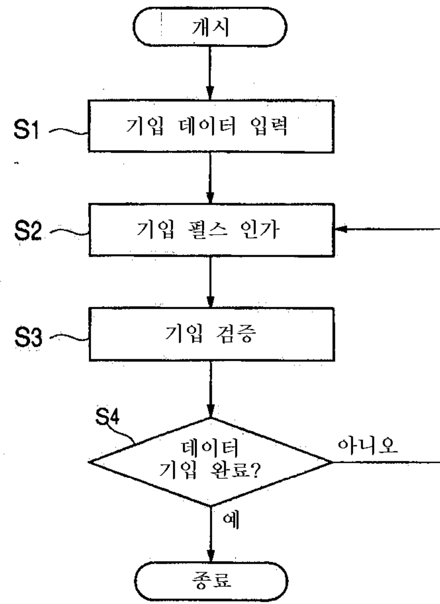
선택 블록내



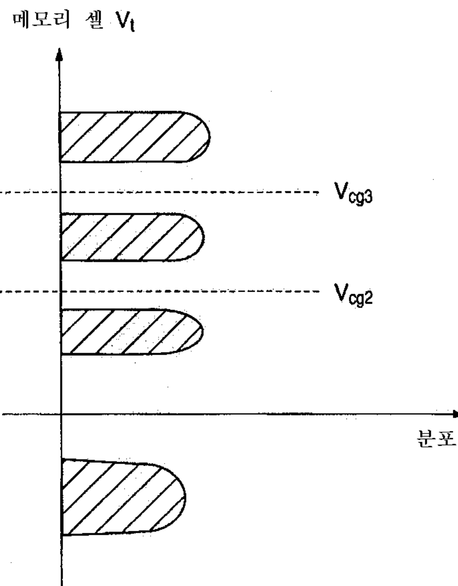
비선택 블록내



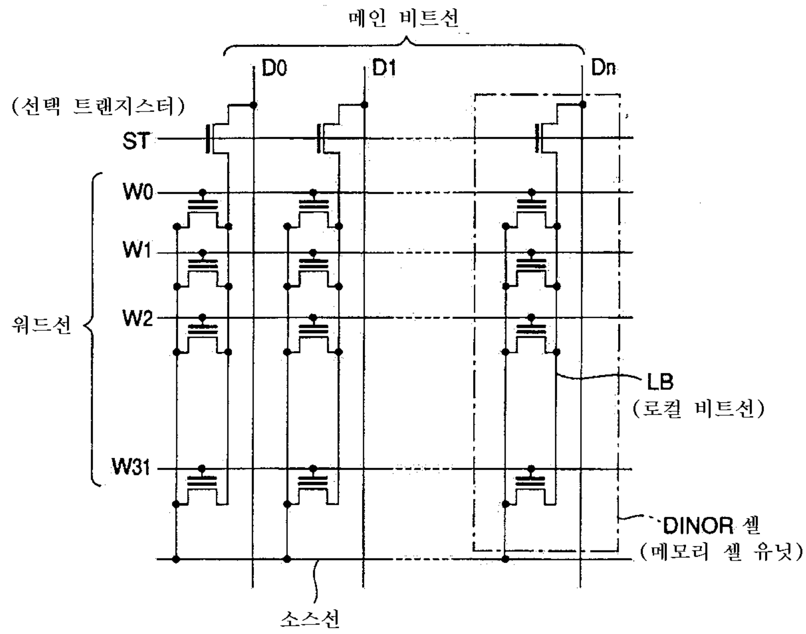
도면8



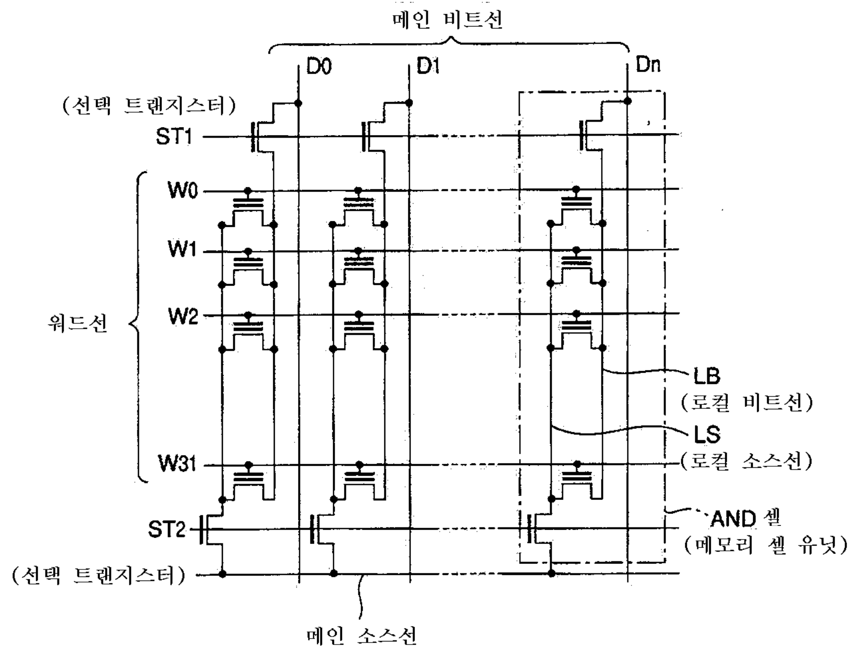
도면9



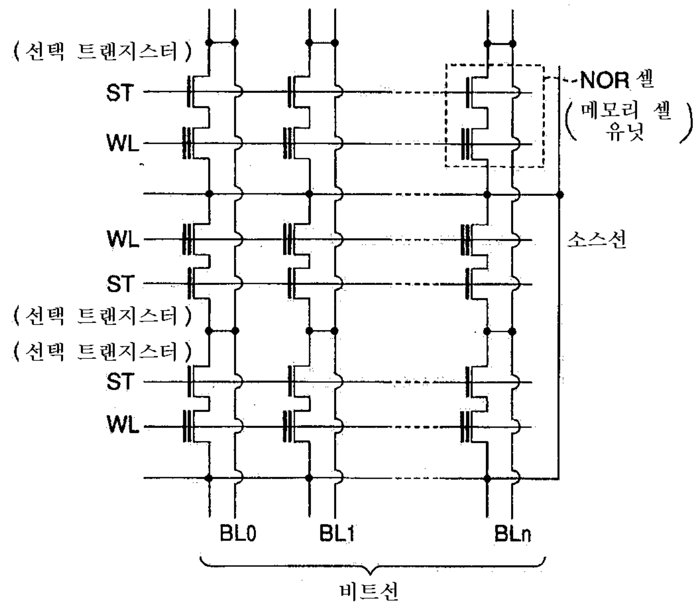
도면10



도면11



도면12



도면13