

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/31

(11) 공개번호 10-2005-0035024
(43) 공개일자 2005년04월15일

(21) 출원번호 10-2003-0070851
(22) 출원일자 2003년10월11일

(71) 출원인 동부아남반도체 주식회사
서울 강남구 대치동 891-10
(72) 발명자 박건욱
서울특별시영등포구양평동5가양평한신109동1007호
(74) 대리인 서천석

심사청구 : 있음

(54) 반도체 소자의 층간 절연막 형성 방법

요약

본 발명은 FSG(Fluorine doped Silicate Glass, 이하 FSG)막의 불소(F)가 금속 배선으로 확산하여 금속을 식각시키는 것을 막기 위해 금속 배선 형성 후, PECVD(Plasma Enhanced Chemical Vapor Deposition, 이하 PECVD) 또는 HDP-CVD(High Density Plasma-Chemical Vapor Deposition, 이하 HDP-CVD)를 이용하여 SRO(Silicon Rich Oxide, 이하 SRO)막을 먼저 형성한 후, 같은 장치에서 FSG막을 형성하여 불소의 금속 배선 침투를 막는 금속 배선의 절연막에 관한 것이다.

본 발명의 반도체 소자의 층간 절연막 형성 방법은 소정의 소자가 형성된 기판상에 금속 배선을 형성하는 단계; 상기 금속 배선상에 SRO막을 형성하는 단계; 및 상기 SRO막을 형성한 장치를 이용하여 연속적으로 SRO막상에 FSG막을 형성하는 단계를 포함하여 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 반도체 소자의 층간 절연막 형성 방법은 FSG막으로부터 금속으로의 불소의 침투를 막을 수 있어, 불소의 침투에 의해 발생하는 금속의 부식을 막을 수 있고, FSG막 증착 장비 내에서 하나의 조건(Recipe)으로 SRO막과 FSG막을 연속적으로 진행할 수 있으므로 공정 시간을 단축할 수 있는 장점이 있다.

대표도

도 2a

색인어

SRO, FSG

명세서

도면의 간단한 설명

도 1은 종래기술에 의한 층간 절연막 형성 방법의 단면도.

도 2a 내지 도 2b는 본 발명에 의한 층간 절연막 형성 방법의 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 층간 절연막 형성 방법에 관한 것으로, 보다 자세하게는 FSG(Fluorine doped Silicate Glass, 이하 FSG)막의 불소(F)가 금속 배선으로 확산하여 금속을 식각시키는 것을 막기 위해 금속 배선 형성 후, PECVD(Plasma

Enhanced Chemical Vapor Deposition, 이하 PECVD) 또는 HDP-CVD(High Density Plasma-Chemical Vapor Deposition, 이하 HDP-CVD)를 이용하여 SRO(Silicon Rich Oxide, 이하 SRO)막을 먼저 형성한 후, 같은 장치에서 FSG 막을 형성하여 불소의 금속 배선 침투를 막는 금속 배선의 절연막에 관한 것이다.

일반적으로, 반도체 소자의 고집적화가 진행됨에 따라 금속 배선의 수가 증가하고 반면에 금속 배선의 피치(pitch)가 축소되고 있다. 이러한 금속 배선의 피치 축소로 인하여 금속 배선의 저항이 증가할뿐만 아니라 반도체 소자의 금속 배선간을 절연시키는 층간 절연막(InterMetal Dielectric, 이하 IMD)과 금속 배선이 기생 커패시터 구조를 이룸으로써 반도체 소자의 특성에 악영향을 미친다. 즉, 반도체 소자의 응답 속도를 결정하는 RC 상수가 증가하고 전력 소모도 증가한다.

이러한 점 때문에 반도체 소자의 고집적화에 적합한 저유전율의 층간 절연막이 절실히 요망되어 왔고, 최근에 들어 저유전율의 층간 절연막으로서 FSG막이 이용되기 시작하였다. 그러나, FSG막은 불소의 농도가 낮을수록 유전율이 낮아지나 불소의 농도가 높을수록 수분과의 결합도가 증가하여 금속 배선의 부식을 일으키는 트레이드 오프(trade off)가 존재한다. 따라서, 유전율이 비교적 높은 3.5 정도의 FSG막이 사용되는 것이 통상적이다.

종래의 반도체 소자에서는 도 1에 도시된 바와 같이, 반도체 기판(11) 상의 여러 소자들의 상부에 금속 배선들(12)이 형성되고, 상기 금속 배선들 상에 장벽막(13)이 적층되고, 상기 장벽막 상에 불소를 포함한 층간 절연막인 FSG막(14)이 적층되고, 상기 FSG막상에 확산 방지막(15)이 적층된다. 여기서, 상기 장벽막은 금속 배선들을 FSG막에 의한 손상으로부터 보호하는 역할을 하고, 상기 확산 방지막은 FSG막의 불소가 인접 막으로 확산하는 것을 방지하는 역할을 한다. 상기 장벽막 및 확산 방지막은 모두 도핑되지 않은 실리케이트 글래스(Undoped Silicate Glass, 이하 USG)막으로 이루어진다. 미합중국 등록특허 제6,458,722호는 HDP-CVD를 이용하여 SRO막을 형성하는 방법 및 장치를 컨트롤하는 방법에 관한 것이고, 한국공개특허 제2003-0052254호는 3.0 내지 3.8%의 불소를 함유한 층간 절연막을 형성하는 방법에 관한 것이다.

그러나, 상기와 같은 종래의 층간 절연막 형성 방법은 층간 절연막인 FSG막과 장벽막 및 확산 방지막을 각각 다른 장치를 사용하여 형성함으로써 공정 시간이 많이 소모되고, 적어도 두 개 이상의 장치가 필요하다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 같은 장치를 이용하여 FSG막 및 SRO막을 형성함으로써 불소의 확산을 방지하여 금속의 부식을 막을 수 있고, FSG막 및 SRO막 형성에 하나의 장치를 이용함으로써 시간과 비용이 절감되도록 하는 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

본 발명의 상기 목적은 소정의 소자가 형성된 기판상에 금속 배선을 형성하는 단계; 상기 금속 배선상에 SRO막을 형성하는 단계; 및 상기 SRO막을 형성한 장치를 이용하여 연속적으로 SRO막상에 FSG막을 형성하는 단계를 포함하여 이루어진 반도체 소자의 층간 절연막 형성 방법에 의해 달성된다.

또한, 본 발명의 상기 목적은 소정의 소자가 형성된 기판상에 금속 배선을 형성하는 단계; 상기 금속 배선상에 제1SRO막을 형성하는 단계; 상기 제1SRO막을 형성한 장치를 이용하여 연속적으로 제1SRO막상에 FSG막을 형성하는 단계; 및 상기 FSG막상에 FSG막을 형성한 장치를 이용하여 연속적으로 제2SRO막을 형성하는 단계를 포함하여 이루어진 반도체 소자의 층간 절연막 형성 방법에 의해 달성된다.

FSG막을 층간 절연막으로 사용시, FSG막의 불소이 금속막에 영향을 미치지 않도록 종래에는 굴절률(Refractive Index)이 1.46 대역인 일반적인 산화막을 이용하였으나, 최근에는 굴절률이 1.5 대역인 SRO막을 사용하고 있는데, 일반적인 SRO막의 증착은 FSG막 증착 후, 타 장비를 이용하여 이루어진다. 그러나 FSG막 증착 전에 이미 금속 배선이 형성되어 있으므로 이에 대한 불소의 침투를 방지하는 것도 중요하다. 본 고안은 이미 형성되어 있는 금속 배선을 보호하기 위하여 금속 배선을 형성하고 동일한 장치에서 SRO막을 증착 후, 연속적으로 FSG막을 증착하는 것에 대한 것이다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 2a 내지 도 2b는 본 발명에 의해 형성된 층간 절연막의 단면도이다. 도 2a에서 보는 바와 같이 필드 산화막, 게이트 산화막, 게이트 및 소오스/드레인과 같은 소자(도시 안함)가 형성된 기판(21)상에 금속 배선(22) 형성을 위한 금속을 증착한 후, 패터닝하고 식각하여 금속 배선을 형성한다. 그리고 상기 금속 배선이 형성된 기판을 PECVD 또는 HDP-CVD 장치에 장입하고, RF(Ratio Frequency, 이하 RF) 파워(Power)를 2000 내지 5000W을, 바람직하게는 3500W를 인가하고, 가스의 경우에는 실란(SiH₄)은 90 내지 130sccm, 산소(O₂)는 120 내지 160sccm, 아르곤(Ar)은 60 내지 70sccm을 공급하는데, 바람직하게는 실란이 110sccm, 산소가 145sccm, 아르곤이 65sccm 공급된다.

상기와 같은 공정 조건은 같은 장치에서 형성되는 FSG의 공정 조건인 RF 파워를 2000 내지 5000W을, 바람직하게는 3500W를 인가하고, 가스의 경우에는 실란(SiH₄)은 60 내지 110sccm, 산소는 120 내지 160sccm, 아르곤은 60 내지 70sccm, 실리콘플로라이드(SiF₄)는 50 내지 80sccm을 공급하는데, 바람직하게는 실란이 110sccm, 산소가 145sccm, 아르곤이 65sccm, 실리콘플로라이드는 65sccm인 조건과 비교하여 실리콘플로라이드 가스를 제외하고는 같은 조건이다. 따라서, 실리콘플로라이드 가스가 포함되지 않는 혼합 가스(실란, 산소 및 아르곤의 혼합가스)를 이용하여 SRO막을 먼저 형성한 후, 실리콘플로라이드 가스가 포함된 혼합가스를 이용하여 FSG막을 형성할 수 있다. 그리고 CMP(Chemical Mechanical Polishing, 이하 CMP)와 같은 평탄화 공정을 이용하여 평탄화한 후, 이후 공정을 실시한다. 상기 SRO막의 두께는 500 내지 2000Å, 바람직하게는 1000Å으로 증착하고, FSG막은 금속 배선간 절연이 충분히 될만큼 두껍게 형성한다.

또 다른 실시예인 도 2b는 상기에서 설명한 바와 같은 공정 조건 및 방법으로 소정의 소자가 형성된 기판(31)상에 금속 배선(32), 제1SRO(33)막 및 FSG막(34)까지 형성하고 상기와 같이 평탄화 공정을 실시하는 것이 아니라, 같은 장치에서 연속적으로 아르곤과 같은 불활성 가스를 이용하여 퍼지(purge)를 실시하여 실리콘플로라이드 가스가 완전히 제거되도록 한 후, 상기와 같은 공정 조건 및 방법으로 제2SRO막(35)을 형성한 후, 평탄화 공정을 실시하여 평탄화시킨다. 이 때 상기 제2SRO막은 평탄화 공정 이후에도 불소의 확산을 방지할 만큼의 두께가 남도록 두껍게 형성한다. 이 때 상기 제1SRO의 두께는 500 내지 2000 Å, 바람직하게는 1000 Å으로 증착한다. 또한 상기 FSG막의 굴절률은 1.45 내지 1.47이고, SRO막의 굴절률은 1.50 내지 1.60을 갖고 있고, 바람직하게는 FSG막의 굴절률이 1.467이고 SRO막의 굴절률은 1.523이다.

상기와 같은 방법으로 형성된 SRO막들은 FSG막에서 확산되어 움직이는 불소를 SRO막 내부의 산소와 결합되어 있지 않은 여분의 실리콘과 결합시켜 트랩(Trap)시키거나, 실란 가스를 이용함으로써 발생하는 수소화 실리콘(Hydrogenated Silicon ; Si:H)에 정전기적 효과에 의해 트랩시키는 특성이 있어, 불소의 확산 방지막으로서 작용한다. 따라서, 첫번째 실시예는 하부에 위치한 금속 배선으로 불소가 확산하는 것을 방지할 수 있고, 두번째 실시예는 상부 및 하부의 양방향으로 불소가 확산되는 것을 방지할 수 있다.

상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

발명의 효과

따라서, 본 발명의 반도체 소자의 층간 절연막 형성 방법은 FSG막 특성상 발생하는 불소의 확산을 방지하는 SRO막을 같은 장치에서 연속적으로 형성함으로써 FSG막으로부터 금속으로의 불소의 침투를 막을 수 있어, 불소의 침투에 의해 발생하는 금속의 부식을 막을 수 있고, FSG막 증착 장비 내에서 하나의 조건(Recipe)으로 SRO막과 FSG막을 연속적으로 진행할 수 있으므로 공정 시간을 단축할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

소정의 소자가 형성된 기판상에 금속 배선을 형성하는 단계;

상기 금속 배선상에 SRO막을 형성하는 단계; 및

상기 SRO막을 형성한 장치를 이용하여 연속적으로 SRO막상에 FSG막을 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

청구항 2.

소정의 소자가 형성된 기판상에 금속 배선을 형성하는 단계;

상기 금속 배선상에 제1SRO막을 형성하는 단계;

상기 제1SRO막을 형성한 장치를 이용하여 연속적으로 제1SRO막상에 FSG막을 형성하는 단계; 및

상기 FSG막상에 FSG막을 형성한 장치를 이용하여 연속적으로 제2SRO막을 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

청구항 3.

제 2항에 있어서,

상기 제2SRO막을 형성하는 단계이전에 불활성가스로 퍼지하는 단계를 더 포함함을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 SRO막, 제1SRO막 및 제2SRO막은 RF 파워는 2000 내지 5000W, 실란은 90 내지 130sccm, 산소는 120 내지 160sccm, 아르곤은 60 내지 70sccm의 공정 조건으로 형성됨을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

청구항 5.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 FSG막은 RF 파워는 2000 내지 5000W, 실란은 90 내지 130sccm, 산소는 120 내지 160sccm, 아르곤은 60 내지 70sccm, 실리콘플로라이드는 50 내지 80sccm의 공정 조건으로 형성됨을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

청구항 6.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 SRO막 및 제1SRO막은 500 내지 2000Å의 두께임을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

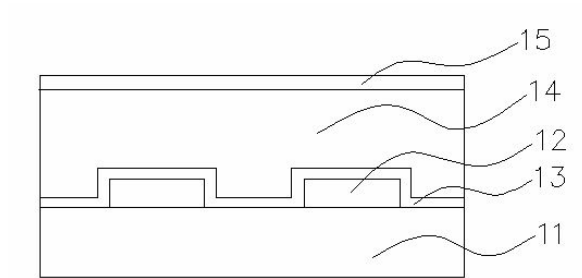
청구항 7.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

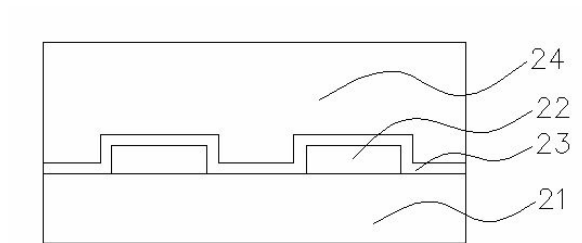
상기 SRO막, 제1SRO막 및 제2SRO막의 굴절률은 1.50 내지 1.60임을 특징으로 하는 반도체 소자의 층간 절연막 형성 방법.

도면

도면1



도면2a



도면2b

