



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0124568
(43) 공개일자 2018년11월21일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01)

(52) CPC특허분류
G11C 29/787 (2013.01)
G11C 29/838 (2013.01)

(21) 출원번호 10-2017-0059331
(22) 출원일자 2017년05월12일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
유정택
경기도 구리시 건원대로76번길 134, 415동 701호
(인창동, 인창4단지주공아파트)

(74) 대리인
특허법인신성

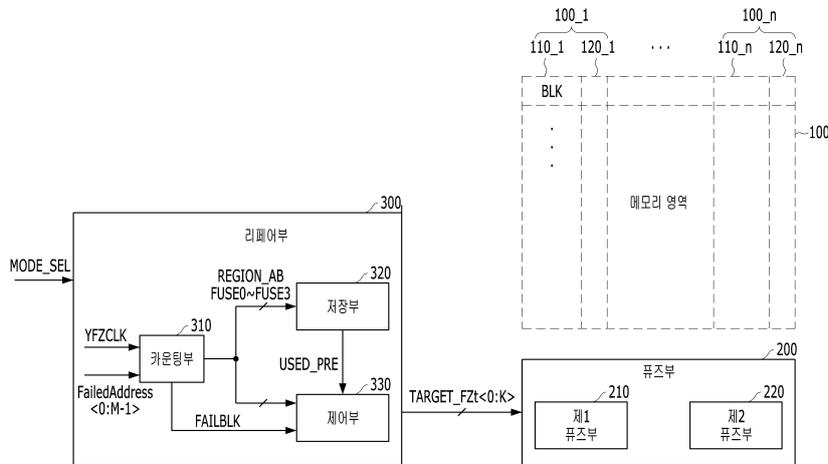
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 리페어 회로 및 이를 포함하는 메모리 장치

(57) 요약

본 기술은 메모리 장치에 관한 것으로서, 노멀 셀 어레이 및 리던던시 셀 어레이를 각각 포함하는 복수의 메모리 셀 어레이들, 상기 메모리 셀 어레이들 중 제1 메모리 셀 어레이들에 대응하여, 복수의 제1 퓨즈 셋들을 포함하는 제1 퓨즈부, 상기 메모리 셀 어레이들 중 제2 메모리 셀 어레이들에 대응하여, 상기 제1 퓨즈 셋들에 대응하는 복수의 제2 퓨즈 셋들을 포함하는 제2 퓨즈부, 및 상기 제1 및 제2 퓨즈 셋들 각각의 결함 및 사용 여부를 나타내는 정보를 바탕으로 상기 제1 및 제2 퓨즈 셋들 중 서로 대응하는 하나의 퓨즈 셋 쌍을 선택하여 상기 메모리 셀 어레이들의 리페어 대상 컬럼 어드레스를 프로그램하는 리페어부를 제공한다.

대표도



명세서

청구범위

청구항 1

노멀 셀 어레이 및 리던던시 셀 어레이를 각각 포함하는 복수의 메모리 셀 어레이들:

상기 메모리 셀 어레이들 중 제1 메모리 셀 어레이들에 대응하여, 복수의 제1 퓨즈 셋들을 포함하는 제1 퓨즈부;

상기 메모리 셀 어레이들 중 제2 메모리 셀 어레이들에 대응하여, 상기 제1 퓨즈 셋들에 대응하는 복수의 제2 퓨즈 셋들을 포함하는 제2 퓨즈부; 및

상기 제1 및 제2 퓨즈 셋들 각각의 결함 및 사용 여부를 나타내는 정보를 바탕으로 상기 제1 및 제2 퓨즈 셋들 중 서로 대응하는 하나의 퓨즈 셋 쌍을 선택하여 상기 메모리 셀 어레이들의 리페어 대상 컬럼 어드레스를 프로그램하는 리페어부;를 포함하는,

메모리 장치

청구항 2

제1항에 있어서,

상기 리페어부는,

클럭 신호를 카운트하여 상기 제1 및 제2 퓨즈 셋들에 순차적으로 대응하는 카운트 신호를 생성하는 카운팅부; 및

상기 제1 및 제2 퓨즈 셋들 각각의 결함 및 사용 여부를 나타내는 정보를 저장하고, 상기 카운트 신호에 응답해, 해당하는 퓨즈 셋의 정보를 출력하는 저장부; 및

상기 카운트 신호에 응답해, 상기 저장부에서 출력되는 정보를 바탕으로 상기 선택된 퓨즈 셋 쌍을 나타내는 타겟 신호를 생성하는 제어부;를 포함하는 메모리 장치.

청구항 3

제2항에 있어서,

상기 카운팅부는,

상기 클럭 신호에 따라 퓨즈 카운트 신호 값을 하나씩 증가시켜 출력하는 카운팅 유닛; 및

상기 퓨즈 카운트 신호를 인코딩하여 상기 카운트 신호를 생성하는 인코딩 유닛;을 포함하는 메모리 장치.

청구항 4

제3항에 있어서,

상기 제어부는,

상기 제1 및 제2 퓨즈 셋들 중 서로 대응하는 복수의 퓨즈 셋 쌍들에 각각 대응하는 복수의 선택 신호들을 생성하는 선택 신호 생성부;

상기 카운트 신호에 응답해, 상기 복수의 선택 신호들을 조합하여 래치 신호를 생성하는 선택 신호 조합부; 및

상기 래치 신호에 응답해, 상기 퓨즈 카운트 신호를 래치하여 상기 타겟 신호를 생성하는 래치부;를 포함하는

메모리 장치.

청구항 5

제4항에 있어서,

상기 선택 신호 신호 생성부는 상기 복수의 퓨즈 셋 쌍들에 각각 대응하는 복수의 신호 생성 유닛들을 포함하며,

상기 신호 생성 유닛들은 각각,

상기 카운트 신호에 응답해, 상기 저장부에서 출력되는 정보를 바탕으로, 해당 퓨즈 셋 쌍의 제1 퓨즈 셋의 활성화 신호를 생성하는 제1 활성화 유닛;

상기 카운트 신호에 응답해, 상기 저장부에서 출력되는 정보를 바탕으로, 상기 해당 퓨즈 셋 쌍의 제2 퓨즈 셋의 활성화 신호를 생성하는 제2 활성화 유닛; 및

상기 제1 및 제2 활성화 유닛들의 출력 신호들을 조합하여 상기 해당 퓨즈 셋 쌍의 선택 신호를 생성하는 제1 신호 조합 유닛;을 포함하는 메모리 장치.

청구항 6

제4항에 있어서,

상기 선택 신호 조합부는,

상기 카운트 신호에 응답해, 상기 복수의 선택 신호들의 논리 레벨에 따라 출력 신호를 활성화하는 제2 신호 조합 유닛; 및

모드 선택 신호에 응답해, 상기 제2 신호 조합 유닛의 출력 신호 및 상기 저장부에서 출력되는 정보를 선택적으로 상기 래치 신호로 전달하는 모드 선택 유닛;을 포함하는 메모리 장치.

청구항 7

제6항에 있어서,

상기 복수의 메모리 셀 어레이들은 복수의 메모리 블록들을 포함하고, 상기 제1 및 제2 퓨즈 셋들은 각각 상기 메모리 블록들에 대응하는 복수의 퓨즈 유닛들을 포함하는 메모리 장치.

청구항 8

제7항에 있어서,

상기 카운팅부는,

리페어 대상 로우 어드레스를 상기 퓨즈 카운트 신호와 비교하여 검출 신호를 생성하는 비교 유닛을 더 포함하는 메모리 장치.

청구항 9

제8항에 있어서,

상기 선택 신호 조합부는,

상기 검출 신호에 응답해, 상기 모드 선택 유닛의 출력 신호를 상기 래치 신호로 전달하는 래치 신호 생성 유닛을 더 포함하는 메모리 장치.

청구항 10

제8항에 있어서,

상기 제1 및 제2 활성화 유닛들은, 상기 검출 신호에 응답해, 각각 제1 및 제2 퓨즈 셋들의 복수의 퓨즈 유닛들 중 해당 퓨즈 유닛의 활성화 신호를 생성하는 메모리 장치.

청구항 11

제1항에 있어서,

상기 복수의 메모리 셀 어레이들에 발생한 결함을 검출하기 위해 ECC(Error Correction Code) 동작을 동반한 라이트/리드 동작을 수행하는데 반해, 상기 제1 메모리 셀 어레이들 또는 상기 제2 메모리 셀 어레이들에 발생한 결함을 검출하기 위해 ECC 동작 없이 라이트/리드 동작을 수행하는 메모리 장치.

청구항 12

제11항에 있어서,

N-비트(N은 자연수)의 데이터를 이용해 상기 복수의 메모리 셀 어레이들에 발생한 결함을 검출할 때, $1/2 * N$ -비트의 데이터를 이용해 상기 제1 메모리 셀 어레이들 또는 상기 제2 메모리 셀 어레이들에 발생한 결함을 검출하는 메모리 장치.

청구항 13

복수의 메모리 셀 어레이들 중 제1 메모리 셀 어레이들에 대응하는 복수의 제1 퓨즈 셋들;

상기 메모리 셀 어레이들 중 제2 메모리 셀 어레이들에 대응하고, 상기 제1 퓨즈 셋들에 각각 대응하여 복수의 퓨즈 셋 쌍들을 형성하는 복수의 제2 퓨즈 셋들;

상기 제1 및 제2 퓨즈 셋들 각각의 결함 및 사용 여부를 나타내는 정보를 저장하는 저장부; 및

상기 저장부에 저장된 정보를 바탕으로 상기 복수의 퓨즈 셋 쌍들 중 하나의 퓨즈 셋 쌍을 선택하여 타겟 신호를 출력하는 제어부;를 포함하는,

리페어 회로.

청구항 14

제13항에 있어서,

클럭 신호를 카운트하여 상기 제1 및 제2 퓨즈 셋들에 순차적으로 대응하는 카운트 신호를 생성하는 카운팅부를 더 포함하는 리페어 회로.

청구항 15

제14항에 있어서,

상기 저장부는, 상기 카운트 신호에 응답해, 상기 제1 및 제2 퓨즈 셋들 중 해당하는 퓨즈 셋의 정보를 상기 제어부로 전송하는 리페어 회로.

청구항 16

제14항에 있어서,

상기 제어부는,

상기 복수의 퓨즈 셋 쌍들에 각각 대응하는 복수의 선택 신호들을 생성하는 선택 신호 생성부;

상기 카운트 신호에 응답해, 상기 복수의 선택 신호들을 조합하여 래치 신호를 생성하는 선택 신호 조합부; 및

상기 래치 신호에 응답해, 상기 카운트 신호를 래치하여 상기 타겟 신호를 생성하는 래치부;를 포함하는 리페어 회로.

청구항 17

제16항에 있어서,

상기 선택 신호 신호 생성부는 상기 복수의 퓨즈 셋 쌍들에 각각 대응하는 복수의 신호 생성 유닛들을 포함하며,

상기 신호 생성 유닛들은 각각,

상기 카운트 신호에 응답해, 상기 저장부에 저장된 정보를 바탕으로, 해당 퓨즈 셋 쌍의 제1 퓨즈 셋의 활성화 신호를 생성하는 제1 활성화 유닛;

상기 카운트 신호에 응답해, 상기 저장부에 저장된 정보를 바탕으로, 상기 해당 퓨즈 셋 쌍의 제2 퓨즈 셋의 활성화 신호를 생성하는 제2 활성화 유닛; 및

상기 제1 및 제2 활성화 유닛들의 출력 신호들을 조합하여 상기 해당 퓨즈 셋 쌍의 선택 신호를 생성하는 제1 신호 조합 유닛;을 포함하는 리페어 회로.

청구항 18

제16항에 있어서,

상기 선택 신호 조합부는,

상기 카운트 신호에 응답해, 상기 복수의 선택 신호들의 논리 레벨에 따라 출력 신호를 활성화하는 제2 신호 조합 유닛; 및

모드 선택 신호에 응답해, 상기 제2 신호 조합 유닛의 출력 신호 및 상기 저장부에 저장된 정보를 선택적으로 상기 래치 신호로 전달하는 모드 선택 유닛;을 포함하는 리페어 회로.

청구항 19

제13항에 있어서,

ECC(Error Correction Code)-온 모드에 따라, 상기 복수의 메모리 셀 어레이들에 결함이 검출되면, 상기 복수의 퓨즈 셋 쌍들 중에 해당하는 퓨즈 셋 쌍이 불량 처리되거나 사용되는 리페어 회로.

청구항 20

제13항에 있어서,

ECC(Error Correction Code)-오프 모드에 따라 상기 제1 메모리 셀 어레이들 또는 상기 제2 메모리 셀 어레이들에 결함이 검출되면, 상기 제1 퓨즈 셋들 또는 상기 제2 퓨즈 셋들 중에 해당하는 퓨즈 셋이 불량 처리되거나 사용되는 리페어 회로.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로서, 좀 더 구체적으로는 리페어 동작을 위한 리페어 회로를 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0003] 메모리 장치, 예컨대 DRAM(Dynamic Random Access Memory)은 매트릭스 형태로 배열되는 복수 개의 메모리 셀(memory cell)들로 구성된다. 메모리 장치의 메모리 용량이 증가하고, 미세화 공정 기술이 진행됨에 따라 복수의 메모리 셀들 중 불량 메모리 셀들의 수도 증가하고 있다. 불량 메모리 셀들에는 결함 메모리 셀들과 위크 메모리 셀들을 포함할 수 있다. 결함 메모리 셀들은 하드웨어적으로 불량인 메모리 셀들을 의미하고, 제조공정 상의 결함에 따라서 완전히 동작하지 않는 메모리 셀들, 예를 들면 배선의 단선이나 숏(short) 등이 생긴 메모리 셀들을 말한다. 위크 메모리 셀들은 소프트웨어적으로 불량인 메모리 셀들을 의미하고, 예를 들면, 데이터 유지 시간(data retention time)이 기준 시간에 미치지 못하는 셀들을 포함한다.

[0004] 그런데, 많은 메모리 셀들 중 하나의 메모리 셀에서라도 결함이 발생하면, 메모리 장치는 제대로 동작을 수행하지 못하므로 불량 처리된다. 이렇게 불량으로 처리된 메모리 장치는 버려져야 한다. 불량 메모리 셀을 포함하는 메모리 장치를 모두 불량으로 처리하는 경우 수율이 하락하는 문제점이 있다. 더욱이, 하나의 칩에 집적되는 메모리 셀(cell)의 수가 수천 만개 이상으로 초고집적화 되어감에 따라 제조 공정의 발달에도 불구하고 불량 메모리 셀의 존재 가능성은 더욱 커지고 있다고 할 수 있다.

[0005] 따라서, 메모리 장치의 고집적화 및 고속화 방안과 더불어 수율을 향상시키기 위해 불량 메모리 셀을 효율적으로 리페어(repair) 하기 위한 방안에 대한 연구가 이루어진다. 불량 메모리 셀을 리페어하기 위한 하나의 방법으로 불량 메모리 셀을 여분의 다른 메모리 셀(redundancy cell)로 대체하는 리페어 회로(repair circuit)를 내장하는 기술이 사용되고 있다. 리페어 회로 내에는 불량 메모리 셀에 대응하는 어드레스를 프로그래밍(programing)할 수 있는 퓨즈 회로가 구비된다. 여기서, 프로그래밍은 불량 메모리 셀에 대응하는 어드레스를 퓨즈 회로에 저장하기 위한 일련의 동작을 의미한다.

[0006] 한편, 저전압 고속 동작, 공정 미세화, 등에 의해 메모리 셀의 데이터 유지 특성이 감소하고, 이로 인해 위크 메모리 셀의 수도 증가하고 있다. 즉, DRAM에 저장되는 데이터에 간헐적(intermittent)인 여러 비트의 발생 빈도가 급격히 증가하고 있다. 따라서 DRAM 내에서도 ECC(Error Correction Code) 동작을 통해 여러 비트들을 검출 및 보정하려는 시도가 진행되고 있다.

[0007] ECC 동작을 수행하는 연산 방식은 매우 여러 가지가 있으며, 데이터 비트의 수와 그 연산 방식에 따라 효율적인 패리티(parity) 비트의 수가 결정된다. DRAM의 경우 1회 라이트/리드되는 데이터 비트의 수와 ECC 연산 방식에 따라 패리티 비트의 수가 결정된다. 또한, DRAM은 동작에 소모되는 전류 및 데이터가 리드되는데 걸리는 시간이 매우 중요한 성능 지표이기 때문에, ECC 연산 방식 및 패리티 비트의 수를 결정하는데 있어 1회 라이트/리드되는 데이터 비트의 수 이외에 소모 전류와 리드 동작 특성이 추가로 중요하게 고려된다.

[0008] ECC 동작이 DRAM에 적용될 경우, 리페어 동작을 진행하는데 있어 이를 추가로 고려해야만 한다. 리페어 동작의 단위는 공정 상에 발생하는 불량의 유형 및 불량을 효율적으로 검출하기 위한 테스트 동작의 방식에 따라 결정된다. 예를 들어, DRAM에서 무결점 메모리 셀을 확보하기 위한 테스트 동작의 경우, ECC 동작을 오프(off)한 상태로 진행된다. 이때에는 불량을 효율적으로 검출하기 위해 ECC 동작의 기본 단위보다는 작은 단위로 메모리 셀들을 검출하고 리페어할 수 있다. 즉, 리페어 동작의 최소 단위와 ECC 동작의 기본 단위가 서로 상이하거나, ECC 동작을 온/오프(on/off) 하는 다양한 조건으로 테스트가 이뤄질 때, 리페어 동작을 위해 타겟 퓨즈를 찾는 기술에 있어 ECC 동작에 대한 추가 고려가 필요하다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 해결하려는 과제는, 조건에 따라 다른 단위의 메모리 셀들로부터 결함을 검출하고 리페어할 수 있는 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 따른 메모리 장치는, 노멀 셀 어레이 및 리던던시 셀 어레이를 각각 포함하는 복수의 메모리 셀 어레이들: 상기 메모리 셀 어레이들 중 제1 메모리 셀 어레이들에 대응하여, 복수의 제1 퓨즈 셋들을 포함하는 제1 퓨즈부; 상기 메모리 셀 어레이들 중 제2 메모리 셀 어레이들에 대응하여, 상기 제1 퓨즈 셋들에 대응하는 복수의 제2 퓨즈 셋들을 포함하는 제2 퓨즈부; 및 상기 제1 및 제2 퓨즈 셋들 각각의 결함 및 사용 여부를 나타내는 정보를 바탕으로 상기 제1 및 제2 퓨즈 셋들 중 서로 대응하는 하나의 퓨즈 셋 쌍을 선택하여 상기 메모리 셀 어레이들의 리페어 대상 컬럼 어드레스를 프로그램하는 리페어부;를 포함할 수 있다.

[0013] 본 발명의 또 다른 실시예에 따른 리페어 회로는, 복수의 메모리 셀 어레이들 중 제1 메모리 셀 어레이들에 대응하는 복수의 제1 퓨즈 셋들; 상기 메모리 셀 어레이들 중 나머지 제2 메모리 셀 어레이들에 대응하고, 상기 제1 퓨즈 셋들에 각각 대응하여 복수의 퓨즈 셋 쌍들을 형성하는 복수의 제2 퓨즈 셋들; 상기 제1 및 제2 퓨즈 셋들 각각의 결함 및 사용 여부를 나타내는 정보를 저장하는 저장부; 및 상기 저장부에 저장된 정보를 바탕으로 상기 복수의 퓨즈 셋 쌍들 중 하나의 퓨즈 셋 쌍을 선택하여 타겟 신호를 출력하는 제어부;를 포함할 수 있다.

발명의 효과

[0015] 본 기술은 ECC 동작을 수행하는 메모리 장치에 있어, ECC 동작 단위와 다르게 컬럼 리페어 동작의 최소 단위를 확보할 수 있다. 따라서, 제조 공정이나 ECC-on/off, 등의 조건에 따라, 메모리 장치의 리페어 동작을 위한 테스트를 여러 단위로 수행할 수 있어, 그 효율을 높일 수 있다. 또한, 컬럼 리페어 동작의 최소 단위가 ECC 동작 단위와 다르다 하더라도, ECC 동작을 통해 결함이 검출된 메모리 셀들을 대체하기 위한 타겟 메모리 셀들을 빠르게 찾을 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시예에 따른 메모리 장치를 나타내는 블록도.
- 도 2는 도 1에 도시된 제1 및 제2 퓨즈부들의 구성을 나타내는 블록도.
- 도 3은 도 1에 도시된 카운팅부의 구성을 나타내는 블록도.
- 도 4는 도 1에 도시된 제어부의 구성을 나타내는 블록도.
- 도 5는 도 4에 도시된 제1 신호 생성 유닛의 구체적인 구성을 나타내는 회로도.
- 도 6은 도 4에 도시된 선택 신호 조합부의 구체적인 구성을 나타내는 회로도.
- 도 7은 도 1에 도시된 메모리 장치의 동작에 따라 생성되는 신호의 파형도.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 흐트리지 않도록 생략될 것이라는 것을 유의하여야 한다.

- [0020] 도 1은 본 발명의 실시예에 따른 메모리 장치의 일부 구성을 나타내는 블록도이다.
- [0021] 도 1에는 복수의 메모리 셀들을 포함하는 메모리 영역(100)과 메모리 영역(100)의 메모리 셀들 중 결함 메모리 셀을 리페어하기 위한 리페어 회로, 즉, 퓨즈부(200) 및 리페어부(300)가 도시되어 있다.
- [0022] 메모리 영역(110)은 복수의 메모리 셀 어레이들(100_1 내지 100_n)을 포함하며, 메모리 셀 어레이들(100_1 내지 100_n)은 각각 노멀 셀 어레이들(110_1 내지 110_n) 및 그에 대응하는 리던던시 셀 어레이들(120_1 내지 120_n)을 포함할 수 있다. 리던던시 셀 어레이들(120_1 내지 120_n)은 여분의 리던던시 셀들로 이루어지는 리던던시 로우(row)/컬럼(column)을 포함할 수 있다.
- [0023] 메모리 장치는 노멀 셀 어레이들(110_1 내지 110_n)에서 액티브/프리차지 명령 단위로 발생하는 불량은 리던던시 로우를 이용하여 리페어할 수 있고, 라이트/리드 명령 단위로 발생하는 불량은 리던던시 컬럼을 이용하여 리페어할 수 있다. 본 발명의 실시예에 따르면, ECC 연산과 관련이 있는 라이트/리드 명령 단위로 발생하는 불량을 리페어하기 위한 것으로 리던던시 셀 어레이들(120_1 내지 120_n)은 여분의 리던던시 셀들로 이루어지는 리던던시 컬럼들을 포함할 수 있다
- [0024] 도 1의 메모리 장치는 1회의 라이트/리드 동작 시 메모리 셀 어레이들(100_1 내지 100_n)을 통해 N-bit의 데이터가 입출력될 수 있다. 이 경우, 라이트/리드 동작에 따른 ECC 동작이나 컬럼 리페어 동작 역시 N-bit 단위로 수행될 수 있다. 하지만, 제조 과정에서의 테스트에 따른 컬럼 리페어 동작은 무결점 메모리 셀을 확보하기 위해 ECC 동작을 오프(off)하거나 그 효율을 높이기 위해 N-bit 보다 작은 단위로 하여 수행될 수 있다.
- [0025] 예를 들면, 제조 과정에서 도 1의 메모리 장치의 컬럼 리페어 동작은 K-bit ($K=1/2*N$) 단위로 수행될 수 있다. 즉, 메모리 셀 어레이들(100_1 내지 100_n)을 절반으로 나눠 리페어 동작을 수행할 수 있다. 이 경우, 퓨즈부(200)는 메모리 셀 어레이들(100_1 내지 100_n) 중 제1 메모리 셀 어레이들(100_1 내지 100_k)에 대응하는 제1 퓨즈부(210) 및 메모리 셀 어레이들(100_1 내지 100_n) 중 나머지 제2 메모리 셀 어레이들(100_k+1 내지 100_n)에 대응하는 제2 퓨즈부(220)를 포함할 수 있다.
- [0026] 도 2는 도 1의 제1 및 제2 퓨즈부들(210 및 220)의 구성을 나타내는 블록도이다. 도 2에는 제1 및 제2 퓨즈부들(210 및 220)이 각각 4개의 퓨즈 셋들(211~214 및 221~224)을 포함하는 것이 일례로 도시되어 있다. 이는 각 메모리 블록(BLK) 당 4개의 리페어 대상 컬럼 어드레스를 프로그래밍하기 위한 것으로, 본 발명이 이에 한정되는 것은 아니다.
- [0027] 또한, 각각의 퓨즈 셋들(211~214 및 221~224)은 메모리 블록(BLK)들에 대응하는 복수의 퓨즈 유닛들(214_1 내지 214_m)을 포함하며, 각각의 퓨즈 유닛들(214_1 내지 214_m)은 리페어 대상 컬럼 어드레스의 각 비트에 대응하는 복수의 퓨즈들(F1 내지 Fm)을 포함할 수 있다. 이하에서는, 설명의 편의를 위해 하나의 메모리 블록(BLK), 즉, 하나의 퓨즈 유닛을 기준으로 하여 퓨즈 셋들(211~214 및 221~224)의 사용/불량 여부를 설명할 것이다.
- [0028] 제1 및 제2 퓨즈부들(210 및 220)의 퓨즈 셋들(211~214 및 221~224)은 테스트 및 리페어 동작에 따라 개별적으로 사용되거나 또는 불량 처리될 수 있다. 즉, 메모리 셀 어레이들(100_1 내지 100_n) 중 제1 메모리 셀 어레이들(100_1 내지 100_k)에 대한 테스트를 통해 제1 퓨즈부(210)의 퓨즈 셋들(211~214)이 사용되거나 불량 처리될 수 있고, 반대로 제2 메모리 셀 어레이들(100_k+1 내지 100_n)에 대한 테스트를 통해 제2 퓨즈부(220)의 퓨즈 셋들(221~224)이 사용되거나 불량 처리될 수 있다.
- [0029] 예를 들면, 도 2에 도시된 것처럼, 제1 메모리 셀 어레이들(100_1 내지 100_k)의 노멀 셀 어레이들(110_1 내지 110_k)에서 결함이 발생되어, 제1 퓨즈부(210)의 세 번째 퓨즈 셋(213)이 사용되거나, 제1 메모리 셀 어레이들(100_1 내지 100_k)의 리던던시 셀 어레이들(120_1 내지 120_k)에서 결함이 발생되어, 제1 퓨즈부(210)의 네 번째 퓨즈 셋(214)이 불량 처리될 수 있다. 마찬가지로, 제2 메모리 셀 어레이들(100_k+1 내지 100_n)의 노멀 셀 어레이들(110_k+1 내지 110_n), 및 리던던시 셀 어레이들(120_k+1 내지 120_n)에서 발생한 결함으로 인해, 제2 퓨즈부(220)의 네 번째 및 첫 번째 퓨즈 셋들(224 및 221)이 각각 사용되고 불량 처리될 수 있다.
- [0030] 하지만, 앞서 설명한 것과 같이, 제1 및 제2 퓨즈부들(210 및 220)의 퓨즈 셋들(211~214 및 221~224)은 라이트/리드 동작에 따른 컬럼 리페어 동작을 위해 ECC 동작을 고려하여 N-bit 단위로도 테스트될 수 있다. 즉, K-bit 단위로 구비된 퓨즈 셋들이 두 개씩 선택되어 테스트될 수 있으며, 이 경우 컬럼 리페어 동작 시에도 테스트된 퓨즈 셋 쌍이 사용되어야 한다. 이에 대한 자세한 동작은 다음에서 살펴보고자 한다.
- [0031] ECC 동작을 수행하는 연산 방식은 다양할 수 있으며, 본 발명의 일 실시예에 따라, 도 1의 메모리 장치는 1-bit 에러 발생 시 보정(correction) 가능하고 2-bit 이상의 에러에 대해 검출(detection)할 수 있는 ECC 연산 방식

을 사용하는 것으로 가정할 수 있다. 이때 라이트/리드된 데이터에 대해 ECC 동작을 통해 2-bit 에러가 검출된 경우, 발생한 에러의 유형은 크게 아래 3가지로 정리할 수 있다.

- [0032] Case1 - 제1 메모리 셀 어레이들(100_1 내지 100_k) 내에 2-bit 에러가 발생한 경우.
- [0033] Case2 - 제1 메모리 셀 어레이들(100_1 내지 100_k) 내에 1-bit 에러, 제2 메모리 셀 어레이들(100_k+1 내지 100_n) 내에 1-bit 에러가 발생한 경우.
- [0034] Case3 - 제2 메모리 셀 어레이들(100_k+1 내지 100_n) 내에 2-bit 에러가 발생한 경우.
- [0035] 위의 에러 유형 중 Case1 및 Case3은 각각 제1 메모리 셀 어레이들(100_1 내지 100_k) 및 제2 메모리 셀 어레이들(100_k+1 내지 100_n)들에 대해서만 독립적으로 리페어 동작을 수행할 수도 있다. 하지만, Case 1, Case 2, 및 Case 3 모두 실제 데이터가 아닌 ECC 연산을 통해 변형된 데이터에서 에러 비트들을 검출한 것이기 때문에, 실제 에러가 어느 영역에서 발생했는지 판단할 수 없다.
- [0036] 따라서, ECC 동작을 동반하는 라이트/리드 동작에 따른 컬럼 리페어 동작을 수행하기 위해서, 제1 및 제2 퓨즈부들(210 및 220)에서 각각 하나씩 선택된 퓨즈 셋들로 이루어진 퓨즈 셋 쌍에 대해 테스트 동작을 수행할 수 있다. 그런데, 이러한 퓨즈 셋 쌍에 대해 테스트 동작을 수행하고, 이 후에 컬럼 리페어 동작을 수행하는데 있어서도 추가 고려가 필요한 부분이 있다.
- [0037] 도 2에 도시된 것과 같이, 제1 및 제2 퓨즈부들(210 및 220)에서 대응하는 퓨즈 셋들, 예를 들면, 첫 번째 퓨즈 셋들(211 및 221)이 퓨즈 셋 쌍을 이룰 수 있고, 테스트 동작을 통해 퓨즈 셋 쌍에 해당하는 리던던시 셀 어레이들(120_1 내지 120_n)에 대해 에러를 검출할 수 있다. 이때, 퓨즈 셋 쌍의 한쪽 퓨즈 셋에 해당하는 리던던시 셀 어레이(120_1~120_k 또는 120_k+1~120_n)에서 1-bit 에러가 발생하면, ECC 동작에 의해 해당 퓨즈 셋 쌍은 사용 가능한 것으로 판정될 수 있다.
- [0038] 예를 들어, 퓨즈 셋(211)에 해당하는 리던던시 셀 어레이(120_1~120_k)에서 1-bit 에러가 발생해도, 퓨즈 셋 쌍(211 및 221)은 사용 가능한 것으로 판정될 수 있다. 마찬가지로, 두 번째 퓨즈 셋들(212 및 222)이 퓨즈 셋 쌍을 이뤄 테스트 될 때, 퓨즈 셋(222)에 해당하는 리던던시 셀 어레이(120_k+1~120_n)에서 1-bit 에러가 발생해도, 퓨즈 셋 쌍(212 및 222) 역시 사용 가능한 것으로 판정될 수 있다. 하지만, 컬럼 리페어 동작 시 퓨즈 셋(211) 및 퓨즈 셋(222)이 결합되어 사용된다면, 결국 전체 2-bit 에러를 가진 리던던시 셀 어레이로 인해 또 다시 에러가 검출되게 된다. 이렇게 사용 가능한 것으로 판정된 퓨즈 셋을 사용하였음에도 불구하고 다시 에러가 검출되는 경우를 방지하기 위해서, 컬럼 리페어 동작을 수행할 때에도 테스트 동작 단위, 즉, 결합 유무가 확인된 단위로 제1 및 제2 퓨즈부들(210 및 220)에서 하나씩 퓨즈 셋을 선택하여야 한다.
- [0039] 본 발명의 실시예에 따라, 리페어 동작을 위해 타겟 퓨즈를 찾는 방법을 다시 도 1을 참조하여 보다 더 자세히 설명하고자 한다. 도 2에 도시된 것과 같이, 제1 및 제2 퓨즈부들(210 및 220)이 각각 4개씩의 퓨즈 셋들(211~214 및 221~224)을 포함하는 것을 일례로 도시되었다.
- [0040] 도 1을 참조하면, 리페어부(300)는 카운팅부(310), 저장부(320), 및 제어부(330)를 포함할 수 있다. 리페어부(300)는 제1 및 제2 퓨즈부들(210 및 220)에 포함된 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 중 타겟 퓨즈 셋을 선택하여 메모리 셀 어레이들(100_1 내지 100_n)의 리페어 대상 컬럼 어드레스를 프로그램할 수 있다.
- [0041] 리페어부(300)는 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 각각의 결합 및 사용 여부를 나타내는 정보를 바탕으로 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 중 서로 대응하는 하나의 퓨즈 셋 쌍을 타겟 퓨즈 셋으로 선택할 수 있다. 이때, 리페어 테스트 동작을 통해, 제1 및 제2 퓨즈 셋들(211~214 및 221~224)은 각각 테스트되거나 대응하는 K 번째 퓨즈 셋들이 쌍을 이루어 테스트될 수 있다. 또는, 모드 선택 신호(MODE_SEL)에 따라, 리페어부(300)는 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 중 하나의 퓨즈 셋을 타겟 퓨즈 셋으로 선택할 수도 있으며, 이는 도 6을 통해서 보다 더 구체적으로 설명하고자 한다.
- [0042] 카운팅부(310)은 클럭 신호(YFZCLK)를 카운트하여 제1 및 제2 퓨즈 셋들(211~214 및 221~224)에 순차적으로 대응하는 카운트 신호(REGION_AB 및 FUSE0-FUSE3)를 생성할 수 있다. 카운트 신호(REGION_AB 및 FUSE0-FUSE3)는 제1 및 제2 퓨즈부들(210 및 220)을 구분하는 제1 카운트 신호(REGION_AB)와 각각의 퓨즈 셋들(211~214 및 221~224)에 해당하는 제2 카운트 신호(FUSE0-FUSE3)를 포함할 수 있다. 제1 및 제2 카운트 신호들(REGION_AB 및 FUSE0-FUSE3)은 카운팅부(310)의 카운팅 동작에 따라 순차적으로 활성화될 수 있다.
- [0043] 본 발명의 또 다른 실시예에 따라, 메모리 셀 어레이들(100_1 내지 100_n)이 복수의 메모리 블록들(BLK)을 포함하면, 제1 및 제2 퓨즈 셋들(211~214 및 221~224)은 각각 메모리 블록들(BLK)에 대응하는 복수의 퓨즈 유닛들을

포함할 수 있다. 카운팅부(310)는 리페어 대상 로우 어드레스(FailedAddress<0:M-1>)를 이용하여 복수의 메모리 블록(BLK)들 중 결함이 발생한 메모리 블록에 대응하는 퓨즈 유닛을 나타내는 검출 신호(FAILBLK)를 생성할 수 있다.

[0044] 저장부(320)는 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 각각의 결함 및 사용 여부를 나타내는 정보를 저장할 수 있다. 제1 및 제2 퓨즈 셋들(211~214 및 221~224)은 제조 과정에서 수행되는 테스트를 통해 결함이 발생한 노멀 셀을 리던던시 셀로 대체하기 위해 사용되거나 해당 리던던시 셀에 결함이 발생해 불량 처리될 수 있다. 저장부(320)는 이와 같이 제1 및 제2 퓨즈 셋들(211~214 및 221~224)의 상태를 나타내는 정보를 저장하고, 카운트 신호(REGION_AB 및 FUSE0~FUSE3)에 응답해 해당 퓨즈 셋의 정보(USED_PRE)를 출력할 수 있다.

[0045] 제어부(330)는, 카운트 신호(REGION_AB 및 FUSE0~FUSE3)에 응답해, 저장부(320)로부터 출력된 정보를 바탕으로 제1 및 제2 퓨즈 퓨즈 셋들(211~214 및 221~224) 중 서로 대응하는 하나의 퓨즈 셋 쌍을 선택할 수 있다. 제어부(330)는 선택된 퓨즈 셋 쌍을 나타내는 타겟 신호(TARGET_FZt<0:K>)를 생성할 수 있다. 제어부(330)의 동작에 대해서는 도 4 내지 도 6을 통해 보다 더 구체적으로 설명하고자 한다.

[0046] 도 3은 도 1에 도시된 카운팅부(310)의 구성을 나타내는 블록도이다. 본 발명의 일 실시예에 따라, 카운팅부(310)는 카운팅 유닛(311) 및 인코딩 유닛(312)을 포함할 수 있다.

[0047] 카운팅 유닛(311)은 클럭 신호(YFZCLK)에 따라 퓨즈 카운트 신호(FuseCount<0:N-1>)의 값을 하나씩 증가시켜 출력할 수 있다. 도 2에 도시된 것과 같이, 각각의 퓨즈 셋들(211~214 및 221~224)은 적어도 하나의 퓨즈 유닛을 포함할 수 있다. 각각의 퓨즈 셋들(211~214 및 221~224)이 복수의 퓨즈 유닛들을 포함할 경우, 퓨즈 카운트 신호(FuseCount<0:N-1>)는 퓨즈 셋들(211~214 및 221~224) 및 각각의 퓨즈 유닛들에 대응하여 하나씩 증가할 수 있다. 즉, 제1 퓨즈 셋(211)의 첫 번째 퓨즈 유닛(예를 들면, 211_1)부터 제2 퓨즈 셋(224)의 마지막 퓨즈 유닛(예를 들면, 224_m)에 이르기까지 하나씩 증가할 수 있다. 물론, 각각의 퓨즈 셋들(211~214 및 221~224)이 하나의 퓨즈 유닛으로 이루어지면, 퓨즈 카운트 신호(FuseCount<0:N-1>)는 각각의 퓨즈 셋들(211~214 및 221~224)에 대응하여 하나씩 증가될 수 있다.

[0048] 인코딩 유닛(312)은 퓨즈 카운트 신호(FuseCount<0:N-1>)를 인코딩하여 제1 및 제2 카운트 신호들(REGION_AB 및 FUSE0~FUSE3)을 생성할 수 있다. 인코딩 동작을 통해, 인코딩 유닛(312)은 제1 논리 레벨에서 제2 논리 레벨로 변하는 제1 카운트 신호(REGION_AB)와 제1 카운트 신호(REGION_AB)의 각각의 논리 레벨에서 순차적으로 활성화되는 제2 카운트 신호들(FUSE0 내지 FUSE3)을 생성할 수 있다.

[0049] 본 발명의 일 실시예에 따라, 카운팅부(310)는 비교 유닛(313)을 더 포함할 수 있다. 비교 유닛(313)은 리페어 대상 로우 어드레스(FailedAddress<0:M-1>)를 퓨즈 카운트 신호(FuseCount<0:N-1>)와 비교하여 검출 신호(FAILBLK)를 생성할 수 있다. 본 발명의 일 실시예에 따라, 메모리 셀 어레이들(100_1 내지 100_n)이 복수의 메모리 블록들(BLK)을 포함하면, 제1 및 제2 퓨즈 셋들(211~214 및 221~224)은 각각 메모리 블록들(BLK)에 대응하는 복수의 퓨즈 유닛들을 포함할 수 있다. 따라서, 리페어 대상 로우 어드레스(FailedAddress<0:M-1>)는 복수의 메모리 블록(BLK)들 중 결함이 발생한 메모리 블록을 나타내며, 퓨즈 카운트 신호(FuseCount<0:N-1>)가 각각의 퓨즈 셋들(211~214 및 221~224)에서 복수의 퓨즈 유닛들 중 대응하는 퓨즈 유닛을 나타낼 때, 비교 유닛(313)은 검출 신호(FAILBLK)를 활성화할 수 있다.

[0050] 도 4는 도 1에 도시된 제어부(330)의 구성을 나타내는 블록도이다. 본 발명의 실시예에 따라, 제어부(330)는 선택 신호 생성부(410), 선택 신호 조합부(420), 및 래치부(430)를 포함할 수 있다.

[0051] 제1 및 제2 카운트 신호들(REGION_AB 및 FUSE0~FUSE3)에 응답해, 선택 신호 생성부(410)는 저장부(320)로부터 출력되는 정보(USED_PRE)를 바탕으로 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 중 서로 대응하는 복수의 퓨즈 셋 쌍들에 각각 대응하는 복수의 선택 신호들(USED_DB_FU0 내지 USED_DB_FU3)을 생성할 수 있다. 즉, 선택 신호 생성부(410)는 제1 내지 제4 퓨즈 셋 쌍들(211~221, 212~222, 213~223, 및 214~224)에 대응하여 각각 제1 내지 제4 선택 신호들(USED_DB_FU0, USED_DB_FU1, USED_DB_FU2, 및 USED_DB_FU3)을 생성할 수 있다. 선택 신호 생성부(410)는 제1 내지 제4 퓨즈 셋 쌍들(211~221, 212~222, 213~223, 및 214~224)에 각각 대응하는 제1 내지 제4 신호 생성 유닛들(411 내지 414)을 포함하며, 제1 내지 제4 신호 생성 유닛들(411 내지 414)은 각각 제1 내지 제4 선택 신호들(USED_DB_FU0, USED_DB_FU1, USED_DB_FU2, 및 USED_DB_FU3)을 출력할 수 있다.

[0052] 선택 신호 조합부(420)는 제1 카운트 신호(REGION_AB)에 응답해, 상기 제1 내지 제4 선택 신호들(USED_DB_FU0, USED_DB_FU1, USED_DB_FU2, 및 USED_DB_FU3)을 조합하여 래치 신호(FZADD_LATP)를 생성할 수 있다. 제1 카운트 신호(REGION_AB)가 제2 논리 레벨일 때, 즉, 논리 '하이' 레벨이 되면 래치 신호(FZADD_LATP)는 제1 내지 제4 선택

신호들(USEDDB_FU0, USEDDB_FU1, USEDDB_FU2, 및 USEDDB_FU3)의 논리 레벨에 따라 활성화될 수 있다.

- [0053] 래치부(430)는, 래치 신호(FZADD_LATP)에 응답해, 퓨즈 카운트 신호(FuseCount<0:N-1>)를 래치하여 타겟 신호(TARGET_FZt<0:K>)를 생성할 수 있다. 래치부(430)는 래치 신호(FZADD_LATP)가 활성화될 때의 퓨즈 카운트 신호(FuseCount<0:N-1>)의 값을 타겟 신호(TARGET_FZt<0:K>)로 출력할 수 있다.
- [0054] 도 5는 도 4에 도시된 제1 내지 제4 신호 생성 유닛들(411 내지 414)의 구체적인 구성을 나타내는 회로도이다. 제1 내지 제4 신호 생성 유닛들(411 내지 414) 각각은 입력 신호만 다를 뿐 동일하게 구성될 수 있어, 제1 신호 생성 유닛(411)를 대표적으로 도시하고 있다.
- [0055] 제1 신호 생성 유닛(411)은 제1 활성화 유닛(510), 제2 활성화 유닛(520), 및 제1 신호 조합 유닛(530)을 포함할 수 있다.
- [0056] 제1 활성화 유닛(510)은 카운트 신호(REGION_AB 및 FUSE0)에 응답해, 저장부(320)에서 출력되는 정보(USED_PRE)를 바탕으로, 제1 퓨즈 셋 쌍(211 및 221) 중 제1 퓨즈 셋(211)에 해당하는 활성화 신호(USED0_A)를 생성할 수 있다. 즉, 카운트 신호(REGION_AB 및 FUSE0)가 제1 퓨즈 셋(211)에 해당할 때 활성화되어, 제1 활성화 유닛(510)은 제1 퓨즈 셋(211)의 결합 및 사용 여부를 나타내는 정보(USED_PRE)를 바탕으로 제1 퓨즈 셋(211)의 활성화 신호(USED0_A)를 생성할 수 있다.
- [0057] 제1 퓨즈 셋(211)이 복수의 퓨즈 유닛들을 포함할 경우, 제1 활성화 유닛(510)은 비교 유닛(313)으로부터 검출 신호(FAILBLK)를 더 입력 받을 수 있다. 제1 활성화 유닛(510)은 검출 신호(FAILBLK)에 따라 제1 퓨즈 셋(211)의 해당 퓨즈 유닛에 대해 활성화 신호(USED0_A)를 생성할 수 있다. 본 발명의 실시예에 따라 제1 활성화 유닛(510)은 낸드 게이트(NADN1 내지 NAND4), 인버터(INV1 내지 INV3), 및 전송 게이트(TG1 및 TG2)로 구성될 수 있다.
- [0058] 제2 활성화 유닛(520)은 카운트 신호(REGION_AB 및 FUSE0)에 응답해, 저장부(320)에서 출력되는 정보(USED_PRE)를 바탕으로, 제1 퓨즈 셋 쌍(211 및 221) 중 제2 퓨즈 셋(221)에 해당하는 활성화 신호(USED0_B)를 생성할 수 있다. 즉, 카운트 신호(REGION_AB 및 FUSE0)가 제2 퓨즈 셋(221)에 해당할 때 활성화되어, 제2 활성화 유닛(520)은 제2 퓨즈 셋(221)의 결합 및 사용 여부를 나타내는 정보(USED_PRE)를 바탕으로 제2 퓨즈 셋(221)의 활성화 신호(USED0_B)를 생성할 수 있다.
- [0059] 제2 퓨즈 셋(221)이 복수의 퓨즈 유닛들을 포함할 경우, 제2 활성화 유닛(520)은 비교 유닛(313)으로부터 검출 신호(FAILBLK)를 더 입력 받을 수 있다. 제2 활성화 유닛(520)은 검출 신호(FAILBLK)에 따라 제2 퓨즈 셋(221)의 해당 퓨즈 유닛에 대해 활성화 신호(USED0_B)를 생성할 수 있다. 본 발명의 실시예에 따라 제2 활성화 유닛(520)은 낸드 게이트(NADN1 및 NAND5), 인버터(INV1), 및 노어 게이트(NOR1)로 구성될 수 있다.
- [0060] 제1 신호 조합 유닛(530)은 활성화 신호들(USED0_A 및 USED0_B)을 조합하여 제1 퓨즈 셋 쌍(211 및 221)의 제1 선택 신호(USEDDB_FU0)를 생성할 수 있다. 제1 퓨즈 셋 쌍(211 및 221)이 모두 사용 가능할 때, 제1 신호 조합 유닛(530)에 의해 제1 선택 신호(USEDDB_FU0)가 논리 '하이' 레벨로 활성화 될 수 있다. 본 발명의 일 실시예에 따라 제1 신호 조합 유닛(530)은 노어 게이트(NOR2 및 NOR3)로 구성될 수 있다.
- [0061] 도 6은 도 4에 도시된 선택 신호 조합부(420)의 구체적인 구성을 나타내는 회로도이다. 선택 신호 조합부(420)는 제2 신호 조합 유닛(610) 및 모드 선택 유닛(620)을 포함할 수 있다.
- [0062] 제1 카운트 신호(REGION_AB)가 제2 논리 레벨, 즉, 논리 '하이' 레벨이 되면, 제2 신호 조합 유닛(610)은 제1 내지 제4 선택 신호들(USEDDB_FU0, USEDDB_FU1, USEDDB_FU2, 및 USEDDB_FU3)의 논리 레벨에 따라 출력 신호(USED)를 활성화할 수 있다. 제1 내지 제4 선택 신호들(USEDDB_FU0, USEDDB_FU1, USEDDB_FU2, 및 USEDDB_FU3)이 모두 논리 '하이' 레벨일 때, 제2 신호 조합 유닛(610)은 출력 신호(USED)를 제2 논리 레벨, 즉, 논리 '로우' 레벨로 활성화할 수 있다. 본 발명의 실시예에 따라 제2 신호 조합 유닛(610)은 낸드 게이트(NAND6 및 NAND7), 인버터(INV4 및 INV5), 및 노어 게이트(NOR4)로 구성될 수 있다.
- [0063] 모드 선택 유닛(620)은, 모드 선택 신호(MODE_SEL)에 응답해, 제2 신호 조합 유닛(610)의 출력 신호(USED) 및 저장부(320)에서 출력되는 정보(USED_PRE)를 선택적으로 전달할 수 있다. 즉, 모드 선택 신호(MODE_SEL)가 '1'일 때, 모드 선택 유닛(620)은 제2 신호 조합 유닛(610)의 출력 신호(USED)를 그대로 출력하고, 모드 선택 신호(MODE_SEL)가 '0'일 때, 모드 선택 유닛(620)은 저장부(320)에서 출력되는 정보(USED_PRE)를 그대로 출력할 수 있다. 본 발명의 실시예에 따라 모드 선택 유닛(620)은 인버터(INV6), 및 멀티플렉서(MUX)로 구성될 수 있다.
- [0064] 따라서, 선택 신호 조합부(420)는, 모드 선택 신호(MODE_SEL)가 '1'일 때에는 제1 내지 제4 퓨즈 셋 쌍들

(211~221, 212~222, 213~223, 및 214~224)에 대해 사용 가능 여부를 판단하여 생성된 신호(USED)를 이용해 타겟 신호(TARGET_FZt<0:K>)를 생성하는 반면, 모드 선택 신호(MODE_SEL)가 '0'일 때에는 제1 및 제2 퓨즈 셋들(211~214, 및 221~224) 각각의 사용 가능 여부를 나타내는 정보(USED_PRE)를 이용해 타겟 신호(TARGET_FZt<0:K>)를 생성할 수 있다. 결국, 메모리 장치의 모드에 따라, 제1 및 제2 퓨즈 셋들(211~214, 및 221~224) 중 대응하는 퓨즈 셋 쌍이 선택되어 프로그램되거나 하나의 퓨즈 셋이 선택되어 프로그램될 수 있다.

[0065] 본 발명의 일 실시예에 따라, 선택 신호 조합부(420)는 래치 신호 생성 유닛(630)을 더 포함할 수 있다. 래치 신호 생성 유닛(630)은, 검출 신호(FAILBLK)가 논리 '하이' 레벨일 때, 모드 선택 유닛(620)의 출력 신호를 래치 신호(FZADD_LATP)로 전달할 수 있다. 즉, 검출 신호(FAILBLK)가 논리 '하이' 레벨일 때, 모드 선택 유닛(620)의 출력 신호가 논리 '로우' 레벨로 활성화되면, 래치 신호 생성 유닛(630)은 래치 신호(FZADD_LATP)를 논리 '하이' 레벨로 활성화할 수 있다. 래치 신호 생성 유닛(630)은 클럭 신호(YFZCLK)에 동기화되어 동작할 수 있으며, 낸드 게이트(NAND8 및 NAND9), 및 인버터(INV7 내지 INV9)로 구성될 수 있다.

[0066] 도 7은 도 1의 메모리 장치의 동작에 따라 생성되는 신호의 파형도이다.

[0067] 메모리 영역(100)의 복수의 메모리 블록(BLK)들 중 두 번째 메모리 블록에서 결함이 발생한 경우를 나타내고 있다. 즉, 리페어 대상 로우 어드레스(FailedAddress<1>)에 응답해, 카운팅부(310)는 퓨즈 카운트 신호(FuseCount<0:N-1>) 값들 중 각각의 퓨즈 셋들(211~214 및 221~224)의 두 번째 퓨즈 유닛에 해당하는 값(001, 011, 021, 031, 101, 111, 121, 및 131)에서 검출 신호(FAILBLK)를 활성화할 수 있다. 따라서, 다른 퓨즈 유닛들은 고려하지 않고, 두 번째 퓨즈 유닛만을 기준으로 하여 각각의 퓨즈 셋들(211~214 및 221~224)에 해당하는 동작을 설명하고자 한다.

[0068] 논리 '로우' 레벨의 제1 카운트 신호(REGION_AB)와 순차적으로 활성화되는 제2 카운트 신호(FUSE0 내지 FUSE3)에 따라 제1 내지 제4 신호 생성 유닛들(411 내지 414)이 순차적으로 활성화될 수 있다. 즉, 각각의 제1 활성화 유닛(510)이 순차적으로 활성화되어 저장부(320)에서 출력되는 정보(USED_PRE)를 바탕으로 해당 제1 퓨즈 셋의 활성화 신호를 생성할 수 있다.

[0069] 도 7을 참조하면, 제1 및 제2 퓨즈 셋들(211~214 및 221~224) 각각의 결함 및 사용 여부를 나타내는 정보(USED_PRE)는 해당 퓨즈 셋이 불량 처리되었거나 사용 중일 경우 논리 '하이' 레벨, 즉 해당 퓨즈 셋이 사용할 경우 논리 '로우' 레벨로 설정될 수 있다. 따라서, 논리 '로우' 레벨을 갖는 정보(USED_PRE)를 바탕으로 제1 퓨즈 셋들(211 및 212)의 활성화 신호들(USED0_A 및 USED1_A)이 논리 '하이' 레벨로 생성되고(①), 논리 '하이' 레벨을 갖는 정보(USED_PRE)를 바탕으로 제1 퓨즈 셋들(213 및 214)의 활성화 신호들(USED2_A 및 USED3_A)이 논리 '로우' 레벨로 생성될 수 있다(②).

[0070] 카운팅부(310)의 카운팅 동작에 따라, 제1 카운트 신호(REGION_AB)는 논리 '로우' 레벨에서 논리 '하이' 레벨로 변하고 제2 카운트 신호(FUSE0 내지 FUSE3)는 다시 순차적으로 활성화된다. 따라서, 제1 내지 제4 신호 생성 유닛들(411 내지 414) 각각의 제2 활성화 유닛(520)이 순차적으로 활성화되어 저장부(320)에서 출력되는 정보(USED_PRE)를 바탕으로 해당 제2 퓨즈 셋의 활성화 신호를 생성할 수 있다.

[0071] 이때, 논리 '로우' 레벨을 갖는 정보(USED_PRE)를 바탕으로 제2 퓨즈 셋들(222 및 223)의 활성화 신호들(USED1_B 및 USED2_B)이 논리 '로우' 레벨로 생성될 수 있다(③), 그리고, 논리 '하이' 레벨을 갖는 정보(USED_PRE)를 바탕으로 제2 퓨즈 셋들(221 및 224)의 활성화 신호들(USED0_B 및 USED3_B)이 논리 '하이' 레벨로 생성될 수 있다(④). 즉, 도 7의 타이밍도는 도 2에 도시된 것과 같이 제1 퓨즈 셋들(211 및 212) 및 제2 퓨즈 셋들(222 및 223)이 사용 가능한 경우를 일례로 하여 도시되었다.

[0072] 제1 내지 제4 신호 생성 유닛들(411 내지 414)의 제1 신호 조합 유닛들(530)은 제1 활성화 신호들(USED0_A 내지 USED3_A) 및 제2 활성화 신호들(USED0_B 내지 USED3_B)을 각각 조합하여 제1 내지 제4 선택 신호들(USED_B_FU0 내지 USED_B_FU3)을 생성할 수 있다. 제1 내지 제4 선택 신호들(USED_B_FU0 내지 USED_B_FU3)은 대응하는 활성화 신호들(USED0_A~USED0_B 내지 USED3_A~USED3_B)이 각각 논리 '하이' 및 '로우' 레벨일 때, 논리 '하이'의 레벨로 출력될 수 있다. .

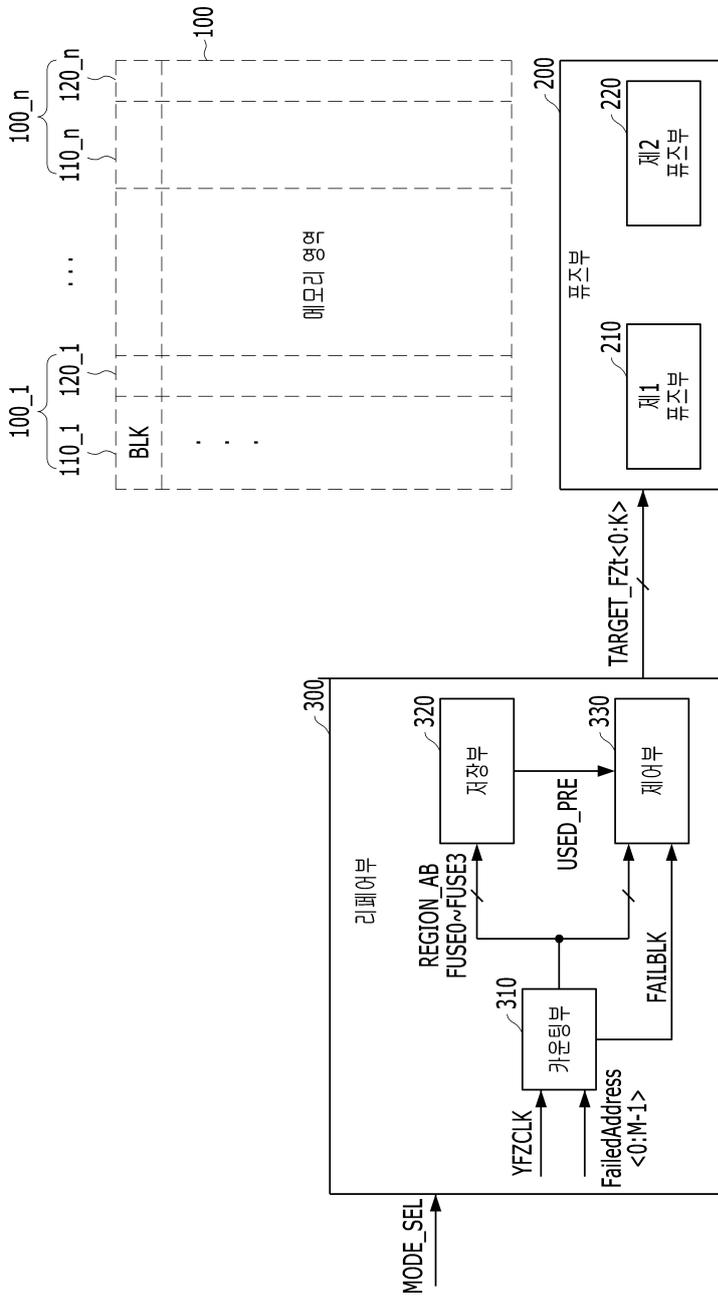
[0073] 따라서, 사용 가능한 제1 퓨즈 셋(212)에 대응하여 논리 '하이' 레벨을 갖는 제1 활성화 신호(USED1_A)와 사용 가능한 제2 퓨즈 셋(222)에 대응하여 논리 '로우' 레벨을 갖는 제2 활성화 신호(USED1_B)에 응답해, 제2 선택 신호(USED_B_FU1)가 논리 '하이' 레벨을 가질 수 있다(⑤). 반면, 제1, 제3, 및 제4 선택 신호들(USED_B_FU0, USED_B_FU, 및 USED_B_FU3)의 대응하는 레벨(점선 참조)은 논리 '로우' 레벨을 갖는 것을 확인할 수 있다. 따라서, 논리 '하이' 레벨인 제2 선택 신호(USED_B_FU1)에 응답해, 제2 신호 조합 유닛(610)의 출력 신호(USED)

의 대응하는 레벨이 논리 '로우' 레벨을 가질 수 있다.

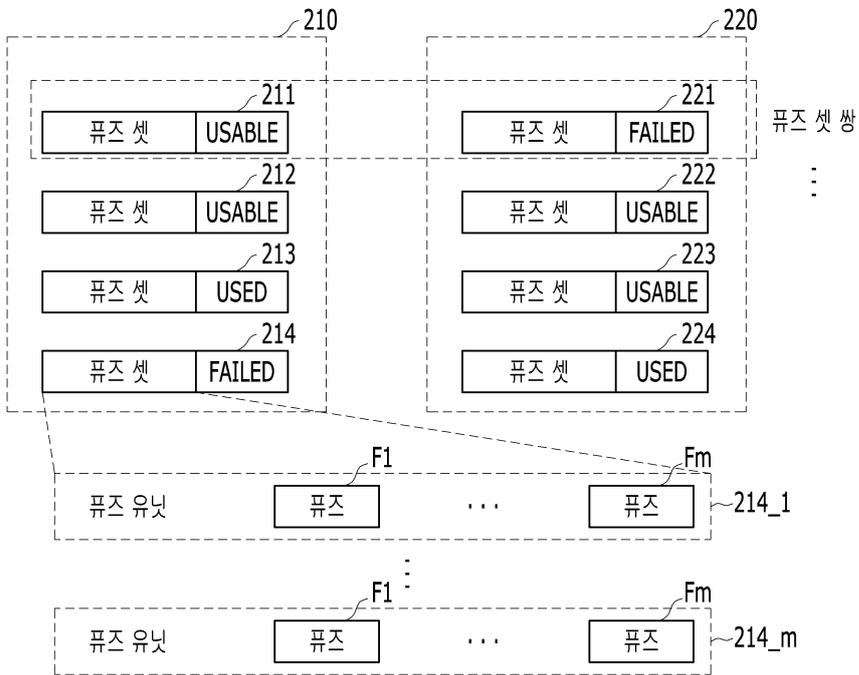
- [0074] 이때, 모드 선택 유닛(620)에 입력되는 모드 선택 신호(MODE_SEL)가 논리 '하이' 레벨이면, 출력 신호(USED)가 래치 신호 생성 유닛(630)으로 전달되고, 래치 신호 생성 유닛(630)은 검출 신호(FAILBLK)에 따라 래치 신호(FZADD_LATP)를 논리 '하이' 레벨로 활성화 할 수 있다. 그리고, 래치 신호(FZADD_LATP)가 활성화 될 때 래치된 퓨즈 카운트 신호(FuseCount<0:N-1>)가 타겟 신호(TARGET_FZt<0:K>)로 출력될 수 있다.
- [0075] 결국, 도 7의 과형도에서 리페어부(300)는 제2 퓨즈 셋(222), 그 중에서 두 번째 퓨즈 유닛에 해당하는 카운트(11)를 타겟 신호(TARGET_FZt<0:K>)로 출력할 수 있다. 따라서, 제 2 퓨즈 셋(222)에 의해 형성되는 제2 퓨즈 쌍에 리페어 대상 컬럼 어드레스를 프로그램할 수 있다.
- [0076] 반면, 모드 선택 신호(MODE_SEL)가 논리 '로우' 레벨일 경우에는, 모드 선택 유닛(620)은 저장부(320)에서 출력되는 정보(USED_PRE)를 래치 신호 생성 유닛(630)으로 전달하고, 래치 신호 생성 유닛(630)은 검출 신호(FAILBLK)에 따라 논리 '로우' 레벨인 정보(USED_PRE)를 갖는 퓨즈 셋에 대응하여 래치 신호(FZADDR_LATP)를 논리 '하이' 레벨로 활성화 할 수 있다. 도 7의 타이밍도에 따른 동작이라면, 제1 퓨즈 셋(211), 그 중에서도 두 번째 퓨즈 유닛에 대응하여 래치 신호(FZADDR_LATP)가 활성화되고, 그에 해당하는 카운트(01)가 타겟 신호(TARGET_FZt<0:K>)로 출력될 수 있다. 즉, 모드 선택 신호(MODE_SEL)가 논리 '로우' 레벨일 때는, 리페어부(300)는 타겟 신호(TARGET_FZt<0:K>) 해당하는 퓨즈 셋에 대해서만 리페어 대상 컬럼 어드레스를 프로그램할 수 있다.
- [0078] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다. 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면

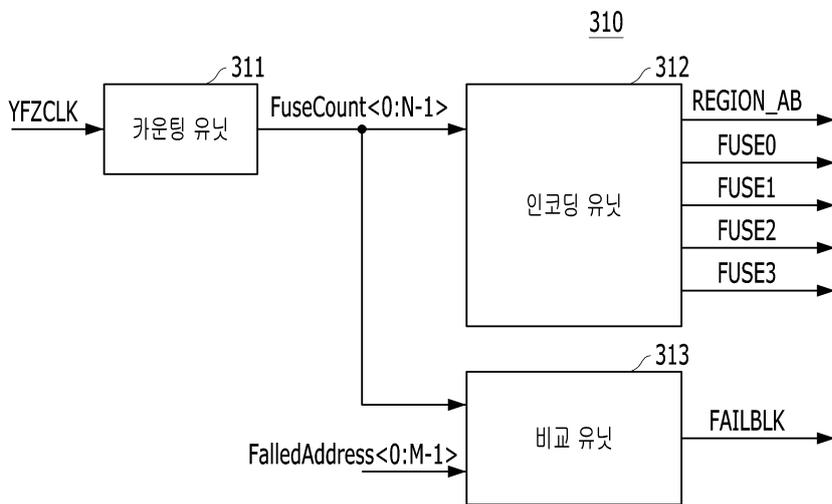
도면1



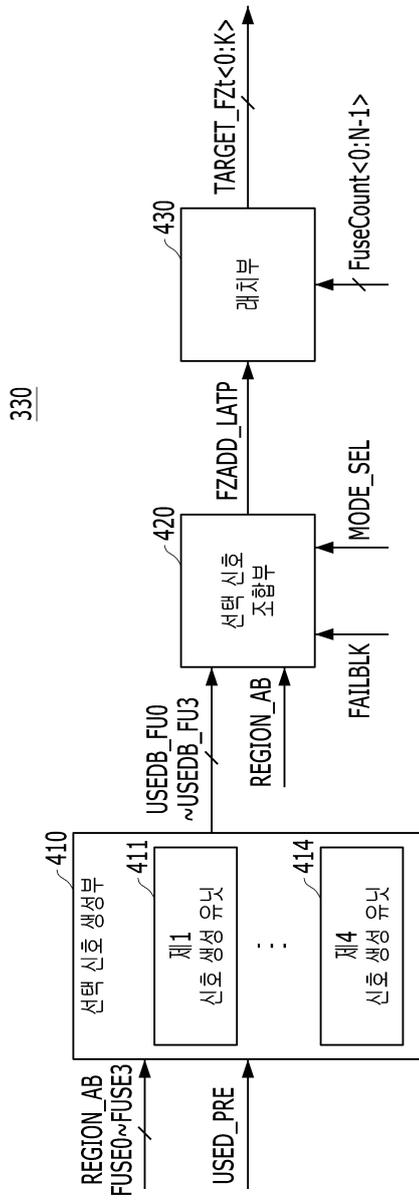
도면2



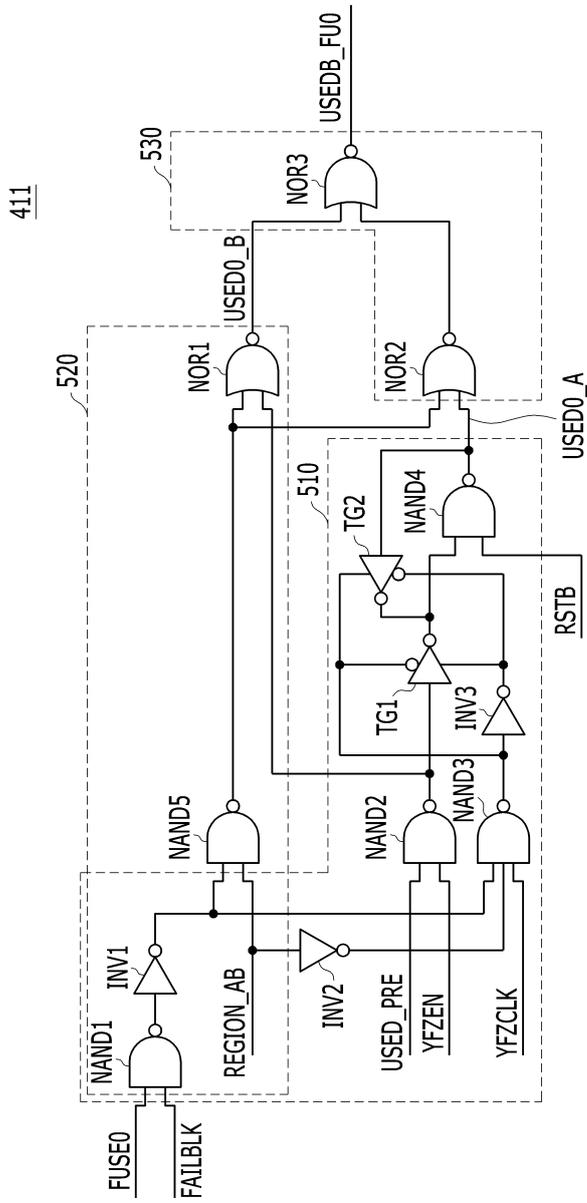
도면3



도면4

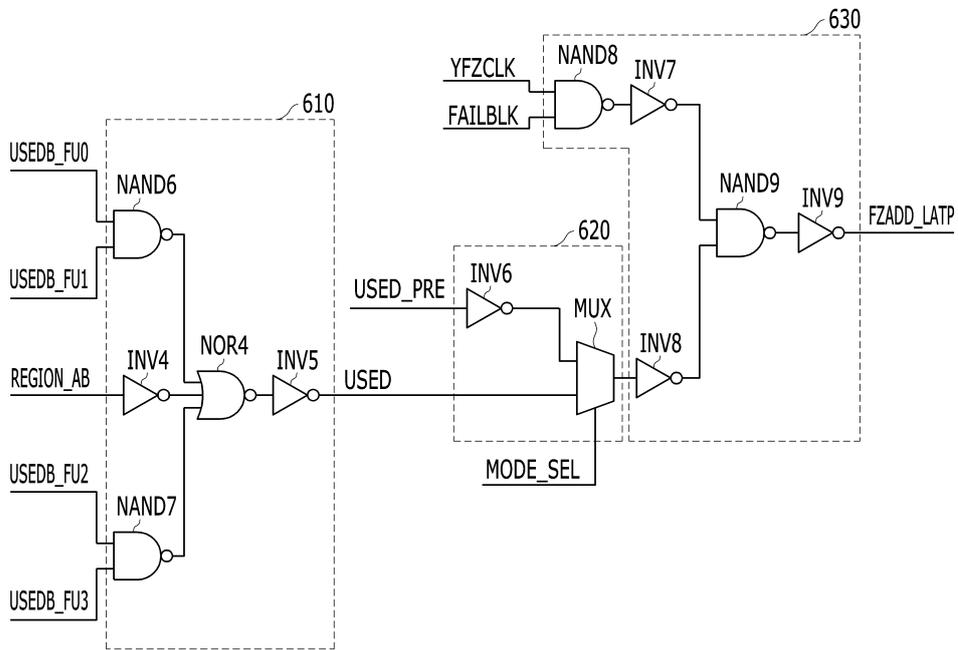


도면5



도면6

420



도면7

