



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0051550  
(43) 공개일자 2010년05월17일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0105988

(22) 출원일자 2009년11월04일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-286384 2008년11월07일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

사카타 준이치로

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 38 항

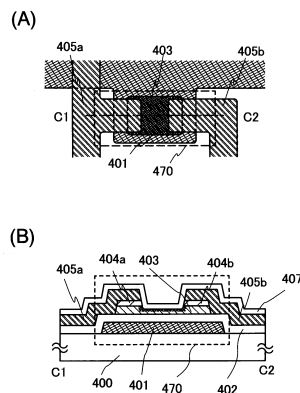
(54) 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

안정된 전기 특성을 가지는 박막 트랜지스터를 가지는, 신뢰성이 좋은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또한, 고신뢰성의 반도체 장치를 저비용으로 생산성 좋게 제작하는 것을 과제의 하나로 한다.

박막 트랜지스터를 가지는 반도체 장치에서, 박막 트랜지스터의 반도체층을 금속 원소가 첨가된 산화물 반도체층으로 한다. 금속 원소로서 철, 니켈, 코발트, 구리, 금, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용한다. 또한, 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

게이트 전극층과;

게이트 절연층과;

채널 형성 영역을 구비한 제1 산화물 반도체층과; 상기 제1 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하고,

소스 전극층과;

드레인 전극층을 포함하고,

상기 제1 산화물 반도체층은 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 제1 산화물 반도체층은 제1 영역과 제2 영역을 구비하고,

상기 제1 영역은 상기 금속 원소를 포함하고,

상기 제1 영역의 두께는 상기 제2 영역의 두께보다 얇은, 반도체 장치.

### 청구항 3

제 1 항에 있어서,

상기 제1 산화물 반도체층은 제1 영역과 제3 영역을 포함하고,

상기 제1 영역은 상기 금속 원소를 포함하고,

상기 제3 영역은 상기 제1 영역과 상기 게이트 절연층 사이에 있는, 반도체 장치.

### 청구항 4

제 1 항에 있어서,

상기 제1 산화물 반도체층과 상기 소스 전극층 사이에 있는 제2 산화물 반도체층과;

상기 제1 산화물 반도체층과 상기 드레인 전극층 사이에 있는 제3 산화물 반도체층을 더 구비하고,

상기 제2 산화물 반도체층과 상기 제3 산화물 반도체층 각각은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

### 청구항 5

제 4 항에 있어서,

상기 제2 산화물 반도체층과 상기 제3 산화물 반도체층 각각은 결정립을 포함하는, 반도체 장치.

**청구항 6**

제 4 항에 있어서,  
상기 제2 산화물 반도체층은 소스 영역으로서 기능하고,  
상기 제3 산화물 반도체층은 드레인 영역으로서 기능하는, 반도체 장치.

**청구항 7**

제 1 항에 있어서,  
상기 제1 산화물 반도체층과 상기 소스 전극층과 상기 드레인 전극층을 덮는 절연막을 더 구비하고,  
상기 절연막은 상기 제1 산화물 반도체층과 접하여 있는, 반도체 장치.

**청구항 8**

제 1 항에 있어서,  
상기 소스 전극층과 상기 드레인 전극층 각각은 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

**청구항 9**

절연 표면을 가진 기판 위의 게이트 전극층과;  
상기 게이트 전극층 위의 게이트 절연층과;  
상기 게이트 절연층 위에 채널 형성 영역을 구비한 제1 산화물 반도체층과; 상기 제1 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하고,  
상기 제1 산화물 반도체층 위에 소스 절극층과 드레인 절극층을 포함하고,  
상기 제1 산화물 반도체층은 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

**청구항 10**

제 9 항에 있어서,  
상기 제1 산화물 반도체층은 제1 영역과 제2 영역을 구비하고,  
상기 제1 영역은 상기 금속 원소를 포함하고,  
상기 제1 영역의 두께는 상기 제2 영역의 두께보다 얇은, 반도체 장치.

**청구항 11**

제 9 항에 있어서,  
상기 제1 산화물 반도체층은 제1 영역과 제3 영역을 포함하고,  
상기 제1 영역은 상기 금속 원소를 포함하고,

상기 제3 영역은 상기 제1 영역과 상기 게이트 절연층 사이에 있는, 반도체 장치.

**청구항 12**

제 9 항에 있어서,

상기 제1 산화물 반도체층과 상기 소스 전극층 사이에 있는 제2 산화물 반도체층과;

상기 제1 산화물 반도체층과 상기 드레인 전극층 사이에 있는 제3 산화물 반도체층을 더 구비하고,

상기 제2 산화물 반도체층과 상기 제3 산화물 반도체층 각각은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

**청구항 13**

제 12 항에 있어서,

상기 제2 산화물 반도체층과 상기 제3 산화물 반도체층 각각은 결정립을 포함하는, 반도체 장치.

**청구항 14**

제 12 항에 있어서,

상기 제2 산화물 반도체층은 소스 영역으로서 기능하고,

상기 제3 산화물 반도체층은 드레인 영역으로서 기능하는, 반도체 장치.

**청구항 15**

제 9 항에 있어서,

상기 제1 산화물 반도체층과 상기 소스 전극층과 상기 드레인 전극층을 덮는 절연막을 더 구비하고,

상기 절연막은 상기 제1 산화물 반도체층과 접해 있는, 반도체 장치.

**청구항 16**

제 9 항에 있어서,

상기 소스 전극층과 상기 드레인 전극층 각각은 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

**청구항 17**

절연 표면을 가진 기판 위의 게이트 전극층과;

상기 게이트 전극층 위의 게이트 절연층과;

상기 게이트 절연층 위에 소스 전극층과 드레인 전극층과,

상기 소스 전극층과 상기 드레인 전극층 위에 제1 산화물 반도체층과; 상기 제1 산화물 반도체층은 채널 형성 영역을 구비하고, 인듐, 갈륨, 및 아연을 포함하고,

상기 제1 산화물 반도체층은 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

**청구항 18**

제 17 항에 있어서,  
상기 제1 산화물 반도체층은 제1 영역과 제2 영역을 구비하고,  
상기 제1 영역은 상기 금속 원소를 포함하고,  
상기 제2 영역은 상기 제1 영역과 상기 게이트 절연층 사이에 있는, 반도체 장치.

**청구항 19**

제 17 항에 있어서,  
상기 제1 산화물 반도체층과 상기 소스 전극층 사이에 있는 제2 산화물 반도체층과;  
상기 제1 산화물 반도체층과 상기 드레인 전극층 사이에 있는 제3 산화물 반도체층을 더 구비하고,  
상기 제2 산화물 반도체층과 상기 제3 산화물 반도체층 각각은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

**청구항 20**

제 19 항에 있어서,  
상기 제2 산화물 반도체층과 상기 제3 산화물 반도체층 각각은 결정립을 포함하는, 반도체 장치.

**청구항 21**

제 19 항에 있어서,  
상기 제2 산화물 반도체층은 소스 영역으로서 기능하고,  
상기 제3 산화물 반도체층은 드레인 영역으로서 기능하는, 반도체 장치.

**청구항 22**

제 17 항에 있어서,  
상기 제1 산화물 반도체층과 상기 소스 전극층과 상기 드레인 전극층을 덮는 절연막을 더 구비하고,  
상기 절연막은 상기 제1 산화물 반도체층과 접하여 있는, 반도체 장치.

**청구항 23**

제 17 항에 있어서,  
상기 소스 전극층과 상기 드레인 전극층 각각은 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

**청구항 24**

절연 표면을 가지는 기판 위에 게이트 전극층을 형성하는 단계와,

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와,  
상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와,  
상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와,

상기 산화물 반도체층에서 상기 소스 전극층 또는 상기 드레인 전극층에 덮이지 않은 제1 영역에 금속 원소를 첨가하는 단계를 구비한, 반도체 장치의 제작 방법.

#### 청구항 25

제 24 항에 있어서,  
상기 금속 원소는 상기 산화물 반도체층의 제2 영역에 첨가되지 않고,  
상기 제2 영역은 상기 제1 영역과 상기 게이트 절연층 사이에 있는, 반도체 장치의 제작 방법.

#### 청구항 26

제 24 항에 있어서,  
상기 산화물 반도체층과 상기 소스 전극층과 드레인 전극층을 덮고 상기 산화물 반도체층과 접하도록 절연막을 형성하는 단계를 더 구비한, 반도체 장치의 제작 방법.

#### 청구항 27

제 24 항에 있어서,  
상기 금속 원소는 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나인, 반도체 장치의 제작 방법.

#### 청구항 28

제 24 항에 있어서,  
상기 금속 원소는 이온 주입법에 의해 첨가되는, 반도체 장치의 제작 방법.

#### 청구항 29

절연 표면을 가지는 기판 위에 게이트 전극층을 형성하는 단계와,  
상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와,  
상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와,  
상기 산화물 반도체층에 금속 원소를 첨가하는 단계와,  
상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계를 구비한, 반도체 장치의 제작 방법.

#### 청구항 30

제 29 항에 있어서,  
상기 금속 원소는 상기 산화물 반도체층의 제1 영역에 첨가되고,

상기 금속 원소는 상기 산화물 반도체층의 제2 영역에는 첨가되지 않고,  
상기 제2 영역은 상기 제1 영역과 상기 게이트 절연층 사이에 있는, 반도체 장치의 제작 방법.

**청구항 31**

제 29 항에 있어서,

상기 산화물 반도체층과 상기 소스 전극층과 드레인 전극층을 덮고 상기 산화물 반도체층과 접하도록 절연막을 형성하는 단계를 더 구비한, 반도체 장치의 제작 방법.

**청구항 32**

제 29 항에 있어서,

상기 금속 원소는 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나인, 반도체 장치의 제작 방법.

**청구항 33**

제 29 항에 있어서,

상기 금속 원소는 이온 주입법에 의해 첨가되는, 반도체 장치의 제작 방법.

**청구항 34**

절연 표면을 가지는 기판 위에 게이트 전극층을 형성하는 단계와,  
상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와,  
상기 게이트 절연층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계와,  
상기 소스 전극층과 상기 드레인 전극층 위에 산화물 반도체층을 형성하는 단계와,  
상기 산화물 반도체층에 금속 원소를 첨가하는 단계를 구비한, 반도체 장치의 제작 방법.

**청구항 35**

제 34 항에 있어서,

상기 금속 원소는 상기 산화물 반도체층의 제1 영역에 첨가되고,  
상기 금속 원소는 상기 산화물 반도체층의 제2 영역에는 첨가되지 않고,  
상기 제2 영역은 상기 제1 영역과 상기 게이트 절연층 사이에 있는, 반도체 장치의 제작 방법.

**청구항 36**

제 34 항에 있어서,

상기 산화물 반도체층과 상기 소스 전극층과 드레인 전극층을 덮고 상기 산화물 반도체층과 접하도록 절연막을 형성하는 단계를 더 구비한, 반도체 장치의 제작 방법.

**청구항 37**

제 34 항에 있어서,

상기 금속 원소는 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈로 구성된 군으로부터 선택된 적어도 하나인, 반도체 장치의 제작 방법.

**청구항 38**

제 34 항에 있어서,

상기 금속 원소는 이온 주입법에 의해 첨가되는, 반도체 장치의 제작 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 산화물 반도체를 이용한 반도체 장치 및 그 제작 방법에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치로 대표되는, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는 아몰퍼스(amorphous) 실리콘, 다결정 실리콘에 의해 제작된다. 아몰퍼스 실리콘을 이용한 박막 트랜지스터는 전계 효과 이동도가 낮지만 유리 기판의 대면적화에 대응할 수 있고, 또한, 결정 실리콘을 이용한 박막 트랜지스터는 전계 효과 이동도가 높지만 레이저 어닐 등의 결정화 공정이 필요하고, 유리 기판의 대면적화에 반드시 적용하지 않는다는 특성을 가진다.

[0003] 이에 대하여, 산화물 반도체를 이용하여 박막 트랜지스터를 제작하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화아연, In-Ga-Zn-O계 산화물 반도체를 이용하여 박막 트랜지스터를 제작하고, 화상 표시 장치의 스위칭 소자 등에 이용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

[0004] [특허문헌 1] 일본국 공개특허 특개 2007-123861호 공보

[0005] [특허문헌 2] 일본국 공개특허 특개 2007-96055호 공보

**발명의 내용**

**해결 하고자하는 과제**

[0006] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터는, 아몰퍼스 실리콘을 이용한 박막 트랜지스터보다 높은 전계 효과 이동도가 얻어진다. 산화물 반도체막은 스퍼터링법 등에 의해 300℃ 이하의 온도에서 막형성이 가능하고, 다결정 실리콘을 이용한 박막 트랜지스터보다 제조 공정이 간단하다.

[0007] 이러한 산화물 반도체를 이용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하고, 액정 디스플레이, 일렉트로루미네선스 디스플레이 또는 전자 페이퍼 등에 대한 응용이 기대되고 있다.

[0008] 또한, 박막 트랜지스터에서, 스레시홀드 전압 등의 전기 특성이 변동하지 않는 것은 중요한 문제이다. 특히, 반도체층의 광감도가 크면 전기 특성이 변동되어, 반도체 장치의 신뢰성을 저하시키는 요인이 된다.

[0009] 안정된 전기 특성을 가지는 박막 트랜지스터를 가지는 신뢰성이 좋은 반도체 장치를 제공하는 것을 과제의 하나



로 한다. 또한, 고신뢰성의 반도체 장치를 저비용으로 생산성 좋게 제작하는 것을 과제의 하나로 한다.

**과제 해결수단**

- [0010] 박막 트랜지스터를 가지는 반도체 장치에서, 박막 트랜지스터의 반도체층을 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 포함하는 산화물 반도체층으로 한다.
- [0011] 본 명세서 중에서 이용하는 산화물 반도체는,  $InMO_3(ZnO)_m(m>0)$ 로 표기되는 박막을 형성하고, 그 박막을 반도체층으로서 이용한 박막 트랜지스터를 제작한다. 또한, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서 Ga의 경우 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에서, M으로서 포함되는 금속 원소 외에, 불순물 원소로서 Fe, Ni, 그 외의 천이 금속 원소, 또는, 이 천이 금속의 산화물이 포함되어 있는 것이 있다. 또한, 본 명세서 중에서, M으로 나타내는 금속 원소, 및 상기 불순물 원소는 산화물 반도체막의 성막 시에 포함시키기로 한다. 예를 들면, M으로 나타내는 금속 원소, 및 상기 불순물 원소를 포함하는 타겟을 이용하여, 스퍼터링법에 의해  $InMO_3(ZnO)_m(m>0)$ 막을 형성한다.
- [0012]  $InMO_3(ZnO)_m(m>0)$ 막(층)에서, M이 갈륨(Ga)인 경우, 본 명세서에서는 이 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다. In-Ga-Zn-O계 비단결정막의 결정 구조는, 아몰퍼스 구조가 XRD(X선 회절)의 분석에서는 관찰된다. 또한, 측정된 샘플의 In-Ga-Zn-O계 비단결정막은, 스퍼터링법으로 성막한 후, 열처리를 200℃~500℃, 대표적으로는 300℃~400℃에서 10분~100분 행하였다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전압 ±20 V에서, 온·오프비가  $10^9$  이상, 이동도가 10 이상인 것을 제작할 수 있다. 또한,  $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 로 한 타겟을 이용하여, 스퍼터링법으로 성막한 In-Ga-Zn-O계 비단결정막은 파장 450 nm 이하에 광감도를 가진다.
- [0013] 상기  $InMO_3(ZnO)_m(m>0)$ 막과 같은 박막 형상의 산화물 반도체층에 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 첨가한다. 첨가 조건 및 첨가 방법을 선택함으로써, 산화물 반도체층에 첨가되는 금속 원소의 첨가 영역 및 농도 분포를 제어할 수 있다.
- [0014] 산화물 반도체층에 금속 원소를 첨가하면, 산화물 반도체층에서 이 금속 원소가 재결합 중심이 되기 때문에, 산화물 반도체층의 광감도를 저하시킬 수 있다. 광감도를 저하시킴으로써 박막 트랜지스터의 전기 특성은 안정화되고, 스레시홀드값의 변동에 의한 오프 전류의 증가 등을 방지할 수 있다.
- [0015] 금속 원소는,  $InMO_3(ZnO)_m(m>0)$ 막에 첨가되는 것에 의해,  $InMO_3(ZnO)_m(m>0)$ 막의 재결합 중심이 되어, 광감도 저하의 효과를 얻을 수 있다. 금속 원소는, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있고,  $InMO_3(ZnO)_m(m>0)$ 막 중에 포함되는 금속 원소와 동종, 이종 상관없이 첨가함으로써, 박막 트랜지스터의 전기 특성을 안정화시킬 수 있다. 또한, 산화물 반도체층에서 금속 원소의 첨가 영역이나 농도 분포를 제어할 수 있어, 효율적으로 광감도 저하, 및 박막 트랜지스터의 전기 특성의 안정화의 효과를 얻을 수 있다.
- [0016] 산화물 반도체층에 도입하는 금속 원소의 첨가 방법은 특별히 한정되는 것은 아니고, 건식, 습식(도포법 등)의 각종 방법을 이용할 수 있지만, 적합하게는 이온 주입법이나 도핑법을 이용하면 좋다.
- [0017] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 게이트 전극층과, 게이트 절연층과, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층과, 소스 전극층과, 드레인 전극층을 가지고, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층은, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류의 금속 원소를 포함한다.
- [0018] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 가지는 기판 위에, 게이트 전극층과, 게이트 전극층 위에 게이트 절연층과, 게이트 절연층 위에 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층과, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 가지고, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층은, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈

중 적어도 한 종류의 금속 원소를 포함한다.

- [0019] 또한, 금속 원소는, 산화물 반도체층 전면에 첨가해도 좋고, 선택적으로 첨가해도 좋다. 예를 들면, 산화물 반도체층은 막 두께가 얇은 영역을 가지고, 금속 원소는, 산화물 반도체층의 막 두께가 얇은 영역에 포함되는 구성으로 해도 좋다. 금속 원소의 첨가 공정 순서, 마스크 조건에 의해, 금속 원소는 산화물 반도체층 이외의 막에도 첨가된다. 예를 들면, 역스태거형의 박막 트랜지스터에서, 소스 전극층 및 드레인 전극층을 마스크로 하여 노출되어 있는 산화물 반도체층에 금속 원소를 첨가하는 경우, 금속 원소는 소스 전극층 및 드레인 전극층에도 첨가된다.
- [0020] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 가지는 기판 위에, 게이트 전극층과, 게이트 전극층 위에 게이트 절연층과, 게이트 절연층 위에 소스 전극층 및 드레인 전극층과, 소스 전극층 및 드레인 전극층 위에 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층을 가지고, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층은, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류의 금속 원소가 첨가되어 있다.
- [0021] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 가지는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하고, 산화물 반도체층에서 소스 전극층 및 드레인 전극층에 덮이지 않은 영역에 금속 원소를 첨가한다.
- [0022] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 가지는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층에 금속 원소를 첨가하고, 금속 원소를 첨가한 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성한다.
- [0023] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 가지는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층 및 드레인 전극층 위에 산화물 반도체층을 형성하고, 산화물 반도체층에 금속 원소를 첨가한다.
- [0024] 본 명세서에 개시하는 반도체 장치, 및 반도체 장치의 제작 방법은, 상기 과제의 적어도 하나를 해결한다.
- [0025] 또한, 산화물 반도체층과 소스 전극층의 사이에 소스 영역을, 산화물 반도체층(제1 산화물 반도체층이라고도 함)과 드레인 전극층과의 사이에 드레인 영역을 가져도 좋다. 소스 영역 및 드레인 영역에, n형의 도전형을 나타내는 산화물 반도체층(제2 산화물 반도체층이라고도 함)을 이용할 수 있다.
- [0026] 또한, 박막 트랜지스터의 소스 영역 및 드레인 영역으로서 이용하는 제2 산화물 반도체층은, 채널 형성 영역으로서 이용하는 제1 산화물 반도체층의 막 두께보다 얇고, 또한, 보다 높은 도전율(전기 전도도)을 가지는 것이 바람직하다.
- [0027] 또한, 채널 형성 영역으로서 이용하는 제1 산화물 반도체층은 비정질 구조를 가지고, 소스 영역 및 드레인 영역으로서 이용하는 제2 산화물 반도체층은 비정질 구조 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 소스 영역 및 드레인 영역으로서 이용하는 제2 산화물 반도체층 중의 결정립(나노 크리스탈)은 직경 1 nm~10 nm, 대표적으로는 2 nm~4 nm 정도이다.
- [0028] 소스 영역 및 드레인 영역(n<sup>+</sup>층)으로서 이용하는 제2 산화물 반도체층으로서 In-Ga-Zn-O계 비단결정막을 이용할 수 있다.
- [0029] 산화물 반도체층, 소스 전극층 및 드레인 전극층을 포함하는 박막 트랜지스터를 덮고, 또한, 채널 형성 영역을 포함하는 산화물 반도체층에 접하는 절연막을 형성해도 좋다.
- [0030] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 형성하는 것이 바람직하다. 보호 회로는, 산화물 반도체를 이용한 비선형 소자를 이용하여 구성하는 것이 바람직하다.
- [0031] 또한, 제1, 제2라고 붙여지는 서수사는 편의상 이용하는 것이고, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0032] 또한, 구동 회로를 가지는 표시 장치로서는, 액정 표시 장치 외에, 발광소자를 이용한 발광 표시 장치나, 전기

영동 표시 소자를 이용한 전자 페이퍼라고도 칭해지는 표시 장치를 들 수 있다.

[0033] 발광소자를 이용한 발광 표시 장치에서는, 화소부에 복수의 박막 트랜지스터를 가지고, 화소부에서도 어느 박막 트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선, 혹은 드레인 배선을 접속시키는 개소를 가지고 있다. 또한, 발광소자를 이용한 발광 표시 장치의 구동 회로에서는, 박막 트랜지스터의 게이트 전극과 그 박막 트랜지스터의 소스 배선, 혹은 드레인 배선을 접속시키는 개소를 가지고 있다.

[0034] 또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

**효 과**

[0035] 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성(dynamic characteristics)을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 전기 특성이 높고, 신뢰성이 좋은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0036] 실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 이하의 설명에 한정되는 것은 아니고, 취지 및 그 범위로부터 벗어남이 없이, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 다른 도면간에 공통으로 이용하고, 그 반복의 설명은 생략한다.

[0037] [실시형태 1]

[0038] 반도체 장치 및 반도체 장치의 제작 방법을 도 1 및 도 2를 이용하여 설명한다.

[0039] 도 1(A)는 반도체 장치가 가지는 박막 트랜지스터(470)의 평면도이며, 도 1(B)는 도 1(A)의 선 C1-C2에서의 단면도이다. 박막 트랜지스터(470)는 역스태거형의 박막 트랜지스터이며, 절연 표면을 가지는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 영역 또는 드레인 영역으로서 기능하는 n<sup>+</sup>층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)을 포함한다. 또한, 박막 트랜지스터(470)를 덮어, 반도체층(403)에 접하는 절연막(407)이 형성되어 있다.

[0040] 반도체층(403)은 금속 원소를 포함하는 산화물 반도체층이며, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소가 첨가되어 있다. 또한, 명세서의 도면에서, 반도체층(403)의 그물 형상으로 표시된 영역을 금속 원소의 첨가 영역으로서 나타낸다.

[0041] 산화물 반도체층에 금속 원소를 첨가하면, 산화물 반도체층에서 이 금속 원소가 재결합 중심이 되기 때문에, 산화물 반도체층의 광감도를 저하시킬 수 있다. 광감도를 저하시킴으로써 박막 트랜지스터의 전기 특성은 안정화되고, 스톱시홀드값의 변동에 의한 오프 전류의 증가 등을 방지할 수 있다.

[0042] 도 2(A) 내지 도 2(D)는 박막 트랜지스터(470)의 제작 공정을 나타낸 단면도에 상당한다.

[0043] 도 2(A)에서, 절연 표면을 가지는 기판인 기판(400) 위에 게이트 전극층(401)을 형성한다. 하지막이 되는 절연막을 기판(400)과 게이트 전극층(401)의 사이에 형성해도 좋다. 하지막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화규소막, 산화규소막, 질화산화규소막, 또는 산화질화규소막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다. 게이트 전극층(401)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다.

[0044] 예를 들면, 게이트 전극층(401)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티탄층 혹은 질화탄탈층을 적층한 2층 구조, 질화티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스

텐층 또는 질화텅스텐과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티탄의 합금과, 질화티탄 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다.

- [0045] 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.
- [0046] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하고, 산화규소층, 질화규소층, 산화질화규소층 또는 질화산화규소층을 단층 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(402)으로서, 유기 실란 가스를 이용한 CVD법에 의해 산화규소층을 형성하는 것도 가능하다. 유기 실란 가스로서는, 규산에틸(TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ), 테트라메틸실란(TMS: 화학식  $\text{Si}(\text{CH}_3)_4$ ), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ), 트리스디메틸아미노실란( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 등의 실리콘 함유 화합물을 이용할 수 있다.
- [0047] 게이트 절연층(402) 위에, 제1 산화물 반도체막(430), 제2 산화물 반도체막(431)을 순차로 적층한다. 제1 산화물 반도체막(430), 제2 산화물 반도체막(431)은 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공되어 있다.
- [0048] 또한, 제1 산화물 반도체막(430)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층(402)의 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기하에서 기관측에 RF 전원을 이용하여 전압을 인가하여 기관에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 이용해도 좋다. 또한, 아르곤 분위기에 산소, 수소,  $\text{N}_2\text{O}$  등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에  $\text{Cl}_2$ ,  $\text{CF}_4$  등을 첨가한 분위기에서 행하여도 좋다.
- [0049] 또한, 제2 산화물 반도체막(431)과 도전막(432)의 접촉 영역은 플라즈마 처리에 의해 개질되어 있는 것이 바람직하다.
- [0050] 플라즈마 처리는, 아르곤 분위기 대신에 질소, 헬륨 등을 이용해도 좋다. 또한, 아르곤 분위기에 산소, 수소,  $\text{N}_2\text{O}$  등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에  $\text{Cl}_2$ ,  $\text{CF}_4$  등을 첨가한 분위기에서 행하여도 좋다.
- [0051] 제1 산화물 반도체막(430) 및 제2 산화물 반도체막(431)으로서, In-Ga-Zn-O계 비단결정막을 이용한다. 제1 산화물 반도체막(430)과 제2 산화물 반도체막(431)은 다른 성막 조건으로 형성되고, 제2 산화물 반도체막(431)이 보다 도전율이 높고 저저항인 산화물 반도체막이다. 예를 들면, 제2 산화물 반도체막(431)으로서, 스퍼터링법에서의 아르곤 가스 유량을 40 sccm으로 한 조건으로 얻어지는 산화물 반도체막으로 형성한다. 제2 산화물 반도체막(431)은, n형의 도전형을 가지고, 활성화 에너지( $\Delta E$ )가 0.01 eV 이상 0.1 eV 이하이다. 또한, 제2 산화물 반도체막(431)은, In-Ga-Zn-O계 비단결정막으로 하고, 적어도 아몰퍼스 성분을 포함하고 있는 것으로 한다. 제2 산화물 반도체막(431)은 비정질 구조 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 제2 산화물 반도체막(431) 중의 결정립(나노 크리스탈)은 직경 1 nm~10 nm, 대표적으로는 2 nm~4 nm 정도이다.
- [0052]  $n^+$ 층이 되는 제2 산화물 반도체막(431)을 형성함으로써, 금속층인 도전막(432)과, 채널 형성 영역이 되는 제1 산화물 반도체막(430) 사이를 양호한 접합으로 하여 쇼트키(Schottky) 접합에 비해 열적으로도 안정 동작을 가지게 한다. 또한, 채널의 캐리어를 공급하거나(소스측), 또는 채널의 캐리어를 안정적으로 흡수하거나(드레인측), 또는 저항 성분을 배선과의 계면에 만들지 않기 위해서라도, 적극적으로  $n^+$ 층을 형성하면 효과적이다. 또한, 저저항화에 의해, 높은 드레인 전압에서도 양호한 이동도를 보유했을 수 있다.
- [0053] 게이트 절연층(402), 제1 산화물 반도체막(430), 및 제2 산화물 반도체막(431) 위에 도전막(432)을 형성한다.
- [0054] 도전막(432)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃~600℃의 열처리를 행하는 경우에는, 이 열처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체(單體)만으로는 내열성이 부족하고, 또한, 부식되기 쉽다는 등의 문제점이 있으므로, 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.



- [0055] 게이트 절연층(402), 제1 산화물 반도체막(430), 제2 산화물 반도체막(431), 도전막(432)을 대기에 접하게 하지 않고 연속적으로 형성해도 좋다. 대기에 접하게 하지 않고 연속 성장함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되는 일 없이 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터의 특성의 편차를 저감할 수 있다.
- [0056] 제1 산화물 반도체막(430), 제2 산화물 반도체막(431), 도전막(432)을 에칭 공정에 의해 에칭하고, 반도체층(433),  $n^+$ 층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성한다(도 2(B) 참조). 또한, 반도체층(433)은 일부만이 에칭되어, 홈부(오목부)를 가지는 반도체층이 되고, 또한, 단부에서도, 일부 에칭되어 노출된 형상이 된다.
- [0057] 다음에, 산화물 반도체층인 반도체층(433)에 금속 원소(434)를 첨가하고, 반도체층(403)을 형성한다(도 2(C) 참조).
- [0058] 금속 원소(434)로서는, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있다. 금속 원소(434)로서 철을 이용하여, 이온 주입법에 의해 첨가한다. 철의 첨가는, 고체 소스를 증기화할 수 있는 히터를 포함하는 이온 소스실이 설치된 이온 주입 장치를 이용하여 행할 수 있다.
- [0059] 반도체층(433) 위에 소스 전극층 또는 드레인 전극층(405a, 405b)이 형성되어 있으므로, 소스 전극층 또는 드레인 전극층(405a, 405b)이 마스크가 되고, 반도체층(433)의 노출 영역에 금속 원소(434)가 첨가된다. 이와 같이 반도체층(433)에 금속 원소가 선택적으로 첨가되면, 반도체층(403)에서 금속 원소의 첨가 농도도 분포를 가지고, 비첨가 영역도 존재한다.
- [0060] 또한, 금속 원소의 첨가 공정 순서, 마스크 조건에 의해, 금속 원소는 산화물 반도체층 이외의 막에도 첨가된다. 예를 들면, 역스태거형의 박막 트랜지스터에서, 소스 전극층 및 드레인 전극층을 마스크로서 노출하고 있는 산화물 반도체층에 금속 원소를 첨가하는 경우, 금속 원소는 소스 전극층 및 드레인 전극층에도 첨가된다. 마찬가지로, 금속 원소는 노출 영역에 첨가되기 때문에, 노출되어 있는 게이트 절연층에도 첨가된다. 또한, 첨가 조건에 따라서는, 게이트 절연층 아래의 하지막에도 첨가되는 경우도 있다. 물론 마스크를 형성하면 마스크에 덮인 영역은 비첨가 영역으로 할 수 있고, 산화물 반도체층에만 선택적으로 금속 원소를 포함하게 하는 것도 가능하다.
- [0061] 금속 원소의 첨가에 의해 산화물 반도체층의 광감도가 저하된다. 또한, 산화물 반도체층의 표면 근방에만 금속 원소가 첨가됨으로써, 이동도의 저하를 억제하면서, 광감도를 저하할 수 있다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0062] 그 후, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해 반도체층(403),  $n^+$ 층(404a, 404b)을 구성하는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열처리(광 어닐 등도 포함함)는, 반도체층(403),  $n^+$ 층(404a, 404b) 중에서의 캐리어의 이동을 저해하는 변형을 방지할 수 있다는 점에서 중요하다. 또한, 상기의 열처리를 행하는 타이밍은, 제1 산화물 반도체막(430), 제2 산화물 반도체막(431)의 형성 후라면 특별히 한정되지 않는다.
- [0063] 또한, 노출되어 있는 반도체층(403)의 오목부에 대하여 산소 라디칼 처리를 행하여도 좋다. 산소 라디칼 처리를 행함으로써, 반도체층(403)을 채널 형성 영역으로 하는 박막 트랜지스터를 노멀리 오프(normally-off)로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 반도체층(403)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는,  $O_2$ ,  $N_2O$ , 산소를 포함하는  $N_2$ , He, Ar 등의 분위기하에서 행하는 것이 바람직하다. 또한, 상기 분위기에  $Cl_2$ ,  $CF_4$ 를 첨가한 분위기하에서 행하여도 좋다. 또한, 라디칼 처리는, 기관(400)측 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.
- [0064] 이상의 공정에 의해, 도 2(D)에 나타난 금속 원소가 첨가된 반도체층(403)을 채널 형성 영역으로 하는 역스태거형의 박막 트랜지스터(470)를 제작할 수 있다. 또한, 박막 트랜지스터(470)를 덮어, 반도체층(403)에 접하는 절연막(407)을 형성하고 있다.
- [0065] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지

는 반도체 장치를 제공할 수 있다.

- [0066] [실시형태 2]
- [0067] 여기에서는, 실시형태 1에서, 소스 전극층 및 드레인 전극층의 형성 전에 반도체층에 금속 원소가 첨가된 박막 트랜지스터를 가지는 반도체 장치의 예를 도 30에 나타낸다.
- [0068] 도 30(A) 내지 도 30(E)는 박막 트랜지스터(440)의 제작 공정을 나타낸 단면도를 나타낸다.
- [0069] 도 30(A)에서, 기판(400) 위에 게이트 전극층(401)을 형성하고, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.
- [0070] 게이트 절연층(402) 위에, 제1 산화물 반도체막(435)을 형성한다.
- [0071] 다음에, 제1 산화물 반도체막(435)에 금속 원소(434)를 첨가하고, 제1 산화물 반도체막(436)을 형성한다(도 30(B) 참조).
- [0072] 금속 원소(434)로서, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있다. 예를 들면, 금속 원소(434)로서 철을 이용하고, 이온 주입법에 의해 첨가한다. 철의 첨가는, 고체 소스를 증기화할 수 있는 히터를 포함하는 이온 소스실이 설치된 이온 주입 장치를 이용하여 행할 수 있다.
- [0073] 제1 산화물 반도체막(435)의 전면(全面)에 금속 원소(434)가 첨가된다. 제1 산화물 반도체막(435)의 막 두께 방향 전역에 걸쳐 금속 원소를 첨가하는 예를 나타내지만, 제1 산화물 반도체막(435) 표면 근방에만 금속 원소를 첨가해도 좋다.
- [0074] 금속 원소의 첨가에 의해 산화물 반도체막의 광감도가 저하된다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0075] 제1 산화물 반도체막(436) 위에, 제2 산화물 반도체막을 형성하고, 제1 산화물 반도체막(436) 및 제2 산화물 반도체막을 포토리소그래피 공정에 의해 가공하여, 섬 형상의 제1 산화물 반도체막(437) 및 제2 산화물 반도체막(431)을 형성한다.
- [0076] 게이트 절연층(402), 제1 산화물 반도체막(437), 및 제2 산화물 반도체막(431) 위에 도전막(432)을 형성한다(도 30(C) 참조).
- [0077] 제1 산화물 반도체막(437), 제2 산화물 반도체막(431), 도전막(432)을 에칭 공정에 의해 에칭하고, 반도체층(438),  $n^+$ 층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성한다(도 30(D) 참조). 또한, 반도체층(438)은 일부만이 에칭되어, 홈부(오목부)를 가지는 반도체층이 되고, 또한, 단부에서도 일부 에칭되어 노출된 형상이 된다.
- [0078] 금속 원소의 첨가에 의해 반도체층(438)의 광감도가 저하된다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0079] 그 후, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350℃, 1시간의 열처리를 행한다.
- [0080] 이상의 공정에 의해, 도 30(E)에 나타낸 금속 원소가 첨가된 반도체층(483)을 채널 형성 영역으로 하는 역스태거형의 박막 트랜지스터(440)를 제작할 수 있다. 또한, 박막 트랜지스터(440)를 덮어, 반도체층(438)에 접하는 절연막(407)을 형성한다.
- [0081] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0082] [실시형태 3]
- [0083] 실시형태 1에서, 소스 전극층 및 드레인 전극층과 반도체층이  $n^+$ 층을 통하지 않고 접하는 구성의 박막 트랜지스

터를 가지는 반도체 장치의 예를 도 31에 나타낸다.

- [0084] 도 31(A) 내지 도 31(D)은 박막 트랜지스터(471)의 제작 공정을 나타낸 단면도에 상당한다.
- [0085] 도 31(A)에서, 기판(400) 위에 게이트 전극층(401)을 형성하고, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.
- [0086] 게이트 절연층(402) 위에, 제1 산화물 반도체막(430)을 형성한다. 제1 산화물 반도체막(430)은 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공되어 있다.
- [0087] 게이트 절연층(402), 제1 산화물 반도체막(430) 위에 도전막(432)을 형성한다.
- [0088] 제1 산화물 반도체막(430), 도전막(432)을 에칭 공정에 의해 에칭하고, 반도체층(433), 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성한다(도 31(B) 참조). 또한, 반도체층(433)은 일부만이 에칭되어, 홈부(오픈부)를 가지는 반도체층이 되고, 또한, 단부에서도 일부 에칭되어 노출된 형상이 된다.
- [0089] 다음에, 산화물 반도체층인 반도체층(433)에 금속 원소(434)를 첨가하여, 반도체층(403)을 형성한다(도 31(C) 참조).
- [0090] 금속 원소(434)로서 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있다. 예를 들면, 금속 원소(434)로서 철을 이용하고, 이온 주입법에 의해 첨가한다. 철의 첨가는, 고체 소스를 증기화할 수 있는 히터를 포함하는 이온 소스실이 설치된 이온 주입 장치를 이용하여 행할 수 있다.
- [0091] 반도체층(433) 위에 소스 전극층 또는 드레인 전극층(405a, 405b)이 형성되어 있으므로, 소스 전극층 또는 드레인 전극층(405a, 405b)이 마스크가 되고, 반도체층(433)의 노출 영역에 금속 원소(434)가 첨가된다. 이와 같이 반도체층(433)에 금속 원소가 선택적으로 첨가되면, 반도체층(403)에 있어서 금속 원소의 첨가 농도도 분포를 가지고, 비첨가 영역도 존재한다. 반도체층(433)의 표면 근방에만 금속 원소를 첨가하는 예를 나타내지만, 반도체층(433)의 막 두께 방향 전역에 걸쳐 금속 원소를 첨가해도 좋다.
- [0092] 금속 원소의 첨가에 의해 산화물 반도체층의 광감도가 저하된다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0093] 그 후, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350℃, 1시간의 열처리를 행한다.
- [0094] 이상의 공정에 의해, 도 31(D)에 나타낸 금속 원소가 첨가된 반도체층(403)을 채널 형성 영역으로 하는 역스태거형의 박막 트랜지스터(471)를 제작할 수 있다. 또한, 박막 트랜지스터(471)를 덮어, 반도체층(403)에 접하는 절연막(407)을 형성한다.
- [0095] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0096] [실시형태 4]
- [0097] 반도체 장치 및 반도체 장치의 제작 방법을 도 3 및 도 4를 이용하여 설명한다.
- [0098] 도 3(A)는 반도체 장치가 가지는 박막 트랜지스터(460)의 평면도이며, 도 3(B)는 도 3(A)의 선 D1-D2에서의 단면도이다. 박막 트랜지스터(460)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 가지는 기판인 기판(450) 위에, 게이트 전극층(451), 게이트 절연층(452), 소스 전극층 또는 드레인 전극층(455a, 455b), 소스 영역 또는 드레인 영역으로서 기능하는 n<sup>+</sup>층(454a, 454b), 및 반도체층(453)을 포함한다. 또한, 박막 트랜지스터(460)를 덮고, 반도체층(453)에 접하는 절연막(457)이 형성되어 있다. 반도체층(453) 및 n<sup>+</sup>층(454a, 454b)은, In-Ga-Zn-O계 비단결정막을 이용한다.
- [0099] 박막 트랜지스터(460)는, 박막 트랜지스터(460)를 포함하는 영역 모두에 있어서 게이트 절연층(452)이 존재하고, 게이트 절연층(452)과 절연 표면을 가지는 기판인 기판(450) 사이에 게이트 전극층(451)이 형성되어 있다. 게이트 절연층(452) 위에는 소스 전극층 또는 드레인 전극층(455a, 455b), 및 n<sup>+</sup>층(454a, 454b)이 형성

되어 있다. 그리고 게이트 절연층(452), 소스 전극층 또는 드레인 전극층(455a, 455b), 및  $n^+$ 층(454a, 454b) 위에 반도체층(453)이 형성되어 있다. 또한, 도시하지 않았지만, 게이트 절연층(452) 위에는 소스 전극층 또는 드레인 전극층(455a, 455b)에 더하여 배선층을 가지고, 이 배선층은 이 반도체 장치 내에 있는 반도체층의 외주 부보다 외측으로 연장되어 있다.

- [0100] 반도체층(453)은 금속 원소를 포함하는 산화물 반도체층이며, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소가 첨가되어 있다. 또한, 명세서의 도면에서, 반도체층(453)의 그물 형상으로 표시된 영역을 금속 원소의 첨가 영역으로서 나타낸다.
- [0101] 산화물 반도체층에 금속 원소를 첨가하면, 산화물 반도체층에서 이 금속 원소가 재결합 중심이 되기 때문에, 산화물 반도체층의 광감도를 저하시킬 수 있다. 광감도를 저하시킴으로써 박막 트랜지스터의 전기 특성은 안정화되고, 스텔시홀드값의 변동에 의한 오프 전류의 증가 등을 방지할 수 있다.
- [0102] 도 4(A) 내지 도 4(D)는 박막 트랜지스터(460)의 제작 공정을 나타낸 단면도에 상당한다.
- [0103] 절연 표면을 가지는 기판인 기판(450) 위에 게이트 전극층(451)을 형성한다. 하지막이 되는 절연막을 기판(450)과 게이트 전극층(451) 사이에 형성하여도 좋다. 하지막은, 기판(450)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화규소막, 산화규소막, 질화산화규소막, 또는 산화질화규소막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다. 게이트 전극층(451)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다.
- [0104] 게이트 전극층(451) 위에 게이트 절연층(452)을 형성한다.
- [0105] 게이트 절연층(452)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화규소층, 질화규소층, 산화질화규소층 또는 질화산화규소층을 단층 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(452)으로서, 유기 실란 가스를 이용한 CVD법에 의해 산화규소층을 형성하는 것도 가능하다.
- [0106] 게이트 절연층(452) 위에, 도전막 및 제1 산화물 반도체막을 순차로 적층하고, 포토리소그래피 공정에 의해 섬 형상의 소스 전극층 또는 드레인 전극층(455a, 455b), 산화물 반도체막(481a, 481b)으로 가공한다(도 4(A) 참조). 산화물 반도체막(481a, 481b)은,  $n^+$ 층으로서 기능시키기 때문에, 실시형태 1의 제2 산화물 반도체막(431)과 마찬가지로 형성한다.
- [0107] 소스 전극층 또는 드레인 전극층(455a, 455b)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃~600℃의 열처리를 행하는 경우에는, 이 열처리에 견딜 수 있는 내열성을 도전막에 가지게 하는 것이 바람직하다. Al 단층막으로는 내열성이 부족하고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로, 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0108] 다음에, 게이트 절연층(452), 소스 전극층 또는 드레인 전극층(455a, 455b), 및 산화물 반도체막(481a, 481b) 위에 제2 산화물 반도체막을 형성하고, 포토리소그래피 공정에 의해 섬 형상의 반도체층(483),  $n^+$ 층(454a, 454b)으로 가공한다(도 4(B) 참조).
- [0109] 반도체층(483)은, 채널 형성 영역이 되기 때문에, 실시형태 1의 제1 산화물 반도체막(430)과 마찬가지로 형성한다.
- [0110] 또한, 반도체층(483)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층(452)의 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다.
- [0111] 다음에, 산화물 반도체층인 반도체층(483)에 금속 원소(484)를 첨가하여, 반도체층(453)을 형성한다(도 4(C) 참조).
- [0112] 금속 원소(484)로서 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있다. 예를 들면, 금속 원소(484)로서 철을 이용하고, 이온 주입법에 의해 첨가한다. 철의 첨가는, 고체 소스를 증기화할 수 있는 히터를 포함하는 이온 소스실이 설치된 이온 주입 장치를



이용하여 행할 수 있다.

- [0113] 노출되어 있는 반도체층(483)의 전면에 금속 원소(484)가 첨가된다. 반도체층(483)의 막 두께 방향 전역에 걸쳐 금속 원소를 첨가하는 예를 나타내지만, 반도체층(483) 표면 근방에만 금속 원소를 첨가해도 좋다.
- [0114] 금속 원소의 첨가에 의해 산화물 반도체층의 광감도가 저하된다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0115] 그 후, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350℃, 1시간의 열처리를 행한다. 이 열처리를 행하는 타이밍은, 산화물 반도체막의 형성 후라면 특별히 한정되지 않는다.
- [0116] 또한, 반도체층(453)에 대하여 산소 라디칼 처리를 행하여도 좋다.
- [0117] 이상의 공정에 의해, 도 4(D)에 나타낸 금속 원소가 첨가된 반도체층(453)을 채널 형성 영역으로 하는 보텀 게이트형의 박막 트랜지스터(460)를 제작할 수 있다. 또한, 박막 트랜지스터(460)를 덮어, 반도체층(453)에 접하는 절연막(457)을 형성한다.
- [0118] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0119] [실시형태 5]
- [0120] 실시형태 4에 있어서, 소스 전극층 및 드레인 전극층과 반도체층이, n<sup>+</sup>층을 통하지 않고 접하는 구성의 박막 트랜지스터를 가지는 반도체 장치의 예를 도 32에 나타낸다.
- [0121] 도 32(A) 내지 도 32(D)는 박막 트랜지스터(461)의 제작 공정을 나타낸 단면도에 상당한다.
- [0122] 절연 표면을 가지는 기판인 기판(450) 위에 게이트 전극층(451)을 형성한다. 하지막이 되는 절연막을 기판(450)과 게이트 전극층(451)의 사이에 형성해도 좋다.
- [0123] 게이트 전극층(451) 위에 게이트 절연층(452)을 형성한다.
- [0124] 게이트 절연층(452) 위에, 도전막을 적층하고, 포토리소그래피 공정에 의해 섬 형상의 소스 전극층 또는 드레인 전극층(455a, 455b)으로 가공한다(도 32(A) 참조).
- [0125] 다음에, 게이트 절연층(452), 및 소스 전극층 또는 드레인 전극층(455a, 455b) 위에 산화물 반도체막을 형성하고, 포토리소그래피 공정에 의해 섬 형상의 반도체층(483)으로 가공한다(도 32(B) 참조).
- [0126] 반도체층(483)은, 채널 형성 영역이 되기 때문에, 실시형태 1의 제1 산화물 반도체막(430)과 마찬가지로 형성한다.
- [0127] 또한, 반도체층(483)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층(452)의 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다.
- [0128] 다음에, 산화물 반도체층인 반도체층(483)에 금속 원소(484)를 첨가하여, 반도체층(485)을 형성한다(도 32(C) 참조).
- [0129] 금속 원소(484)로서 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있다. 예를 들면, 금속 원소(484)로서 철을 이용하여, 이온 주입법에 의해 첨가한다. 철의 첨가는, 고체 소스를 증기화할 수 있는 히터를 포함하는 이온 소스실이 설치된 이온 주입 장치를 이용하여 행할 수 있다.
- [0130] 노출되어 있는 반도체층(483)의 전면에 금속 원소(484)가 첨가된다. 반도체층(483)의 표면 근방에만 금속 원소를 첨가하는 예를 나타내지만, 반도체층(483)의 막 두께 방향 전역에 걸쳐 금속 원소를 첨가해도 좋다.
- [0131] 금속 원소의 첨가에 의해 산화물 반도체층의 광감도가 저하된다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0132] 그 후, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350

℃, 1시간의 열처리를 행한다. 이 열처리를 행하는 타이밍은, 산화물 반도체막의 형성 후라면 특별히 한정되지 않는다.

- [0133] 또한, 반도체층(485)에 대하여 산소 라디칼 처리를 행하여도 좋다.
- [0134] 이상의 공정에 의해, 도 32(D)에 나타난 금속 원소가 첨가된 반도체층(485)을 채널 형성 영역으로 하는 보텀 게이트형의 박막 트랜지스터(461)를 제작할 수 있다. 또한, 박막 트랜지스터(461)를 덮어, 반도체층(485)에 접하는 절연막(457)을 형성한다.
- [0135] 박막 트랜지스터(461)는, 박막 트랜지스터(461)를 포함하는 영역 모두에서 게이트 절연층(452)이 존재하고, 게이트 절연층(452)과 절연 표면을 가지는 기관인 기관(450)의 사이에 게이트 전극층(451)이 형성되어 있다. 게이트 절연층(452) 위에는 소스 전극층 또는 드레인 전극층(455a, 455b)이 형성되어 있다. 그리고 게이트 절연층(452), 소스 전극층 또는 드레인 전극층(455a, 455b) 위에 반도체층(485)이 형성되어 있다. 또한, 도시하지 않았지만, 게이트 절연층(452) 위에는 소스 전극층 또는 드레인 전극층(455a, 455b)에 더하여 배선층을 가지고, 이 배선층은 이 반도체 장치 내에 있는 반도체층의 외주부보다 외측으로 연장되어 있다.
- [0136] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0137] [실시형태 6]
- [0138] 박막 트랜지스터를 포함하는 반도체 장치의 제작 공정에 대하여, 도 5 내지도 12를 이용하여 설명한다.
- [0139] 도 5(A)에서, 투광성을 가지는 기관(100)에는 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기관을 이용할 수 있다.
- [0140] 다음에, 도전층을 기관(100) 전면에 형성한 후, 제1 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제1 단자(121))을 형성한다. 이때 적어도 게이트 전극층(101)의 단부에 테이퍼 형상이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 5(A)에 나타냈다. 또한, 이 단계에서의 평면도가 도 7에 상당한다.
- [0141] 게이트 전극층(101)을 포함하는 게이트 배선과 용량 배선(108), 단자부의 제1 단자(121)는, 내열성 도전성 재료로서, 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성하는 것이 바람직하다. 또한, 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 경우에는, Al 단체만으로는 내열성이 부족하고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로 상기 내열성 도전성 재료와 조합하여 형성한다.
- [0142] 다음에, 게이트 전극층(101) 위에 게이트 절연층(102)을 전면에 성막한다. 게이트 절연층(102)은 스퍼터링법 등을 이용하여, 막 두께를 50~250 nm로 한다.
- [0143] 예를 들면, 게이트 절연층(102)으로서 스퍼터링법에 의해 산화규소막을 이용하여, 100 nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이러한 산화규소막에 한정되는 것은 아니고, 산화질화규소막, 질화규소막, 산화알루미늄막, 산화탄탈막 등의 다른 절연막을 이용하여, 이들 재료로 이루어지는 단층 또는 적층 구조로 하여 형성해도 좋다.
- [0144] 또한, 산화물 반도체막을 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층의 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 이용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소, N<sub>2</sub>O 등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl<sub>2</sub>, CF<sub>4</sub> 등을 첨가한 분위기에서 행하여도 좋다.
- [0145] 다음에, 게이트 절연층(102) 위에, 제1 산화물 반도체막(제1 In-Ga-Zn-O계 비단결정막)을 성막한다. 플라즈마 처리 후, 대기에 노출시키지 않고 제1 In-Ga-Zn-O계 비단결정막을 성막하는 것은, 게이트 절연층과 반도체막의 계면에 오물이나 수분을 부착시키지 않는다는 점에서 유용하다. 여기에서는, 직경 8 인치의 In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟(In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1)을 이용하고, 기관과 타겟 사이의 거리를 170

mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 아르곤 또는 산소 분위기하에서 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 오물을 경감할 수 있어, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 제1 In-Ga-Zn-O계 비단결정막의 막 두께는, 5 nm~200 nm으로 한다. 제1 In-Ga-Zn-O계 비단결정막의 막 두께는, 100 nm으로 한다.

[0146] 다음에, 대기에 노출시키지 않고, 제2 산화물 반도체막(제2 In-Ga-Zn-O계 비단결정막)을 스퍼터링법으로 성막한다. 여기에서는,  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 로 한 타겟을 이용하고, 성막 조건은 압력을 0.4 Pa로 하고, 전력을 500 W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40 sccm를 도입하여 스퍼터 성막을 행한다.  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 로 한 타겟을 의도적으로 이용하고 있음에도 불구하고, 성막 직후에 크기 1 nm~10 nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되는 경우가 있다. 또한, 타겟의 성분비, 성막 압력(0.1 Pa~2.0 Pa), 전력(250 W~3000 W : 8 인치φ), 온도(실온~100℃), 반응성 스퍼터의 성막 조건 등을 적절히 조절함으로써 결정립의 유무나, 결정립의 밀도나, 직경 사이즈는, 1 nm~10 nm의 범위에서 조절될 수 있다고 할 수 있다. 제2 In-Ga-Zn-O계 비단결정막의 막 두께는, 5 nm~20 nm으로 한다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막 두께를 넘는 크기가 되지 않는다. 제2 In-Ga-Zn-O계 비단결정막의 막 두께는, 5 nm로 한다.

[0147] 제1 In-Ga-Zn-O계 비단결정막은, 제2 In-Ga-Zn-O계 비단결정막의 성막 조건과 다르게 한다. 예를 들면, 제2 In-Ga-Zn-O계 비단결정막의 성막 조건에서의 산소 가스 유량과 아르곤 가스 유량의 비보다 제1 In-Ga-Zn-O계 비단결정막의 성막 조건에서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제2 In-Ga-Zn-O계 비단결정막의 성막 조건은 희가스(아르곤, 또는 헬륨 등) 분위기하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제1 In-Ga-Zn-O계 비단결정막의 성막 조건은, 산소 분위기하(또는 산소 가스 유량과 아르곤 가스 유량의 비 1 : 1 이상)로 한다.

[0148] 제2 In-Ga-Zn-O계 비단결정막의 성막은, 미리 역스퍼터링을 행한 챔버와 동일 챔버를 이용해도 좋고, 미리 역스퍼터링을 행한 챔버와 다른 챔버에서 성막해도 좋다.

[0149] 스퍼터링법에는 스퍼터용 전원에 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 펄스적으로 바이어스를 더 부가하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.

[0150] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0151] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터 장치가 있다.

[0152] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시키고 그들 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.

[0153] 다음에, 제2 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 제1 In-Ga-Zn-O계 비단결정막 및 제2 In-Ga-Zn-O계 비단결정막을 에칭한다. 예를 들면, 인산과 초산과 황산을 혼합한 용액을 이용한 웨트 에칭에 의해, 불필요한 부분을 제거하여 제1 In-Ga-Zn-O계 비단결정막인 산화물 반도체막(109), 제2 In-Ga-Zn-O계 비단결정막인 산화물 반도체막(111)을 형성한다. 또한, 여기서의 에칭은, 웨트 에칭에 한정되지 않고 드라이 에칭을 이용해도 좋다. 또한, 이 단계에서의 평면도가 도 8에 상당한다.

[0154] 드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, 염소( $\text{Cl}_2$ ), 염화 붕소( $\text{BCl}_3$ ), 염화 규소( $\text{SiCl}_4$ ), 사염화탄소( $\text{CCl}_4$ ) 등)가 바람직하다.

[0155] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면, 사불화탄소( $\text{CF}_4$ ), 불화유황( $\text{SF}_6$ ), 불화질소( $\text{NF}_3$ ), 트리플루오로메탄( $\text{CHF}_3$ ) 등), 브롬화수소( $\text{HBr}$ ), 산소( $\text{O}_2$ ), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스, 등을 이용할 수 있다.

[0156] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 소망의 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의

전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.

- [0157] 웨트 에칭에 이용하는 에칭액으로서는, 인산과 초산과 황산을 혼합한 용액, 암모니아과수(과산화수소 : 암모니아 : 물 = 5 : 2 : 2) 등을 이용할 수 있다. 또한, ITO07N(KANTO CHEMICAL CO., INC. 제품)을 이용해도 좋다.
- [0158] 또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액(廢液)를 정제하여, 포함되는 재료를 재이용해도 좋다. 이 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 효율적으로 활용하여 저비용화할 수 있다.
- [0159] 소망의 가공 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.
- [0160] 다음에, 제3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 게이트 전극층과 같은 재료의 배선이나 전극층에 달하는 콘택트홀을 형성한다. 이 콘택트홀은 후에 형성하는 도전막과 직접 접촉하기 위하여 형성한다. 예를 들면, 구동 회로부에서, 게이트 전극층과 소스 전극층 혹은 드레인 전극층과 직접 접하는 박막 트랜지스터나, 단자부의 게이트 배선과 전기적으로 접속하는 단자를 형성하는 경우에 콘택트홀을 형성한다.
- [0161] 다음에, 산화물 반도체막(109) 및 산화물 반도체막(111) 위에 금속 재료로 이루어지는 도전막(132)을 스퍼터링 법이나 진공 증착법으로 형성한다. 이 단계에서의 단면도를 도 5(B)에 나타냈다.
- [0162] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃~600℃의 열처리를 행하는 경우에는, 이 열처리에 견딜 수 있는 내열성을 도전막에 가지게 하는 것이 바람직하다. Al 단체만으로는 내열성이 부족하고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0163] 도전막(132)으로서 티탄막의 단층 구조로 한다. 또한, 도전막(132)은, 2층 구조로 해도 좋고, 알루미늄막 위에 티탄막을 적층해도 좋다. 또한, 도전막(132)으로서 Ti막과, 그 Ti막 위에 중첩하여 Nd를 포함하는 알루미늄(Al-Nd)막을 적층하고, 또한, 그 위에 Ti막을 성막하는 3층 구조로 해도 좋다. 도전막(132)은, 실리콘을 포함하는 알루미늄막의 단층 구조로 해도 좋다.
- [0164] 다음에, 제4 포토리소그래피 공정을 행하여, 레지스트 마스크(131)를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 소스 전극층 또는 드레인 전극층(105a, 105b), 소스 영역 또는 드레인 영역으로서 기능하는 n<sup>+</sup>층(104a, 104b), 및 제2 단자(122)를 형성한다. 이때의 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 이용한다. 예를 들면, 도전막(132)으로서 알루미늄막, 또는 알루미늄 합금막을 이용하는 경우에는, 인산과 초산과 황산을 혼합한 용액을 이용한 웨트 에칭을 행할 수 있다. 여기에서는, 암모니아과수(과산화수소 : 암모니아 : 물 = 5 : 2 : 2)를 이용한 웨트 에칭에 의해, Ti막의 도전막(132)을 에칭하여 소스 전극층 또는 드레인 전극층(105a, 105b)을, 산화물 반도체막(111)을 에칭하여 n<sup>+</sup>층(104a, 104b)을 형성한다. 이 에칭 공정에서, 산화물 반도체막(109)의 노출 영역도 일부 에칭되어 반도체층(133)이 된다. 따라서, n<sup>+</sup>층(104a, 104b)의 사이의 반도체층(133)의 채널 영역은 막 두께가 얇은 영역이 된다. 도 5(C)에서는, 소스 전극층 또는 드레인 전극층(105a, 105b), n<sup>+</sup>층(104a, 104b)의 에칭을 암모니아과수의 에칭제(etchant)에 의해 한 번에 행하기 때문에, 소스 전극층 또는 드레인 전극층(105a, 105b) 및 n<sup>+</sup>층(104a, 104b)의 단부는 일치하고, 연속적인 구조로 되어 있다. 또한, 웨트 에칭을 이용하기 때문에, 에칭이 등방적으로 행해져, 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부는 레지스트 마스크(131)보다 후퇴한다.
- [0165] 다음에, 산화물 반도체층인 반도체층(133)에 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소(134)를 첨가하여, 반도체층(103)을 형성한다(도 6(A) 참조). 금속 원소(134)로서, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있다. 예를 들면, 금속 원소(134)로서 철을 이용하여, 이온 주입법에 의해 첨가한다. 철의 첨가는, 고체 소스를 증기화할 수 있는 히터를 포함하는 이온 소스실이 설치된 이온 주입 장치를 이



용하여 행할 수 있다.

- [0166] 반도체층(133) 위에 소스 전극층 또는 드레인 전극층(105a, 105b)이 형성되어 있으므로, 소스 전극층 또는 드레인 전극층(105a, 105b)이 마스크가 되고, 반도체층(133)의 노출 영역에 금속 원소(134)가 첨가된다. 이와 같이 반도체층(133)에 금속 원소가 선택적으로 첨가되면, 반도체층(103)에서 금속 원소의 첨가 농도도 분포를 가지고, 비첨가 영역도 존재한다.
- [0167] 금속 원소의 첨가에 의해 산화물 반도체층이 안정화되기 때문에 광감도가 저하된다. 따라서, 오프 전류의 증가 등의 전기 특성의 변동을 방지할 수 있다.
- [0168] 이상의 공정에 의해, 금속 원소가 첨가된 반도체층(103)을 채널 형성 영역으로 하는 박막 트랜지스터(170)를 제작할 수 있다. 이 단계에서의 단면도를 도 6(A)에 나타냈다. 또한, 이 단계에서의 평면도가 도 9에 상당한다.
- [0169] 다음에, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하는 것이 바람직하다. 예를 들면, 노(爐)에 넣어, 질소 분위기하에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열처리(광 어닐도 포함함)는 중요하다. 또한, 열처리를 행하는 타이밍은, 제2 In-Ga-Zn-O계 비단결정막의 성막 후라면 특별히 한정되지 않고, 예를 들면, 화소 전극 형성 후에 행하여도 좋다.
- [0170] 또한, 노출되어 있는 반도체층(103)의 채널 형성 영역에, 산소 라디칼 처리를 행하여도 좋다. 산소 라디칼 처리를 행함으로써 박막 트랜지스터를 노멀리 오프로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 반도체층(103)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는 O<sub>2</sub>, N<sub>2</sub>O, 바람직하게는, 산소를 포함하는 N<sub>2</sub>, He, Ar 분위기하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl<sub>2</sub>, CF<sub>4</sub>를 첨가한 분위기하에서 행하여도 좋다. 또한, 라디칼 처리는, 노바이어스(no bias)로 행하는 것이 바람직하다.
- [0171] 또한, 이 제4 포토리소그래피 공정에서, 소스 전극층 또는 드레인 전극층(105a, 105b)과 같은 재료인 제2 단자(122)를 단자부에 남긴다. 또한, 제2 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 소스 배선)과 전기적으로 접속되어 있다.
- [0172] 또한, 다계조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 가지는 레지스트 마스크를 이용하면, 레지스트 마스크의 수를 줄일 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다.
- [0173] 다음에, 레지스트 마스크(131)를 제거하고, 박막 트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은 스퍼터링법 등을 이용하여 얻어지는 질화규소막, 산화규소막, 산화질화규소막, 산화알루미늄막, 산화탄탈막 등을 이용할 수 있다.
- [0174] 다음에, 제5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 보호 절연층(107)의 에칭에 의해 소스 전극층 또는 드레인 전극층(105b)에 달하는 콘택트홀(125)을 형성한다. 또한, 여기서의 에칭에 의해 제2 단자(122)에 달하는 콘택트홀(127), 제1 단자(121)에 달하는 콘택트홀(126)도 형성한다. 이 단계에서의 단면도를 도 6(B)에 나타낸다.
- [0175] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 투명 도전막의 재료로서는, 산화인듐(In<sub>2</sub>O<sub>3</sub>)이나 산화인듐 산화주석 합금(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, ITO라고 약기함) 등을 스퍼터링법이나 진공 증착법 등을 이용하여 형성한다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사(殘渣)가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해 산화인듐 산화아연 합금(In<sub>2</sub>O<sub>3</sub>-ZnO)을 이용해도 좋다.
- [0176] 다음에, 제6 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(110)을 형성한다.
- [0177] 또한, 이 제6 포토리소그래피 공정에서, 용량부에서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로 하여, 용량 배선(108)과 화소 전극층(110)과 보유 용량이 형성된다.
- [0178] 또한, 이 제6 포토리소그래피 공정에서, 제1 단자 및 제2 단자를 레지스트 마스크로 덮어 단자부에 형성된 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은 FPC와의 접속에 이용되는 전극 또는 배선이 된다. 제1 단자(121) 위에 형성된 투명 도전막(128)은 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극이 된다. 제2 단자(122) 위에 형성된 투명 도전막(129)은 소스 배선의 입력 단자로서 기능하는 접속용 단자 전극이다.
- [0179] 다음에, 레지스트 마스크를 제거하여, 이 단계에서의 단면도를 도 6(C)에 나타낸다. 또한, 이 단계에서의 평면

도가 도 10에 상당한다.

- [0180] 또한, 도 11(A1), 도 11(A2)는, 이 단계에서의 게이트 배선 단자부의 평면도 및 단면도를 각각 도시한다. 도 11(A1)은 도 11(A2) 중의 E1-E2선에 따른 단면도에 상당한다. 도 11(A1)에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 11(A1)에서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제1 단자(151)와, 소스 배선과 같은 재료로 형성되는 접속 전극층(153)이 게이트 절연층(152)을 통하여 중첩되고, 투명 도전막(155)에서 도통시킨다. 또한, 도 6(C)에 도시한 투명 도전막(128)과 제1 단자(121)가 접촉하고 있는 부분이, 도 11(A1)의 투명 도전막(155)과 제1 단자(151)가 접촉하고 있는 부분에 대응하고 있다.
- [0181] 또한, 도 11(B1), 및 도 11(B2)은, 도 6(C)에 나타난 소스 배선 단자부와는 다른 소스 배선 단자부의 평면도 및 단면도를 각각 도시한다. 또한, 도 11(B1)은 도 11(B2) 중의 F1-F2선에 따른 단면도에 상당한다. 도 11(B1)에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 11(B1)에서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극층(156)이, 소스 배선과 전기적으로 접속되는 제2 단자(150)의 하방에 게이트 절연층(152)을 통하여 중첩시킨다. 전극층(156)은 제2 단자(150)와는 전기적으로 접속되어 있지 않고, 전극층(156)을 제2 단자(150)와 다른 전위, 예를 들면, 플로팅, GND, 0 V 등으로 설정하면, 노이즈 대책을 위한 용량 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제2 단자(150)는 보호 절연막(154)을 통하여 투명 도전막(155)과 전기적으로 접속한다.
- [0182] 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라 복수개 설치되는 것이다. 또한, 단자부에서는, 게이트 배선과 동전위의 제1 단자, 소스 배선과 동전위의 제2 단자, 용량 배선과 동전위의 제3 단자 등이 복수 나열되어 배치된다. 각각의 단자의 수는, 각각 임의인 수로 형성하면 되는 것으로 하고, 실시자가 적절히 결정하면 된다.
- [0183] 이렇게 하여 6회의 포토리소그래피 공정에 의해, 6장의 포토마스크를 사용하여, 보텀 게이트형의 n 채널형 박막 트랜지스터인 박막 트랜지스터(170)를 가지는 화소 박막 트랜지스터부, 보유 용량을 완성시킬 수 있다. 그리고 이것들을 개개의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기관으로 할 수 있다. 본 명세서에서는 편의상 이와 같은 기관을 액티브 매트릭스 기관이라고 부른다.
- [0184] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기관과, 대향 전극이 형성된 대향 기관과의 사이에 액정층을 형성하여, 액티브 매트릭스 기관과 대향 기관을 고정한다. 또한, 대향 기관에 형성된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기관 위에 형성하여, 공통 전극과 전기적으로 접속하는 제4 단자를 단자부에 형성한다. 이 제4 단자는, 공통 전극을 고정 전위, 예를 들면, GND, 0 V 등으로 설정하기 위한 단자이다.
- [0185] 또한, 본 발명은, 도 10의 화소 구성에 한정되지 않고, 도 10과는 다른 평면도의 예를 도 12에 나타낸다. 도 12에서는 용량 배선을 형성하지 않고, 화소 전극을 서로 인접하는 화소의 게이트 배선과 보호 절연막 및 게이트 절연층을 통하여 중첩하여 보유 용량을 형성하는 예이며, 이 경우, 용량 배선 및 용량 배선과 접속하는 제3 단자는 생략할 수 있다. 또한, 도 12에서, 도 10과 같은 부분에는 같은 부호를 이용하여 설명한다.
- [0186] 액티브 매트릭스형의 액정 표시 장치에서는, 매트릭스 형상으로 배치된 화소 전극을 구동하는 것에 의해, 화면 상에 표시 패턴이 형성된다. 상세하게는 선택된 화소 전극과 이 화소 전극에 대응하는 대향 전극과의 사이에 전압이 인가되는 것에 의해, 화소 전극과 대향 전극과의 사이에 배치된 액정층의 광학 변조가 행해져, 이 광학 변조가 표시 패턴으로서 관찰자에 인식된다.
- [0187] 액정 표시 장치의 동영상 표시에서, 액정 분자 자체의 응답이 늦기 때문에, 잔상이 생기거나, 또는 동영상에 흐릿해진다는 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위해, 전면 흑표시를 1 프레임 걸러 행하는, 소위, 흑 삽입으로 불리는 구동 기술이 있다.
- [0188] 또한, 통상의 수직 주기의 주파수를 1.5배 이상, 바람직하게는 2배 이상으로 함으로써, 동영상 특성을 개선하는, 소위, 배속 구동으로 불리는 구동 기술도 있다.
- [0189] 또한, 액정 표시 장치의 동영상 특성을 개선하기 위하여, 백 라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 이용하여 면광원을 구성하고, 면광원을 구성하고 있는 각 광원을 독립적으로 1 프레임 기간 내에 간헐 점등 구동하는 구동 기술도 있다. 면광원으로서 3 종류 이상의 LED를 이용해도 좋고, 백색 발광의 LED를 이용해도 좋다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 전환 타이밍

에 맞추어 LED의 발광 타이밍을 동기(同期)시킬 수도 있다. 이 구동 기술은, LED를 부분적으로 소등할 수 있기 때문에, 특히 한 화면을 차지하는 검은 표시 영역의 비율이 많은 영상 표시의 경우에는, 소비 전력의 저감 효과를 도모할 수 있다.

- [0190] 이러한 구동 기술을 조합시킴으로써, 액정 표시 장치의 동영상 특성 등의 표시 특성을 종래보다 개선할 수 있다.
- [0191] 본 명세서에 개시하는 n 채널형의 트랜지스터는, 금속 원소가 첨가된 산화물 반도체막을 채널 형성 영역에 이용하고 있어, 양호한 동적 특성을 가지기 때문에, 이러한 구동 기술을 조합할 수 있다.
- [0192] 또한, 발광 표시 장치를 제작하는 경우, 유기 발광소자의 한쪽 전극(캐소드라고도 부름)은, 저전원 전위, 예를 들면, GND, 0 V 등으로 설정하기 때문에, 단자부에, 캐소드를 저전원 전위, 예를 들면, GND, 0 V 등으로 설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시 장치를 제작하는 경우에는, 소스 배선, 및 게이트 배선에 더하여 전원 공급선을 형성한다. 따라서, 단자부에는, 전원 공급선과 전기적으로 접속하는 제5 단자를 형성한다.
- [0193] 산화물 반도체를 이용한 박막 트랜지스터로 형성함으로써, 제조 비용을 저감할 수 있다.
- [0194] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0195] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0196] [실시형태 7]
- [0197] 상기 실시형태 1 내지 6에서, 산화물 반도체층(InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막)으로서 In-Ga-Zn-O계 비단결정막 대신에, M을 다른 금속 원소로 하는 InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막을 이용해도 좋다.
- [0198] 본 명세서 중에서 이용하는 산화물 반도체는, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)로 표기되는 박막을 형성하고, 그 박막을 반도체층으로서 이용한 박막 트랜지스터를 제작한다. 또한, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서 Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에서, M으로서 포함되는 금속 원소 외에, 불순물 원소로서 Fe, Ni, 그 외의 천이 금속 원소, 또는, 이 천이 금속의 산화물이 포함되어 있는 것이 있다. 또한, M으로 나타내는 금속 원소, 및 상기 불순물 원소는 산화물 반도체막의 성막 시에 포함되어, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막이 된다.
- [0199] 상기 InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막과 같은 박막 형상의 산화물 반도체층에 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 첨가한다. 첨가 조건 및 첨가 방법을 선택하는 것에 의해, 산화물 반도체층에 첨가되는 금속 원소의 첨가 영역 및 농도 분포를 제어할 수 있다.
- [0200] 산화물 반도체층에 금속 원소를 첨가하면, 산화물 반도체층에서 이 금속 원소가 재결합 중심이 되기 때문에, 산화물 반도체층의 광감도를 저하시킬 수 있다. 광감도를 저하시킴으로써 박막 트랜지스터의 전기 특성은 안정화되고, 스톱시홀드값의 변동에 의한 오프 전류의 증가 등을 방지할 수 있다.
- [0201] 금속 원소는, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막에 첨가되는 것에 의해, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막의 재결합 중심이 되어, 광감도 저하의 효과를 얻을 수 있다. 금속 원소는, 철, 니켈, 코발트, 구리, 금, 망간, 몰리브덴, 텅스텐, 니오브, 및 탄탈 중 적어도 한 종류 이상의 금속 원소를 이용할 수 있고, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)막 중에 포함되는 금속 원소와 동종, 이종 상관없이 첨가함으로써, 박막 트랜지스터의 전기 특성을 안정화시킬 수 있다. 또한, 산화물 반도체층에서 금속 원소의 첨가 영역이나 농도 분포를 제어할 수 있어, 효율적으로 광감도 저하, 및 박막 트랜지스터의 전기 특성의 안정화의 효과를 얻을 수 있다.
- [0202] 산화물 반도체층에 금속 원소를 첨가함으로써 안정된 전기 특성을 가지는 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 가지는 박막 트랜지스터를 제작할 수 있다. 따라서, 신뢰성이 높은 박막 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.

- [0203] [실시형태 8]
- [0204] 반도체 장치의 일레인 표시 장치에서, 동일 기관 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 제작하는 예에 대하여 이하에 설명한다.
- [0205] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 7에 따라 형성한다. 또한, 실시형태 1 내지 7에 나타난 박막 트랜지스터는 n 채널형 TFT이기 때문에, 구동 회로 중, n 채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성한다.
- [0206] 반도체 장치의 일레인 액티브 매트릭스형 액정 표시 장치의 블럭도의 일레를 도 14(A)에 나타낸다. 도 14(A)에 나타난 표시 장치는, 기관(5300) 위에 표시 소자를 구비한 화소를 복수 가지는 화소부(5301), 각 화소를 선택하는 주사선 구동 회로(5302), 및 선택된 화소에 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 가진다.
- [0207] 화소부(5301)는, 신호선 구동 회로(5303)로부터 열 방향으로 연장되어 배치된 복수의 신호선(S1~Sm)(도시하지 않음)에 의해 신호선 구동 회로(5303)와 접속되고, 주사선 구동 회로(5302)로부터 행 방향으로 연장되어 배치된 복수의 주사선(G1~Gn)(도시하지 않음)에 의해 주사선 구동 회로(5302)와 접속되고, 신호선(S1~Sm) 및 주사선(G1~Gn)에 대응하여 매트릭스 형상으로 배치된 복수의 화소(도시하지 않음)를 가진다. 그리고 각 화소는 신호선(Sj)(신호선(S1~Sm) 중 어느 하나), 주사선(Gi)(주사선(G1~Gn) 중 어느 하나)과 접속된다.
- [0208] 또한, 실시형태 1 내지 7에 나타난 박막 트랜지스터는, n 채널형 TFT이며, n 채널형 TFT로 구성하는 신호선 구동 회로에 대하여 도 15를 이용하여 설명한다.
- [0209] 도 15에 나타난 신호선 구동 회로는, 드라이버 IC(5601), 스위치군(5602\_1~5602\_M), 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선(5621\_1~5621\_M)을 가진다. 스위치군(5602\_1~5602\_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 가진다.
- [0210] 드라이버 IC(5601)는 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선(5621\_1~5621\_M)에 접속된다. 그리고 스위치군(5602\_1~5602\_M) 각각은, 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 스위치군(5602\_1~5602\_M) 각각에 대응한 배선(5621\_1~5621\_M)에 접속된다. 그리고 배선(5621\_1~5621\_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통하여, 3개의 신호선에 접속된다. 예를 들면, J번째열의 배선(5621\_J)(배선(5621\_1)~배선(5621\_M) 중 어느 하나)은, 스위치군(5602\_J)이 가지는 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통하여, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.
- [0211] 또한, 제1 배선(5611), 제2 배선(5612), 제3 배선(5613)에는, 각각 신호가 입력된다.
- [0212] 또한, 드라이버 IC(5601)는, 단결정 기관 위에 형성되어 있는 것이 바람직하다. 또한, 스위치군(5602\_1~5602\_M)은 화소부와 동일 기관 위에 형성되어 있는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치군(5602\_1~5602\_M)은 FPC 등을 통하여 접속하면 좋다.
- [0213] 다음에, 도 15에 나타난 신호선 구동 회로의 동작에 대하여, 도 16의 타이밍 차트를 참조하여 설명한다. 또한, 도 16의 타이밍 차트는, i번째행의 주사선(Gi)이 선택되어 있는 경우의 타이밍 차트를 나타내고 있다. 또한, i번째행의 주사선(Gi)의 선택 기간은, 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2) 및 제3 서브 선택 기간(T3)으로 분할되어 있다. 또한, 도 15의 신호선 구동 회로는, 다른 행의 주사선이 선택되어 있는 경우에도 도 16과 같은 동작을 한다.
- [0214] 또한, 도 16의 타이밍 차트는, J번째열의 배선(5621\_J)이 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통하여, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우에 대하여 나타낸다.
- [0215] 또한, 도 16의 타이밍 차트는, i번째행의 주사선(Gi)이 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온·오프의 타이밍(5703a), 제2 박막 트랜지스터(5603b)의 온·오프의 타이밍(5703b), 제3 박막 트랜지스터(5603c)의 온·오프의 타이밍(5703c) 및 J번째열의 배선(5621\_J)에 입력되는 신호(5721\_J)를 나타낸다.
- [0216] 또한, 배선(5621\_1)~배선(5621\_M)에는 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2) 및 제3 서브 선택 기간(T3)에서, 각각 다른 비디오 신호가 입력된다. 예를 들면, 제1 서브 선택 기간(T1)에서 배선(5621\_J)에 입력



되는 비디오 신호는 신호선(Sj-1)에 입력되고, 제2 서브 선택 기간(T2)에서 배선(5621\_J)에 입력되는 비디오 신호는 신호선(Sj)에 입력되고, 제3 서브 선택 기간(T3)에서 배선(5621\_J)에 입력되는 비디오 신호는 신호선(Sj+1)에 입력된다. 또한, 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2) 및 제3 서브 선택 기간(T3)에서, 배선(5621\_J)에 입력되는 비디오 신호를 각각 Data<sub>j-1</sub>, Data<sub>j</sub>, Data<sub>j+1</sub>로 한다.

[0217] 도 16에 나타낸 바와 같이, 제1 서브 선택 기간(T1)에서 제1 박막 트랜지스터(5603a)가 온하고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선(5621\_J)에 입력되는 Data<sub>j-1</sub>이, 제1 박막 트랜지스터(5603a)를 통하여 신호선(Sj-1)에 입력된다. 제2 서브 선택 기간(T2)에서는, 제2 박막 트랜지스터(5603b)가 온하고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선(5621\_J)에 입력되는 Data<sub>j</sub>가, 제2 박막 트랜지스터(5603b)를 통하여 신호선(Sj)에 입력된다. 제3 서브 선택 기간(T3)에서는, 제3 박막 트랜지스터(5603c)가 온하고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프한다. 이때, 배선(5621\_J)에 입력되는 Data<sub>j+1</sub>이, 제3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.

[0218] 이상으로부터, 도 15의 신호선 구동 회로는, 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동 회로는, 드라이버 IC(5601)가 형성되는 기판과 화소부가 형성되어 있는 기판과의 접속수를 신호선의 수에 비해 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 15의 신호선 구동 회로는, 신뢰성, 수율 등을 향상할 수 있다.

[0219] 또한, 도 15와 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하고, 복수의 서브 선택 기간 각각에 있어서, 어느 하나의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있다면, 박막 트랜지스터의 배치나 수, 구동 방법 등은 한정되지 않는다.

[0220] 예를 들면, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우에는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 단, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.

[0221] 다른 예로서, 도 17의 타이밍 차트에 나타낸 바와 같이, 1개의 선택 기간을 프리차지 기간(Tp), 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2), 제3 서브 선택 기간(T3)으로 분할해도 좋다. 또한, 도 17의 타이밍 차트는, i번째행의 주사선(Gi)이 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온·오프의 타이밍(5803a), 제2 박막 트랜지스터(5603b)의 온·오프의 타이밍(5803b), 제3 박막 트랜지스터(5603c)의 온·오프의 타이밍(5803c) 및 J번째열의 배선(5621\_J)에 입력되는 신호(5821\_J)를 나타낸다. 도 17에 나타낸 바와 같이, 프리차지 기간(Tp)에서 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 온한다. 이때, 배선(5621\_J)에 입력되는 프리차지 전압(Vp)이 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통하여 각각 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 입력된다. 제1 서브 선택 기간(T1)에서 제1 박막 트랜지스터(5603a)가 온하고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선(5621\_J)에 입력되는 Data<sub>j-1</sub>이, 제1 박막 트랜지스터(5603a)를 통하여 신호선(Sj-1)에 입력된다. 제2 서브 선택 기간(T2)에서는, 제2 박막 트랜지스터(5603b)가 온하고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선(5621\_J)에 입력되는 Data<sub>j</sub>가, 제2 박막 트랜지스터(5603b)를 통하여 신호선(Sj)에 입력된다. 제3 서브 선택 기간(T3)에서는, 제3 박막 트랜지스터(5603c)가 온하고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프한다. 이때, 배선(5621\_J)에 입력되는 Data<sub>j+1</sub>이, 제3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.

[0222] 이상으로부터, 도 17의 타이밍 차트를 적용한 도 15의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 선택 기간을 형성하는 것에 의해, 신호선을 프리차지할 수 있기 때문에, 비디오 신호를 고속으로 화소에 기입할 수 있다. 또한, 도 17에서, 도 16과 같은 것에 관해서는 공통의 부호를 이용하여 나타내고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

[0223] 또한, 주사선 구동 회로의 구성에 대하여 설명한다. 주사선 구동 회로는, 시프트 레지스터, 버퍼를 가지고 있다. 또한, 경우에 따라서는 레벨 시프터를 가지고 있어도 좋다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되는 것에 의해, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에서 완충 증폭되어 대응하는 주사선에 공급된다. 주사선에는, 1 라인분의 화소의 트랜지스터의 게이트 전극

이 접속되어 있다. 그리고 1 라인분의 화소의 트랜지스터를 일제히 ON으로 해야 하므로, 버퍼는 큰 전류를 흘릴 수 있는 것이 이용된다.

- [0224] 주사선 구동 회로의 일부에 이용하는 시프트 레지스터의 일 형태에 대하여 도 18 및 도 19를 이용하여 설명한다.
- [0225] 도 18에 시프트 레지스터의 회로 구성을 나타낸다. 도 18에 나타난 시프트 레지스터는, 플립 플롭(5701<sub>i</sub>~5701<sub>n</sub>)이라는 복수의 플립 플롭으로 구성된다. 또한, 제1 클럭 신호, 제2 클럭 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.
- [0226] 도 18의 시프트 레지스터의 접속 관계에 대하여 설명한다. 도 18의 시프트 레지스터는, i번째단의 플립 플롭(5701<sub>i</sub>)(플립 플롭(5701<sub>1</sub>~5701<sub>n</sub>) 중 어느 하나)는, 도 19에 나타난 제1 배선(5501)이 제7 배선(5717<sub>i</sub>-1)에 접속되고, 도 19에 나타난 제2 배선(5502)이 제7 배선(5717<sub>i</sub>+1)에 접속되고, 도 19에 나타난 제3 배선(5503)이 제7 배선(5717<sub>i</sub>)에 접속되고, 도 19에 나타난 제6 배선(5506)이 제5 배선(5715)에 접속된다.
- [0227] 또한, 도 19에 나타난 제4 배선(5504)이 홀수번째단의 플립 플롭에서는 제2 배선(5712)에 접속되고, 짝수번째단의 플립 플롭에서는 제3 배선(5713)에 접속되고, 도 19에 나타난 제5 배선(5505)이 제4 배선(5714)에 접속된다.
- [0228] 단, 1번째단의 플립 플롭(5701<sub>1</sub>)의 도 19에 나타난 제1 배선(5501)은 제1 배선(5711)에 접속되고, n번째단의 플립 플롭(5701<sub>n</sub>)의 도 19에 나타난 제2 배선(5502)은 제6 배선(5716)에 접속된다.
- [0229] 또한, 제1 배선(5711), 제2 배선(5712), 제3 배선(5713), 제6 배선(5716)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 제4 신호선이라고 불러도 좋다. 또한, 제4 배선(5714), 제5 배선(5715)을, 각각 제1 전원선, 제2 전원선이라고 불러도 좋다.
- [0230] 다음에, 도 18에 나타난 플립 플롭의 상세한 사항에 대하여, 도 19에 나타낸다. 도 19에 나타난 플립 플롭은, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)를 가진다. 또한, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)는, n 채널형 트랜지스터이며, 게이트·소스간 전압(V<sub>gs</sub>)이 스톱시홀드 전압(V<sub>th</sub>)을 상회했을 때 도통 상태가 되는 것으로 한다.
- [0231] 다음에, 도 18에 나타난 플립 플롭의 접속 구성에 대하여, 이하에 나타낸다.
- [0232] 제1 박막 트랜지스터(5571)의 제1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제4 배선(5504)에 접속되고, 제1 박막 트랜지스터(5571)의 제2 전극(소스 전극 또는 드레인 전극의 다른 한쪽)이 제3 배선(5503)에 접속된다.
- [0233] 제2 박막 트랜지스터(5572)의 제1 전극이 제6 배선(5506)에 접속되고, 제2 박막 트랜지스터(5572) 제 2의 전극이 제3 배선(5503)에 접속된다.
- [0234] 제3 박막 트랜지스터(5573)의 제1 전극이 제5 배선(5505)에 접속되고, 제3 박막 트랜지스터(5573)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제3 박막 트랜지스터(5573)의 게이트 전극이 제5 배선(5505)에 접속된다.
- [0235] 제4 박막 트랜지스터(5574)의 제1 전극이 제6 배선(5506)에 접속되고, 제4 박막 트랜지스터(5574)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제4 박막 트랜지스터(5574)의 게이트 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0236] 제5 박막 트랜지스터(5575)의 제1 전극이 제5 배선(5505)에 접속되고, 제5 박막 트랜지스터(5575)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제5 박막 트랜지스터(5575)의 게이트 전극이 제1 배선(5501)에 접속된다.
- [0237] 제6 박막 트랜지스터(5576)의 제1 전극이 제6 배선(5506)에 접속되고, 제6 박막 트랜지스터(5576)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제6 박막 트랜지스터(5576)의 게이트 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0238] 제7 박막 트랜지스터(5577)의 제1 전극이 제6 배선(5506)에 접속되고, 제7 박막 트랜지스터(5577)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제7 박막 트랜지스터(5577)의 게이트 전극이 제2 배선

(5502)에 접속된다. 제8 박막 트랜지스터(5578)의 제1 전극이 제6 배선(5506)에 접속되고, 제8 박막 트랜지스터(5578)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제8 박막 트랜지스터(5578)의 게이트 전극이 제1 배선(5501)에 접속된다.

[0239] 또한, 제1 박막 트랜지스터(5571)의 게이트 전극, 제4 박막 트랜지스터(5574)의 게이트 전극, 제5 박막 트랜지스터(5575)의 제2 전극, 제6 박막 트랜지스터(5576)의 제2 전극 및 제7 박막 트랜지스터(5577)의 제2 전극의 접속 개소를 노드(5543)로 한다. 또한, 제2 박막 트랜지스터(5572)의 게이트 전극, 제3 박막 트랜지스터(5573)의 제2 전극, 제4 박막 트랜지스터(5574)의 제2 전극, 제6 박막 트랜지스터(5576)의 게이트 전극 및 제8 박막 트랜지스터(5578)의 제2 전극의 접속 개소를 노드(5544)로 한다.

[0240] 또한, 제1 배선(5501), 제2 배선(5502), 제3 배선(5503) 및 제4 배선(5504)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 제4 신호선이라고 불러도 좋다. 또한, 제5 배선(5505)을 제1 전원선, 제6 배선(5506)을 제2 전원선이라고 불러도 좋다.

[0241] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1에 나타낸 n 채널형 TFT만으로 제작하는 것도 가능하다. 실시형태 1에 나타낸 n 채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높게 하는 것이 가능하게 된다. 또한, 실시형태 1에 나타낸 n 채널형 TFT는 In-Ga-Zn-O계 비단결정막인 소스 영역 또는 드레인 영역에 의해 기생 용량이 저감되기 때문에, 주파수 특성(f 특성이라고 불림)이 높다. 예를 들면, 실시형태 1에 나타낸 n 채널형 TFT를 이용한 주사선 구동 회로는, 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높게 하는 것, 또는, 흑 화면 삽입 등도 실현할 수 있다.

[0242] 또한, 주사선 구동 회로의 트랜지스터의 채널폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의해, 더욱 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우에는, 짝수행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대측에 배치하는 것에 의해, 프레임 주파수를 높게 하는 것을 실현할 수 있다. 또한, 복수의 주사선 구동 회로에 의해, 같은 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.

[0243] 또한, 반도체 장치의 일레인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 위해, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블럭도의 일례를 도 14(B)에 나타낸다.

[0244] 도 14(B)에 나타낸 발광 표시 장치는, 기판(5400) 위에 표시 소자를 구비한 화소를 복수 가지는 화소부(5401)와, 각 화소를 선택하는 제1 주사선 구동 회로(5402) 및 제2 주사선 구동 회로(5404)와, 선택된 화소에 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 가진다.

[0245] 도 14(B)에 나타낸 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온과 오프의 전환에 의해, 발광 혹은 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 이용하여 계조의 표시를 행할 수 있다. 면적 계조법은, 1 화소를 복수의 부화소로 분할하고, 각 부화소를 독립적으로 비디오 신호에 기초하여 구동시킴으로써, 계조 표시를 행하는 구동법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어하는 것에 의해, 계조 표시를 행하는 구동법이다.

[0246] 발광소자는, 액정 소자 등에 비하여 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법에 적합하다. 구체적으로, 시간 계조법으로 표시를 행하는 경우, 1 프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고 비디오 신호에 따라, 각 서브 프레임 기간에서 화소의 발광소자를 발광 또는 비발광 상태로 한다. 복수의 서브 프레임 기간으로 분할하는 것에 의해, 1 프레임 기간 중에 화소가 실제로 발광하는 기간의 토탈의 길이를, 비디오 신호에 의해 제어할 수 있어, 계조를 표시할 수 있다.

[0247] 또한, 도 14(B)에 나타낸 발광 표시 장치에서는, 하나의 화소에 2개의 스위칭용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제1 주사선에 입력되는 신호를 제1 주사선 구동 회로(5402)로 생성하고, 다른 한쪽의 스위칭용 TFT의 게이트 배선인 제2 주사선에 입력되는 신호를 제2 주사선 구동 회로(5404)로 생성하는 예를 나타내고 있지만, 제1 주사선에 입력되는 신호와, 제2 주사선에 입력되는 신호를 모두 1개의 주사선 구동 회로로 생성하도록 해도 좋다. 또한, 예를 들면, 1개의 화소가 가지는 스위칭용 TFT의 수에 따라, 스위칭 소자의 동작을 제어하는데 이용되는 주사선이, 각 화소에 복수 형성되는 일도 있을 수 있다. 이 경우, 복수의 주사선에 입력되는 신호를, 모두 1개의 주사선 구동 회로로 생성해도 좋고, 복수의 각 주사선 구동 회로로 생성해도 좋다.

[0248] 또한, 발광 표시 장치에서도, 구동 회로 중, n 채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막

트랜지스터와 동일 기판 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 7에 나타난 n 채널형 TFT만으로 제작하는 것도 가능하다.

- [0249] 또한, 상술한 구동 회로는, 액정 표시 장치나 발광 표시 장치에 한정하지 않고, 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 이용해도 좋다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같은 읽기 편하고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가지고 있다.
- [0250] 전기 영동 디스플레이는, 다양한 형태를 생각할 수 있지만, 플러스의 전하를 가지는 제1 입자와, 마이너스의 전하를 가지는 제2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것으로, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제1 입자 또는 제2 입자는 염료를 포함하고, 전계가 없는 경우에 이동하지 않는 것이다. 또한, 제1 입자의 색과 제2 입자의 색은 다른 것(무색을 포함함)으로 한다.
- [0251] 이와 같이, 전기 영동 디스플레이는, 유전 정수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판, 대향 기판도 전기 영동 표시 장치에는 필요하지 않고, 두께나 무게도 반감된다.
- [0252] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것으로서, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 가지는 입자를 이용하는 것에 의해 컬러 표시도 가능하다.
- [0253] 또한, 액티브 매트릭스 기판 위에 적절히, 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면 액티브 매트릭스형의 표시 장치가 완성되고, 마이크로 캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시형태 1 내지 7의 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기판을 이용할 수 있다.
- [0254] 또한, 마이크로 캡슐 중의 제1 입자 및 제2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선트 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 이용하면 좋다.
- [0255] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 표시 장치를 제작할 수 있다.
- [0256] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0257] [실시형태 9]
- [0258] 박막 트랜지스터를 제작하고, 이 박막 트랜지스터를 화소부, 또한, 구동 회로에 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 박막 트랜지스터를 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.
- [0259] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(electroluminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- [0260] 또한, 표시 장치는, 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 이 표시 장치를 제작하는 과정에서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것이고, 이 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후이어도, 에칭하여 화소 전극을 형성하기 전 상태이어도 좋고, 모든 형태가 적합하다.
- [0261] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면, FPC(Flexible Printed Circuit) 혹은 TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.



- [0262] 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 22를 이용하여 설명한다. 도 22는, 제1 기관(4001) 위에 형성된 실시형태 1에 설명한 금속 원소가 첨가된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를, 제2 기관(4006)과의 사이에 시일재(4005)에 의해 봉지한 패널의 평면도이며, 도 22(B)는 도 22(A1), 도 22(A2)의 M-N에서의 단면도에 상당한다.
- [0263] 제1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 제공되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기관(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기관(4001)과 시일재(4005)와 제2 기관(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한, 제1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다.
- [0264] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 이용할 수 있다. 도 22(A1)는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 22(A2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0265] 또한, 제1 기관(4001) 위에 설치된 화소부(4002)와, 주사선 구동 회로(4004)는, 박막 트랜지스터를 복수 가지고 있고, 도 22(B)에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성되어 있다.
- [0266] 박막 트랜지스터(4010, 4011)는, 금속 원소가 첨가된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 1에 나타난 박막 트랜지스터를 적용할 수 있다. 또한, 실시형태 2 내지 7에 나타난 박막 트랜지스터를 적용해도 좋다. 본 실시형태에서, 박막 트랜지스터(4010, 4011)는 n 채널형 박막 트랜지스터이다.
- [0267] 또한, 액정 소자(4013)가 가지는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극층(4031)은 제2 기관(4006) 위에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩되는 부분이, 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통하여 액정층(4008)을 협지하고 있다.
- [0268] 또한, 제1 기관(4001), 제2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인리스 스틸), 세라믹, 플라스틱을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.
- [0269] 또한, 부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031)과의 사이의 거리(셀 갭)를 제어하기 위해 형성되어 있다. 또한, 구(球)상의 스페이서를 이용하고 있어도 좋다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기관 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기관간에 배치되는 도전성 입자를 통하여 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 시일재(4005)에 함유시킨다.
- [0270] 또한, 배향막을 이용하지 않는 블루상(blue phase)을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나로서, 콜레스테릭(cholesteric) 액정을 승온해 가면, 콜레스테릭상(cholesteric phase)으로부터 등방상으로 전이(轉移)하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서 밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위하여 5 중량% 이상의 카이랄제(chiral agent)를 혼합시킨 액정 조성물을 이용하여 액정층(4008)에 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 10  $\mu$ s ~ 100  $\mu$ s로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.
- [0271] 또한, 투과형 액정 표시 장치 외에, 반사형 액정 표시 장치에서도 반투과형 액정 표시 장치에서도 적용할 수 있다.
- [0272] 또한, 액정 표시 장치에서는, 기관의 외측(시인측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 이용하는 전극층과 같은 순으로 형성하는 예를 나타내지만, 편광판은 기관의 내측에 설치해도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되는 것은 아니고, 편광판 및 착색층의 재료나 제작 공정 조건에 의해

적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 설치해도 좋다.

- [0273] 또한, 박막 트랜지스터의 표면 요철을 저감하고, 박막 트랜지스터의 신뢰성을 향상시키기 위해, 실시형태 1에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층(4020), 절연층(4021))으로 덮는 구성으로 되어 있다. 또한, 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법을 이용하여, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다. 보호막을 스퍼터링법으로 형성하는 예를 나타내지만, 특별히 한정되지 않고 다양한 방법으로 형성하면 좋다.
- [0274] 여기에서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기에서는, 절연층(4020)의 첫번째층으로서 스퍼터링법을 이용하여 산화규소막을 형성한다. 보호막으로서 산화규소막을 이용하면, 소스 전극층 및 드레인 전극층으로서 이용하는 알루미늄막의 힐록 방지에 효과가 있다.
- [0275] 또한, 보호막의 두번째층으로서 절연층을 형성한다. 여기에서는, 절연층(4020)의 두번째층으로서 스퍼터링법을 이용하여 질화규소막을 형성한다. 보호막으로서 질화규소막을 이용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.
- [0276] 또한, 보호막을 형성한 후에, 반도체층의 어닐(300℃~400℃)을 행하여도 좋다.
- [0277] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리: phosphosilicate glass), BPSG(인 붕소 유리: borophosphosilicate glass) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성해도 좋다.
- [0278] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)나 플루오로기를 이용해도 좋다. 또한, 유기기는 플루오로기를 가지고 있어도 좋다.
- [0279] 절연층(4021)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 도출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다. 절연층(4021)을 재료액을 이용하여 형성하는 경우, 베이킹하는 공정에서 동시에, 반도체층의 어닐(300℃~400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정과 반도체층의 어닐을 겸함으로써 효율적으로 반도체 장치를 제작하는 것이 가능하게 된다.
- [0280] 화소 전극층(4030), 대향 전극층(4031)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.
- [0281] 또한, 화소 전극층(4030), 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은, 시트 저항이 10000 Ω/□ 이하, 파장 550 nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.
- [0282] 도전성 고분자로서는, 이른바 π 전자공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0283] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다.
- [0284] 접속 단자 전극(4015)이, 액정 소자(4013)가 가지는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.
- [0285] 접속 단자 전극(4015)은, FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

- [0286] 또한, 도 22에서는, 신호선 구동 회로(4003)를 별도 형성하고, 제1 기관(4001)에 실장되어 있는 예를 나타내고 있지만, 이 구성에 한정되는 것은 아니다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.
- [0287] 도 23은, 본 명세서에 개시하는 제작 방법에 의해 제작되는 TFT 기관을 이용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 나타낸다.
- [0288] 도 23은 액정 표시 모듈의 일례이며, 기관(2600)과 대향 기관(2601)이 시일재(2602)에 의해 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 형성되어 있다. 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 설치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의해 구성되고, 회로 기관(2612)은 가요성 배선 기관(2609)에 의해 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 짜넣어져 있다. 또한, 편광판과 액정층과의 사이에 위상차판을 가진 상태로 적층해도 좋다.
- [0289] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 등을 이용할 수 있다.
- [0290] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.
- [0291] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0292] [실시형태 10]
- [0293] 반도체 장치로서 전자 페이퍼의 예를 나타낸다.
- [0294] 도 13은, 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)로서는, 실시형태 1에 나타낸 박막 트랜지스터와 마찬가지로 제작할 수 있고, 금속 원소가 첨가된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 2 내지 7에 나타낸 박막 트랜지스터도 본 실시의 박막 트랜지스터(581)로서 적용할 수도 있다.
- [0295] 도 13의 전자 페이퍼는, 트위스트 볼 표시 방식을 이용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극층인 제1 전극층 및 제2 전극층의 사이에 배치하고, 제1 전극층 및 제2 전극층에 전위차를 발생시킨 구형 입자의 방향을 제어하는 것에 의해, 표시를 행하는 방법이다.
- [0296] 기관(580)에 설치된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층에 의해 제1 전극층(587)과 절연층(583, 584, 585)에 형성하는 개구(開口)에서 전기적으로 접속되어 있다. 제1 전극층(587)과 대향 기관(596)에 형성된 제2 전극층(588)과의 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 가지고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 13 참조). 제1 전극층(587)이 화소 전극에 상당하고, 제2 전극층(588)이 공통 전극에 상당한다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일 기관 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기관간에 배치되는 도전성 입자를 통하여 제2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0297] 또한, 트위스트 볼 대신에, 전기 영동 소자를 이용하는 것도 가능하다. 투명한 액체와, 정(正) 또는 부(負)로 대전한 흰 미립자, 흰 미립자와 역의 극성으로 대전한 검은 미립자를 봉입한 직경 10 μm~200 μm 정도의 마이크로 캡슐을 이용한다. 제1 전극층과 제2 전극층과의 사이에 형성되는 마이크로 캡슐은, 제1 전극층과 제2 전극층에 의해, 전기장이 주어지면, 흰 미립자와 검은 미립자가 역의 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는, 액정 표시 소자에 비해 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한, 소비 전력이 작고, 어두컴컴한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한 번 표시한 상을 보유 하는 것이 가능하기 때문에, 전과 발신원으로부터 표시 기능이 있는 반도체

장치(단순히, 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우에도, 표시된 상을 보존해 두는 것이 가능하게 된다.

- [0298] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.
- [0299] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0300] [실시형태 11]
- [0301] 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 가지는 표시 소자로서는, 여기에서는 일렉트로루미네선스를 이용하는 발광소자를 이용하여 나타낸다. 일렉트로루미네선스를 이용하는 발광소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.
- [0302] 유기 EL 소자는, 발광소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 복귀할 때에 발광한다. 이러한 메카니즘으로부터, 이러한 발광소자는 전류 여기형의 발광소자라고 불린다.
- [0303] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼워 넣고, 그것을 전극으로 더 끼운 구조이며, 발광 메카니즘은 금속 이온 중 내각 전자 전이를 이용하는 국제형 발광이다. 또한, 여기에서는, 발광소자로서 유기 EL 소자를 이용하여 설명한다.
- [0304] 도 20은, 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 나타낸 도면이다.
- [0305] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기에서는 산화물 반도체층(In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 이용하는 n 채널형의 트랜지스터를 1개의 화소에 2개 이용하는 예를 나타낸다.
- [0306] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광소자(6404) 및 용량 소자(6403)를 가지고 있다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제2 전극(소스 전극 및 드레인 전극의 다른 한쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제1 전극이 전원선(6407)에 접속되고, 제2 전극이 발광소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광소자(6404)의 제2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은, 동일 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0307] 또한, 발광소자(6404)의 제2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위 < 고전원 전위를 만족하는 전위이며, 저전원 전위로서는 예를 들면, GND, 0 V 등이 설정되어 있어도 좋다. 이 고전원 전위와 저전원 전위와의 전위차를 발광소자(6404)에 인가하여, 발광소자(6404)에 전류를 흘려 발광소자(6404)를 발광시키기 때문에, 고전원 전위와 저전원 전위와의 전위차가 발광소자(6404)의 순방향 스테시홀드 전압 이상이 되도록 각각의 전위를 설정한다.
- [0308] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용하여 생략하는 것도 가능하다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극과의 사이에 용량이 형성되어 있어도 좋다.
- [0309] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온하거나, 오프하거나 하는 2개의 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시키기 때문에, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 가한다. 또한, 신호선(6405)에는, (전원선전압 + 구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 가한다.
- [0310] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도 20과 같은 화소 구성을 이용할 수 있다.



- [0311] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의  $V_{th}$  이상의 전압을 가한다. 발광소자(6404)의 순방향 전압이란, 소망의 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 스톱시홀드 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.
- [0312] 또한, 도 20에 나타난 화소 구성은, 이것에 한정되지 않는다. 예를 들면, 도 20에 나타난 화소에 새로 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가해도 좋다.
- [0313] 다음에, 발광소자의 구성에 대하여, 도 21을 이용하여 설명한다. 여기에서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 21(A), 도 21(B), 도 21(C)의 반도체 장치에 이용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 1에 설명한 박막 트랜지스터와 마찬가지로 제작할 수 있고, 금속 원소가 첨가된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 2 내지 7에 나타난 박막 트랜지스터를 TFT(7001, 7011, 7021)로서 적용할 수도 있다.
- [0314] 발광소자는 발광을 취출하기 위하여 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고 기관 위에 박막 트랜지스터 및 발광소자를 형성하고, 기관과는 반대측의 면으로부터 발광을 취출하는 상면 사출이나, 기관측의 면으로부터 발광을 취출하는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 취출하는 양면 사출 구조의 발광소자가 있고, 화소 구성은 어느 사출 구조의 발광소자에도 적용할 수 있다.
- [0315] 상면 사출 구조의 발광소자에 대하여 도 21(A)을 이용하여 설명한다.
- [0316] 도 21(A)에, 구동용 TFT인 TFT(7001)가 n형이고, 발광소자(7002)로부터 발해지는 광이 양극(7005)측으로 사출되는 경우의 화소의 단면도를 나타낸다. 도 21(A)에서는, 발광소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되어 있고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층되어 있다. 음극(7003)은 일 함수가 작고, 또한, 광을 반사하는 도전막이라면, 다양한 재료를 이용할 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되어 구성되어 있어도, 어느 쪽이어도 좋다. 복수의 층으로 구성되어 있는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순으로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성하고, 예를 들면, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전막을 이용해도 좋다.
- [0317] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우고 있는 영역이 발광소자(7002)에 상당한다. 도 21(A)에 나타난 화소의 경우, 발광소자(7002)로부터 발해지는 광은, 화살표로 나타낸 바와 같이 양극(7005)측으로 사출된다.
- [0318] 다음에, 하면 사출 구조의 발광소자에 대하여, 도 21(B)을 이용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광소자(7012)로부터 발해지는 광이 음극(7013)측으로 사출되는 경우의, 화소의 단면도를 나타낸다. 도 21(B)에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 가지는 도전막(7017) 위에, 발광소자(7012)의 음극(7013)이 성막되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차로 적층되어 있다. 또한, 양극(7015)이 투광성을 가지는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 좋다. 음극(7013)은, 도 21(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 그 막 두께는, 광을 투과하는 정도(바람직하게는, 5 nm~30 nm 정도)로 한다. 예를 들면, 20 nm의 막 두께를 가지는 알루미늄막을, 음극(7013)으로서 이용할 수 있다. 그리고 발광층(7014)은, 도 21(A)과 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되어 구성되어 있어도, 어느 쪽이어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 21(A)과 마찬가지로, 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들면, 광을 반사하는 금속 등을 이용할 수 있지만, 금속막에 한정되는 것은 아니다. 예를 들면, 검은 색의 안료를 첨가한 수지 등을 이용할 수도 있다.
- [0319] 음극(7013) 및 양극(7015) 사이에, 발광층(7014)을 끼우고 있는 영역이 발광소자(7012)에 상당한다. 도 21(B)에 나타난 화소의 경우, 발광소자(7012)로부터 발해지는 광은 화살표로 나타낸 바와 같이 음극(7013)측으로 사

출된다.

- [0320] 다음에, 양면 사출 구조의 발광소자에 대하여, 도 21(C)을 이용하여 설명한다. 도 21(C)에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 가지는 도전막(7027) 위에, 발광소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층되어 있다. 음극(7023)은, 도 21(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 그 막 두께는 광을 투과하는 정도로 한다. 예를 들면, 20 nm의 막 두께를 가지는 Al을 음극(7023)으로서 이용할 수 있다. 그리고 발광층(7024)은, 도 21(A)과 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도, 어느 쪽이든 좋다. 양극(7025)은 도 21(A)과 마찬가지로, 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다.
- [0321] 음극(7023), 발광층(7024), 양극(7025)이 중첩되는 부분이 발광소자(7022)에 상당한다. 도 21(C)에 나타난 화소의 경우, 발광소자(7022)로부터 발해지는 광은, 화살표로 나타난 바와 같이 양극(7025)측과 음극(7023)측의 양쪽 모두로 사출된다.
- [0322] 또한, 여기에서는, 발광소자로서 유기 EL 소자에 대하여 서술하였지만, 발광소자로서 무기 EL 소자를 형성하는 것도 가능하다.
- [0323] 또한, 발광소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광소자가 전기적으로 접속되어 있는 예를 나타냈지만, 구동용 TFT와 발광소자와의 사이에 전류 제어용 TFT가 접속되어 있는 구성이든 좋다.
- [0324] 또한, 반도체 장치는, 도 21에 나타난 구성에 한정되는 것은 아니고, 본 명세서에 개시하는 기술적 사상에 근거하는 각종 변형이 가능하다.
- [0325] 다음에, 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여, 도 24를 이용하여 설명한다. 도 24(A)는, 제1 기판 위에 형성된 박막 트랜지스터 및 발광소자를 제2 기판과의 사이에 시일재에 의해 봉지한 패널의 평면도이며, 도 24(B)는, 도 24(A)의 H-I에서의 단면도에 상당한다.
- [0326] 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 하여, 시일재(4505)가 형성되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기판(4506)이 설치되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제1 기판(4501)과 시일재(4505)와 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0327] 또한, 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 박막 트랜지스터를 복수 가지고 있고, 도 24(B)에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.
- [0328] 박막 트랜지스터(4509, 4510)는, 금속 원소가 첨가된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 1에 나타난 박막 트랜지스터를 적용할 수 있다. 또한, 실시형태 2 내지 7에 나타난 박막 트랜지스터를 적용해도 좋다. 박막 트랜지스터(4509, 4510)는 n 채널형 박막 트랜지스터이다.
- [0329] 또한, 부호 4511은 발광소자에 상당하고, 발광소자(4511)가 가지는 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, 발광소자(4511)의 구성은, 제1 전극층(4517), 전계 발광층(4512), 제2 전극층(4513)의 적층 구조이지만, 도시한 구성에 한정되는 것은 아니다. 발광소자(4511)로부터 취출하는 광의 방향 등에 맞추어, 발광소자(4511)의 구성은 적절히 바꿀 수 있다.
- [0330] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 특히, 감광성의 재료를 이용하여, 제1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡율을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0331] 전계 발광층(4512)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도, 어느 쪽이든 좋다.
- [0332] 발광소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극층(4513) 및 격벽(4520) 위에

보호막을 형성해도 좋다. 보호막으로서는, 질화규소막, 질화산화규소막, DLC막 등을 형성할 수 있다.

- [0333] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 부여되는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0334] 접속 단자 전극(4515)이, 발광소자(4511)가 가지는 제1 전극층(4517)과 같은 도전막으로 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509, 4510)가 가지는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.
- [0335] 접속 단자 전극(4515)은, FPC(4518a)가 가지는 단자와, 이방성 도전막(4519)를 통하여 전기적으로 접속되어 있다.
- [0336] 발광소자(4511)로부터의 광의 추출 방향에 위치하는 기관에는, 제2 기관(4506)은 투광성이 아니면 안된다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 이용한다.
- [0337] 또한, 충전재(4507)로서 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 이용할 수 있다. 예를 들면, 충전재로서 질소를 이용하면 좋다.
- [0338] 또한, 필요하다면, 발광소자의 사출면에 편광판, 또는, 원편광판(타원 편광판을 포함함), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 형성해도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 반사를 저감할 수 있는 안티글레어(anti-glare) 처리를 할 수 있다.
- [0339] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기관 위에 단결정 반도체 막 또는 다결정 반도체막에 의해 형성된 구동 회로에 실장되어 있어도 좋다. 또한, 신호선 구동 회로만, 혹은 일부, 또는 주사선 구동 회로만, 혹은 일부만을 별도 형성하여 실장해도 좋고, 도 24의 구성에 한정되는 것은 아니다.
- [0340] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0341] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0342] [실시형태 12]
- [0343] 본 명세서에 개시하는 반도체 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이 라면 모든 분야의 전자기기에 이용하는 것이 가능하다. 예를 들면, 전자 페이퍼를 이용하여, 전자 서적(전자 북), 포스터, 전철 등의 탈 것의 차내 광고, 신용카드 등의 각종 카드의 표시 등에 적용할 수 있다. 전자기기의 일례를 도 25, 도 26에 나타낸다.
- [0344] 도 25(A)는, 전자 페이퍼로 만들어진 포스터(2631)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 본 명세서에 개시하는 전자 페이퍼를 이용하면 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 깨지는 일 없이 안정된 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다.
- [0345] 또한, 도 25(B)는, 전철 등의 탈 것의 차내 광고(2632)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 본 명세서에 개시하는 전자 페이퍼를 이용하면 사람의 손을 대부분 거치지 않고 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 깨지는 일 없이 안정된 화상을 얻을 수 있다. 또한, 차내 광고는 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다.
- [0346] 또한, 도 26은, 전자 서적(2700)의 일례를 나타내고 있다. 예를 들면, 전자 서적(2700)은, 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성되어 있다. 케이스(2701) 및 케이스(2703)는 축부(2711)에 의해 일체로 되어 있고, 이 축부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이 서적과 같은 동작을 행하는 것이 가능하게 된다.
- [0347] 케이스(2701)에는 표시부(2705)가 짜넣어지고, 케이스(2703)에는 표시부(2707)가 짜넣어져 있다. 표시부(2705) 및 표시부(2707)는, 연속된 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면, 우측의 표시부(도 26에서는 표시부(2705))에 문장을 표시

하고, 좌측의 표시부(도 26에서는 표시부(2707))에 화상을 표시할 수 있다.

- [0348] 또한, 도 26에서는, 케이스(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 케이스(2701)에서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 케이스의 뒷면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(2700)은, 전자 사전으로서의 기능을 가지게 한 구성으로 해도 좋다.
- [0349] 또한, 전자 서적(2700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.
- [0350] [실시형태 13]
- [0351] 본 명세서에 개시하는 반도체 장치는, 다양한 전자기기(유기기도 포함함)로서 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.
- [0352] 도 27(A)은, 텔레비전 장치(9600)의 일례를 나타내고 있다. 텔레비전 장치(9600)는, 케이스(9601)에 표시부(9603)가 짜넣어져 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 케이스(9601)를 지지한 구성을 나타내고 있다.
- [0353] 텔레비전 장치(9600)의 조작은, 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(9610)에 의해 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에, 이 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 해도 좋다.
- [0354] 또한, 텔레비전 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것도 가능하다.
- [0355] 도 27(B)은, 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)은, 케이스(9701)에 표시부(9703)가 짜넣어져 있다. 표시부(9703)는, 각종 화상을 표시하는 것이 가능하고, 예를 들면, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 통상의 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0356] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들 구성은, 표시부와 동일면에 짜넣어져 있어도 좋지만, 측면이나 뒷면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 로드하고, 로드한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0357] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 소망의 화상 데이터를 로드하여, 표시시키는 구성으로 할 수도 있다.
- [0358] 도 28(A)은 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되어 있고, 연결부(9893)에 의해, 개폐 가능하게 연결되어 있다. 케이스(9881)에는 표시부(9882)가 짜넣어지고, 케이스(9891)에는 표시부(9883)가 짜넣어져 있다. 또한, 도 28(A)에 나타난 휴대형 유기기는, 그 외, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되는 것은 아니고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 28(A)에 나타난 휴대형 유기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능이



나, 다른 휴대형 유기와 무선통신을 행하여 정보를 공유하는 기능을 가진다. 또한, 도 28(A)에 나타난 휴대형 유기가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

- [0359] 도 28(B)은 대형 유기기인 슬롯 머신(9900)의 일례를 나타내고 있다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 짜넣어져 있다. 또한, 슬롯 머신(9900)은, 그 외, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯 머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 구성라면 좋고, 그 외 부속설비가 적절히 설치된 구성으로 할 수 있다.
- [0360] 도 29(A)는, 휴대전화기(1000)의 일례를 나타내고 있다. 휴대전화기(1000)는 케이스(1001)에 내장된 표시부(1002) 외에, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비하고 있다.
- [0361] 도 29(A)에 나타난 휴대전화기(1000)는, 표시부(1002)를 손가락 등으로 터치함으로써, 정보를 입력할 수 있다. 또한, 전화를 걸거나, 혹은 메일을 쓰는 등의 조작은, 표시부(1002)를 손가락 등으로 터치하여 행할 수 있다.
- [0362] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제1은, 화상의 표시를 주로 하는 표시 모드이며, 제2는, 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 제3은 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드이다.
- [0363] 예를 들면, 전화를 걸거나, 혹은 메일을 작성하는 경우에는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하여, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0364] 또한, 휴대전화기(1000) 내부에, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서를 가지는 검출 장치를 형성함으로써, 휴대전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 바꾸도록 할 수 있다.
- [0365] 또한, 화면 모드의 전환은, 표시부(1002)를 터치하는 것, 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의해 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 바꾸도록 할 수도 있다. 예를 들면, 표시부에 표시하는 화상 신호가 동영상의 데이터라면 표시 모드, 텍스트 데이터라면 입력 모드로 전환한다.
- [0366] 또한, 입력 모드에서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하여, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 좋다.
- [0367] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락을 대는 것에 의해, 장문(掌紋), 지문 등을 촬상(撮像)함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 이용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.
- [0368] 도 29(B)도 휴대전화기의 일례이다. 도 29(B)의 휴대전화기는, 케이스(9411)에, 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 케이스(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 가지고 있고, 표시 기능을 가지는 표시 장치(9410)는 전화 기능을 가지는 통신 장치(9400)와 화살표의 2 방향으로 탈착 가능하다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축(短軸)끼리 부착시키는 것도, 표시 장치(9410)와 통신 장치(9400)의 장축(長軸)끼리 부착시키는 것도 가능하다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)로부터 표시 장치(9410)를 떼어내어, 표시 장치(9410)를 단독으로 이용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선통신 또는 유선통신에 의해 화상 또는 입력 정보를 수수(授受)할 수 있고, 각각 충전 가능한 배터리를 가진다.

**도면의 간단한 설명**

- [0369] 도 1은 반도체 장치를 설명한 도면.
- [0370] 도 2는 반도체 장치의 제작 방법을 설명한 도면.
- [0371] 도 3은 반도체 장치를 설명한 도면.

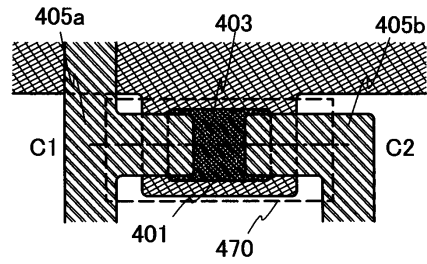
- [0372] 도 4는 반도체 장치의 제작 방법을 설명한 도면.
- [0373] 도 5는 반도체 장치의 제작 방법을 설명한 도면.
- [0374] 도 6은 반도체 장치의 제작 방법을 설명한 도면.
- [0375] 도 7은 반도체 장치의 제작 방법을 설명한 도면.
- [0376] 도 8은 반도체 장치의 제작 방법을 설명한 도면.
- [0377] 도 9는 반도체 장치의 제작 방법을 설명한 도면.
- [0378] 도 10은 반도체 장치를 설명한 도면.
- [0379] 도 11은 반도체 장치를 설명한 도면.
- [0380] 도 12는 반도체 장치를 설명한 도면.
- [0381] 도 13은 반도체 장치를 설명한 도면.
- [0382] 도 14는 반도체 장치의 블럭도를 설명한 도면.
- [0383] 도 15는 신호선 구동 회로의 구성을 설명한 도면.
- [0384] 도 16은 신호선 구동 회로의 동작을 설명한 타이밍 차트.
- [0385] 도 17은 신호선 구동 회로의 동작을 설명한 타이밍 차트.
- [0386] 도 18은 시프트 레지스터의 구성을 설명한 도면.
- [0387] 도 19는 도 18에 나타난 플립 플롭의 접속 구성을 설명한 도면.
- [0388] 도 20은 반도체 장치의 화소 등가 회로를 설명한 도면.
- [0389] 도 21은 반도체 장치를 설명한 도면.
- [0390] 도 22는 반도체 장치를 설명한 도면.
- [0391] 도 23은 반도체 장치를 설명한 도면.
- [0392] 도 24는 반도체 장치를 설명한 도면.
- [0393] 도 25는 전자 페이퍼의 사용 형태의 예를 설명한 도면.
- [0394] 도 26은 전자 서적의 일례를 나타낸 외관도.
- [0395] 도 27은 텔레비전 장치 및 디지털 포토 프레임의 예를 나타낸 외관도.
- [0396] 도 28은 유기기의 예를 나타낸 외관도.
- [0397] 도 29는 휴대전화기의 일례를 나타낸 외관도.
- [0398] 도 30은 반도체 장치의 제작 방법을 설명한 도면.
- [0399] 도 31은 반도체 장치의 제작 방법을 설명한 도면.
- [0400] 도 32는 반도체 장치의 제작 방법을 설명한 도면.
- [0401] <도면의 주요 부분에 대한 부호의 설명>
- [0402] 400: 기판
- [0403] 401: 게이트 전극층
- [0404] 402: 게이트 절연층
- [0405] 403: 반도체층
- [0406] 404a, 404b: n<sup>+</sup>층

- [0407] 405a, 405b: 소스 전극층 또는 드레인 전극층
- [0408] 407: 절연막
- [0409] 470: 박막 트랜지스터

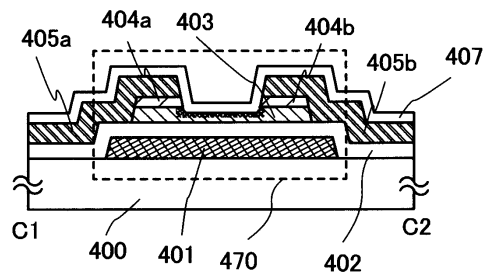
도면

도면1

(A)

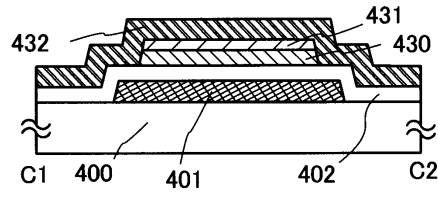


(B)

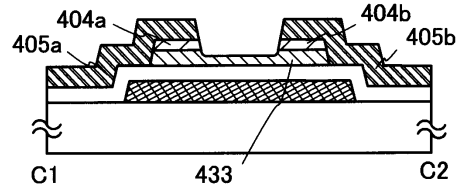


도면2

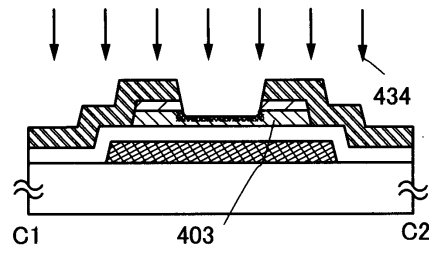
(A)



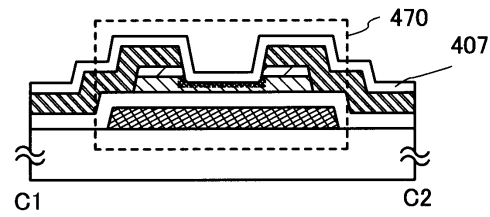
(B)



(C)



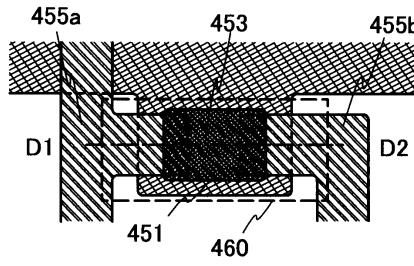
(D)



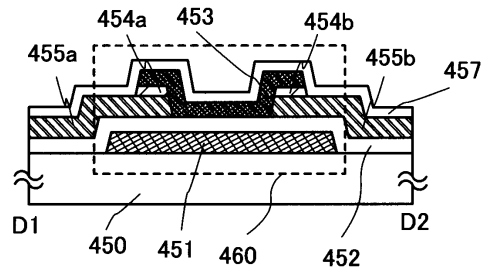


도면3

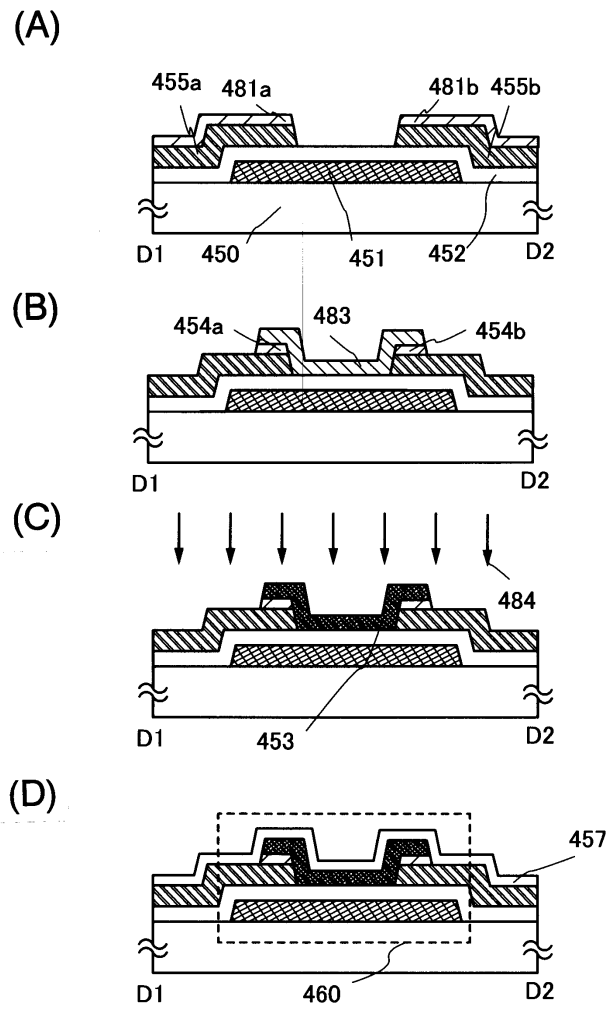
(A)



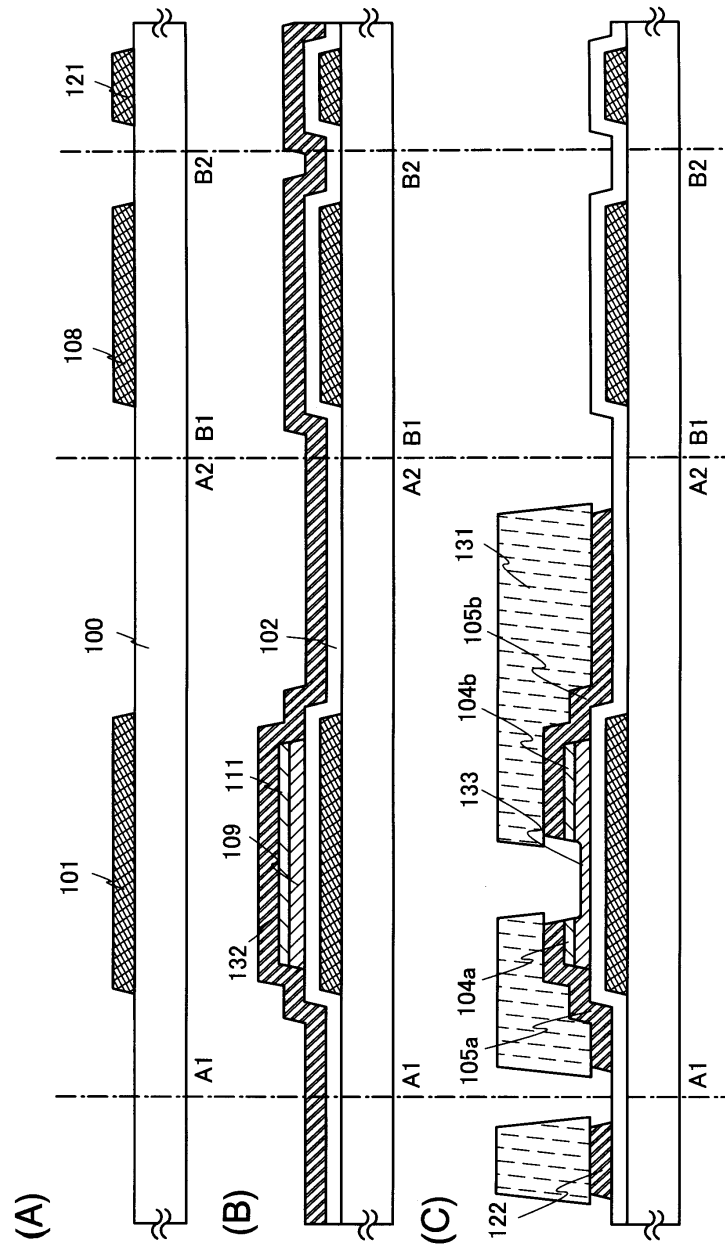
(B)



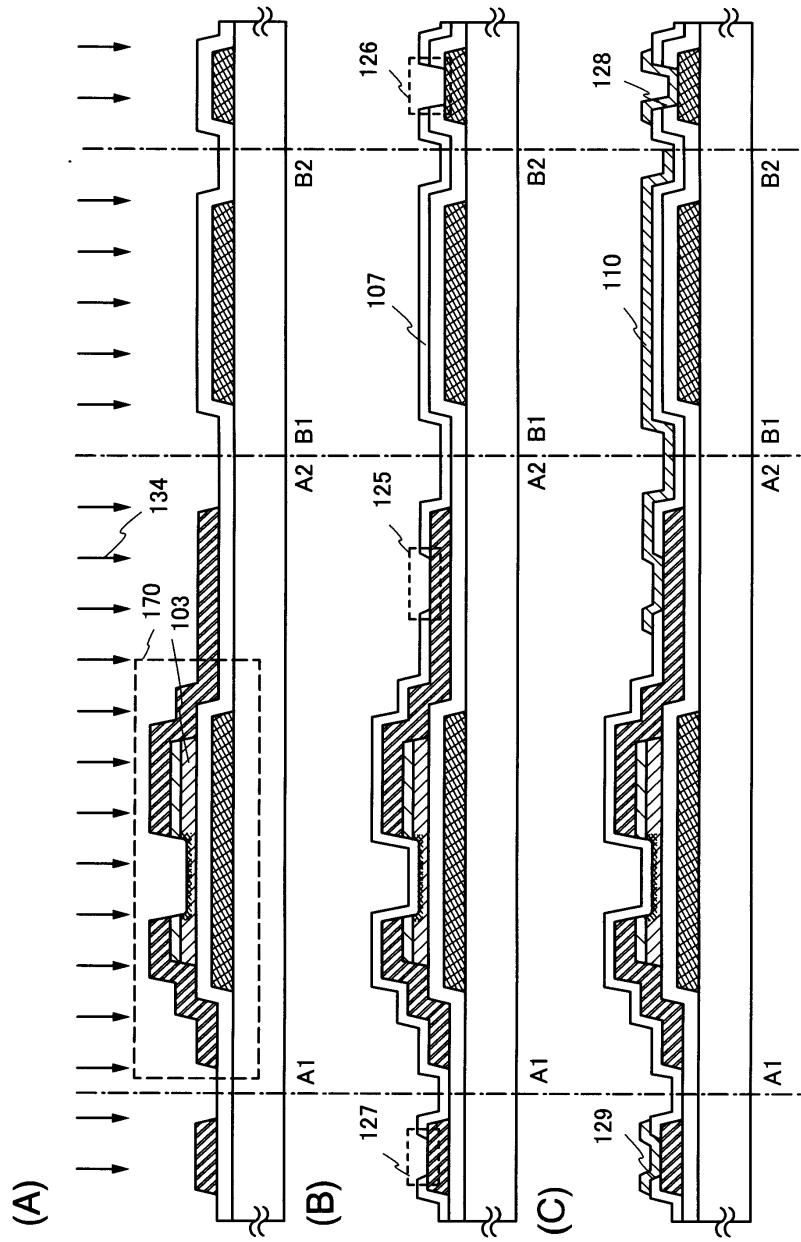
도면4



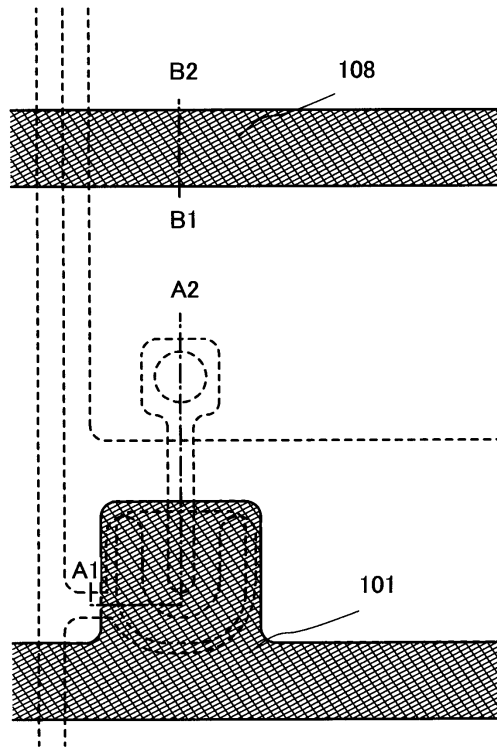
도면5



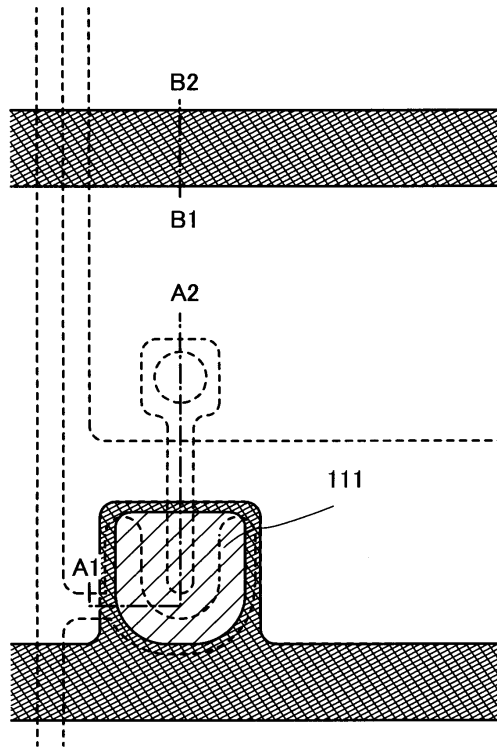
도면6



도면7

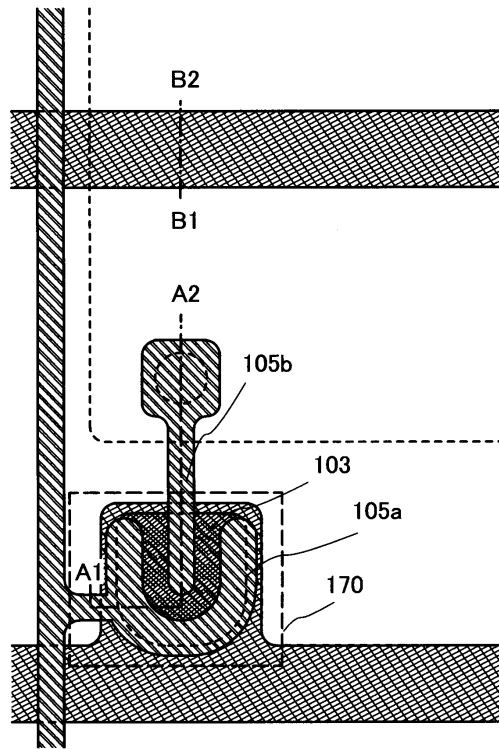


도면8

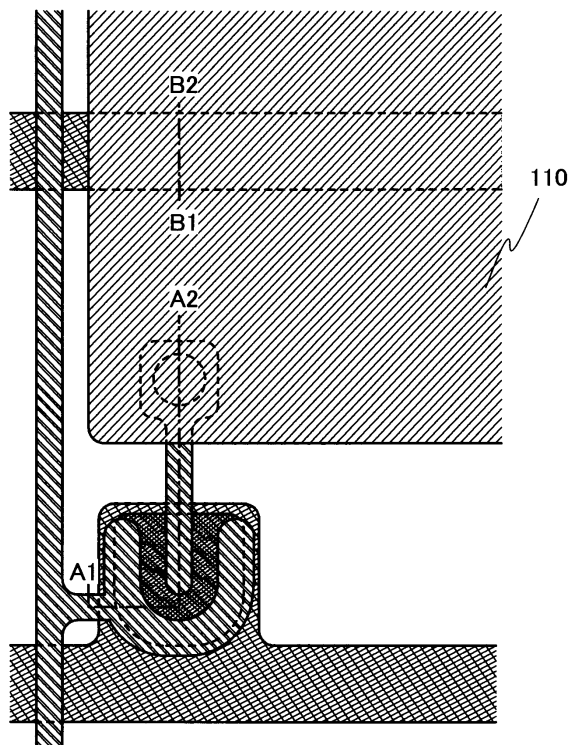




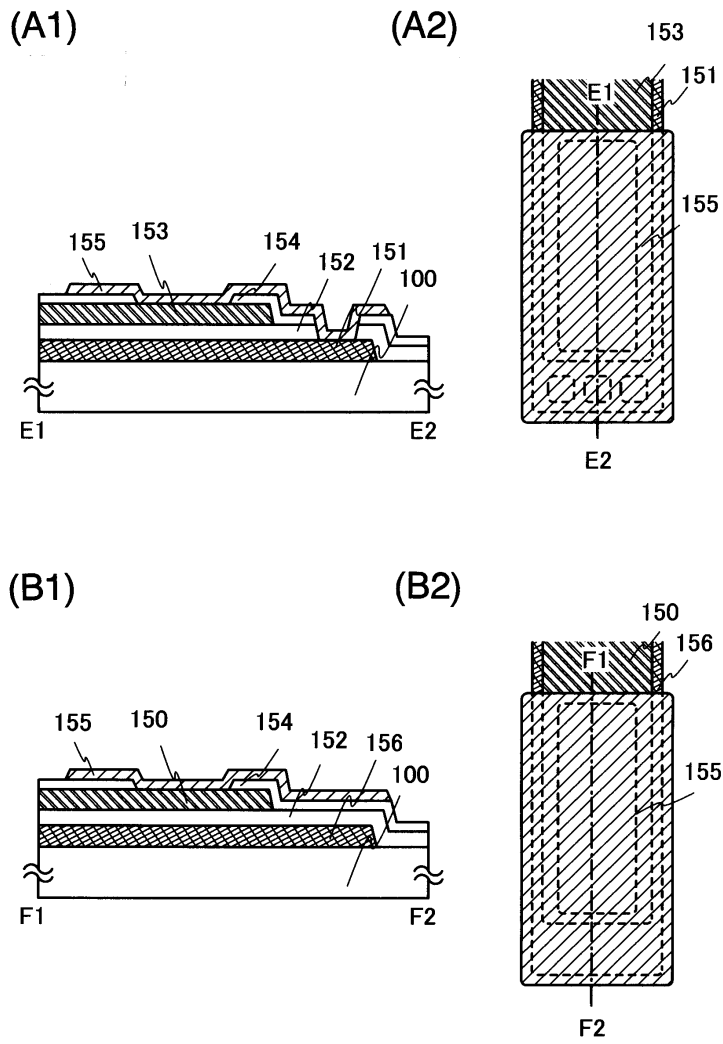
도면9



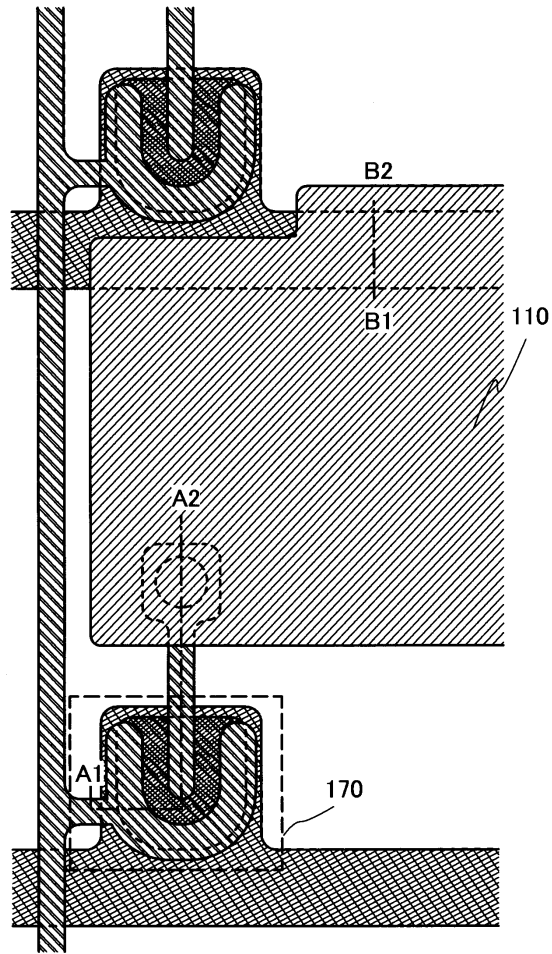
도면10



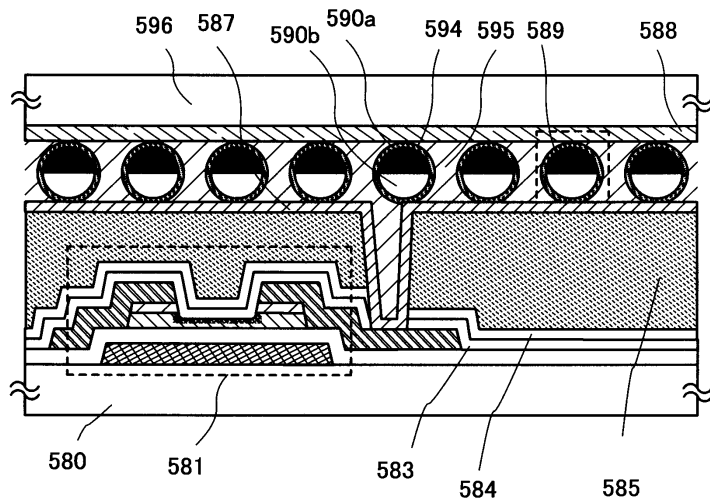
도면11



도면12

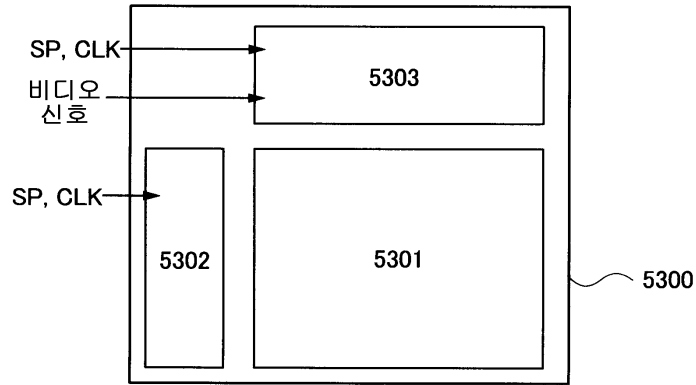


도면13

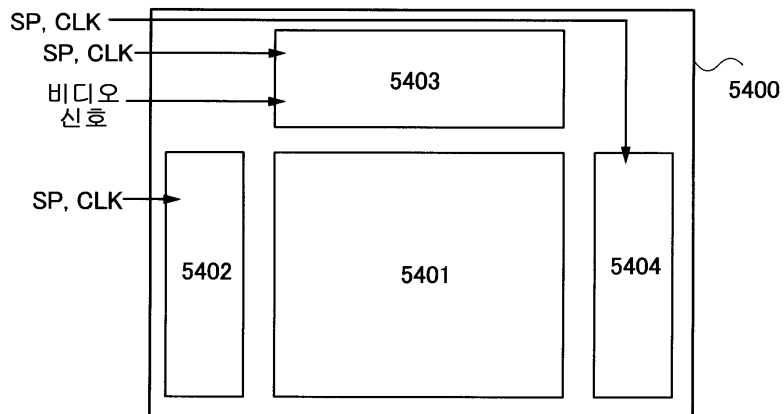


도면14

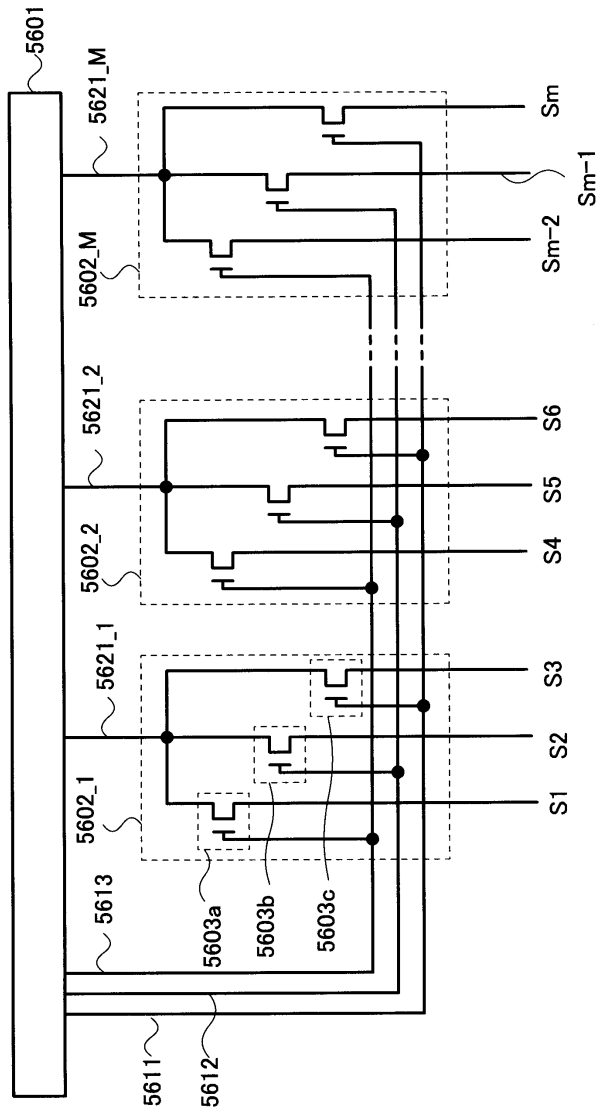
(A)



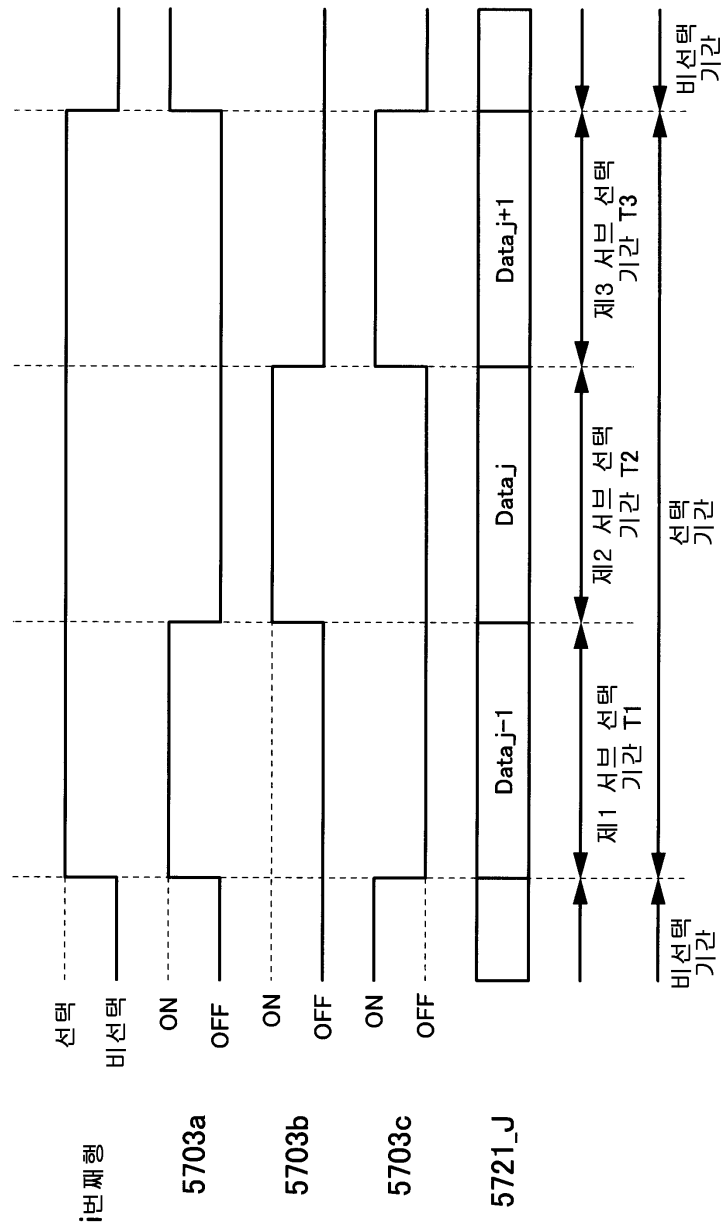
(B)



도면15

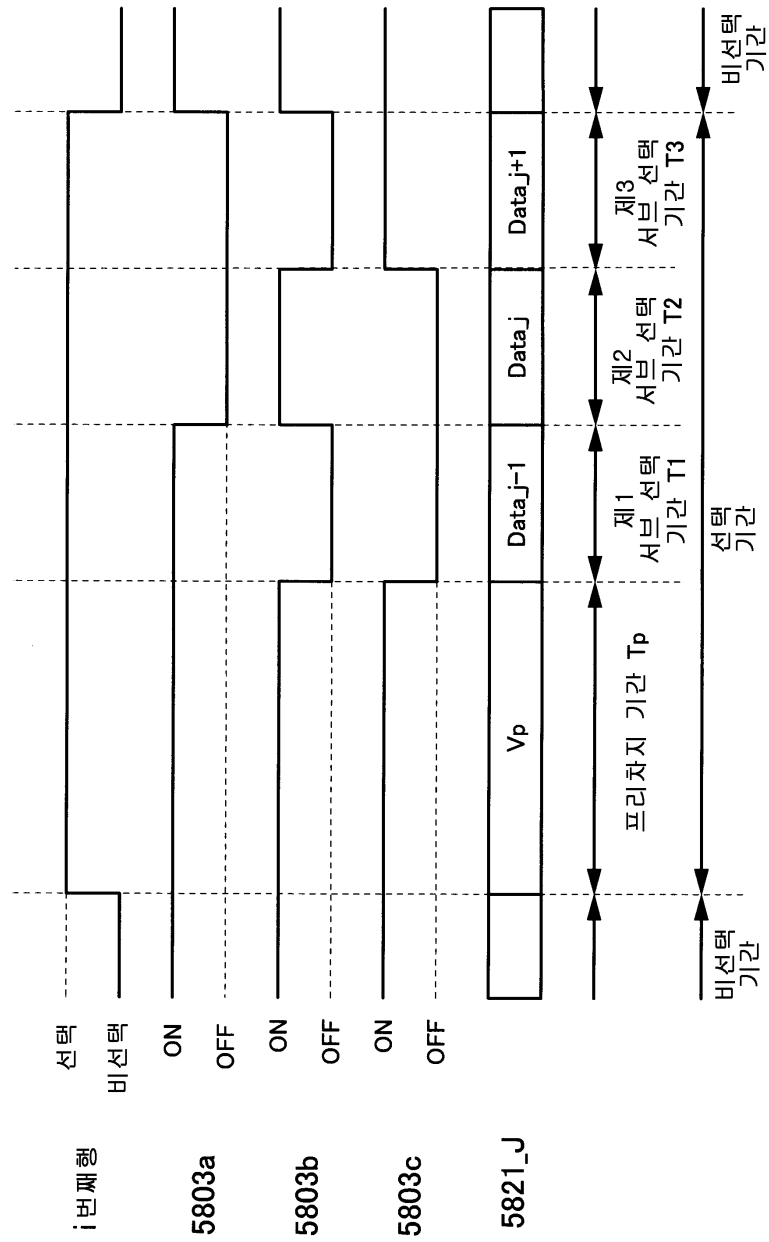


도면16

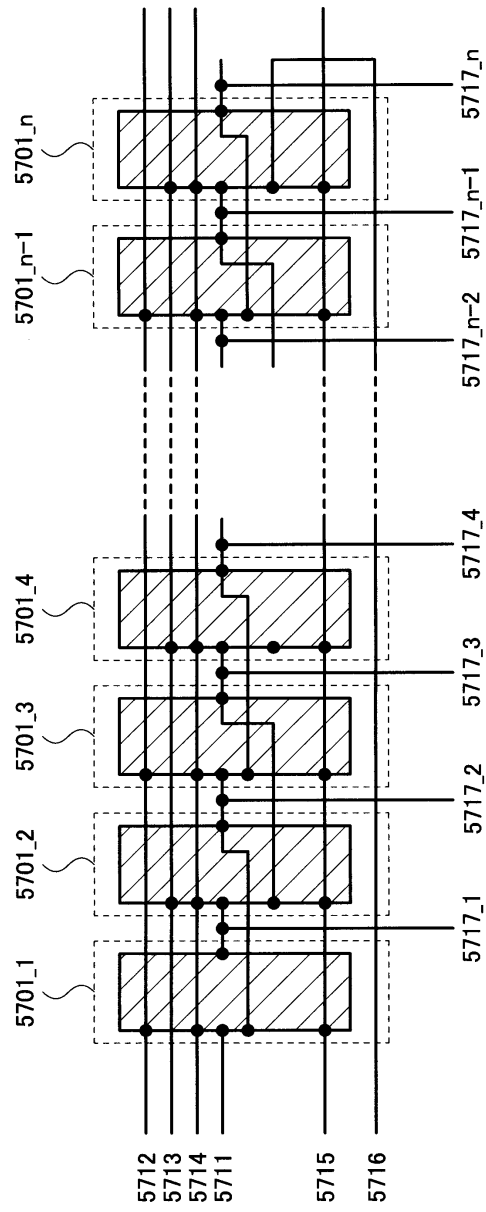




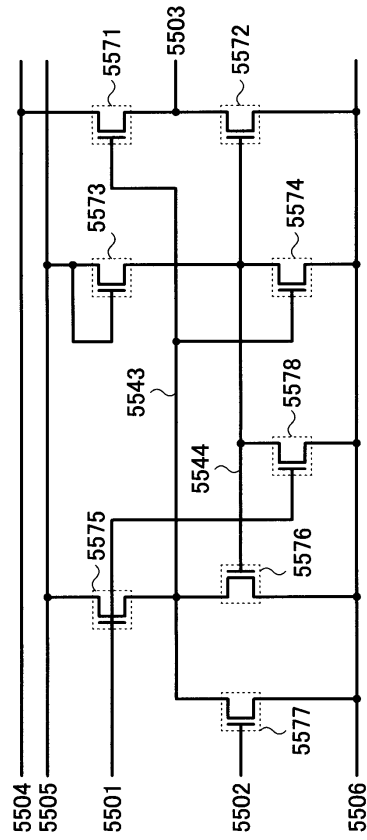
도면17



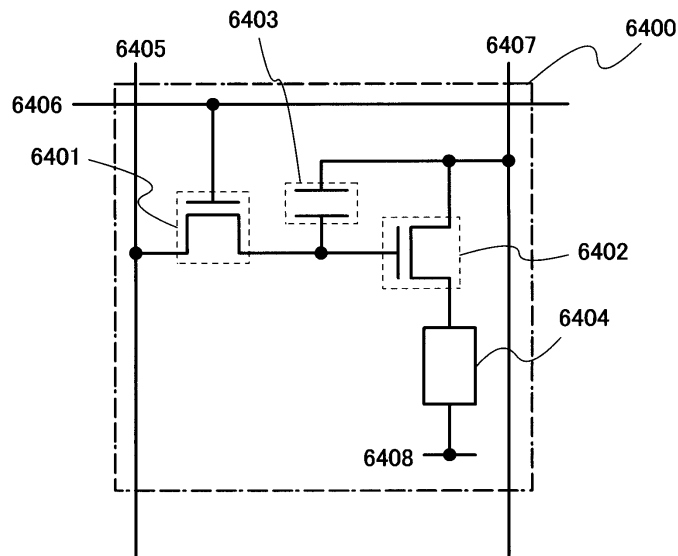
도면18



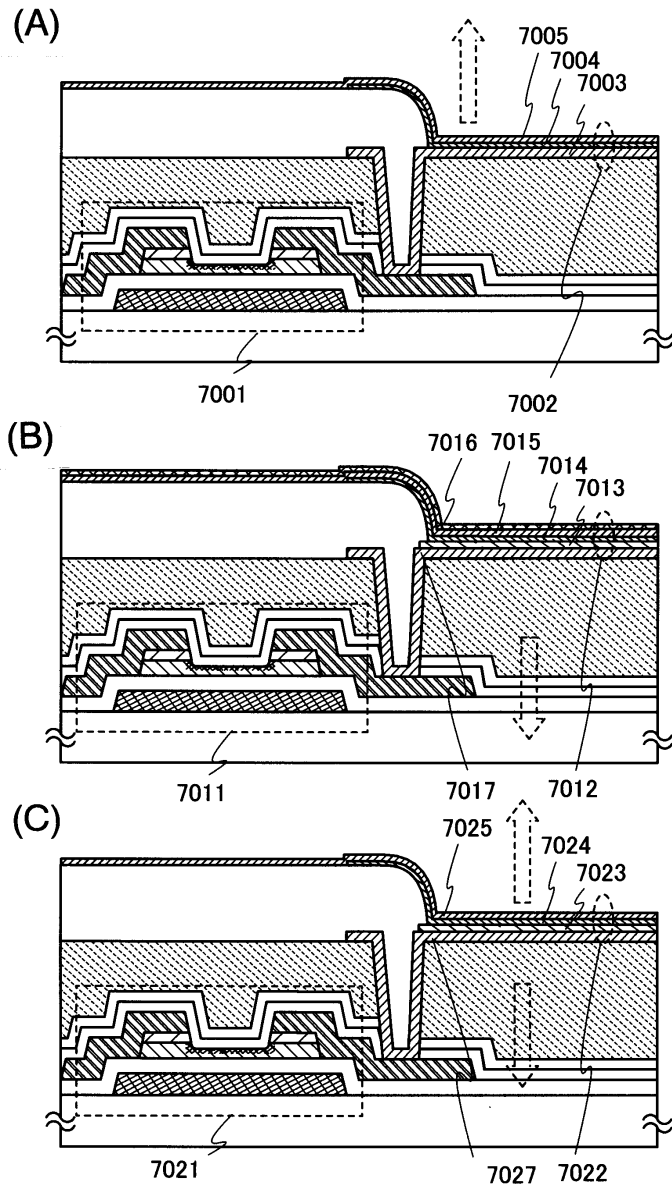
도면19



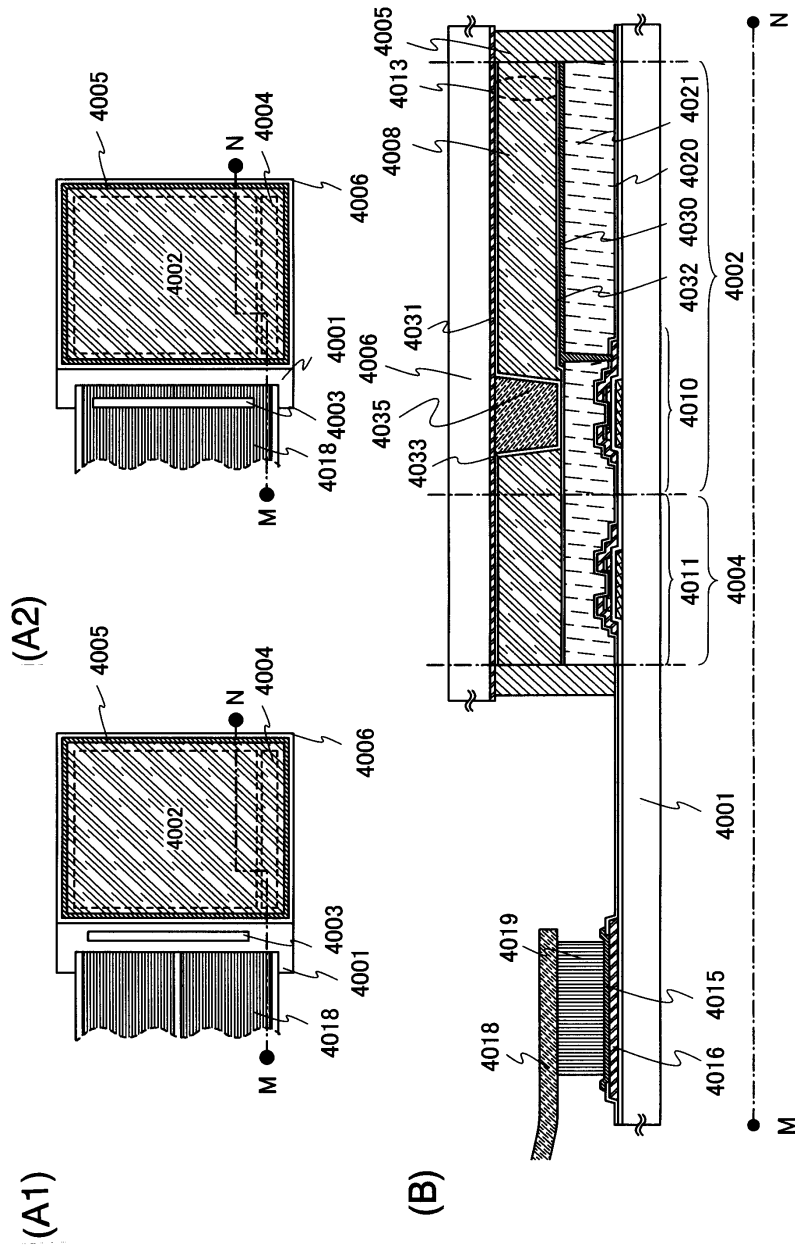
도면20



도면21

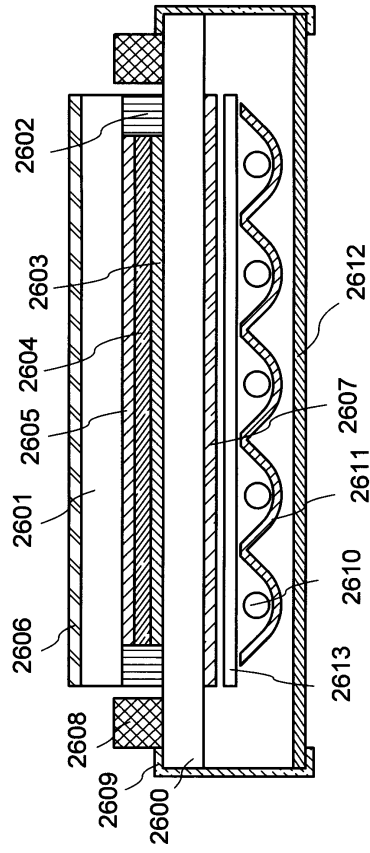


도면22

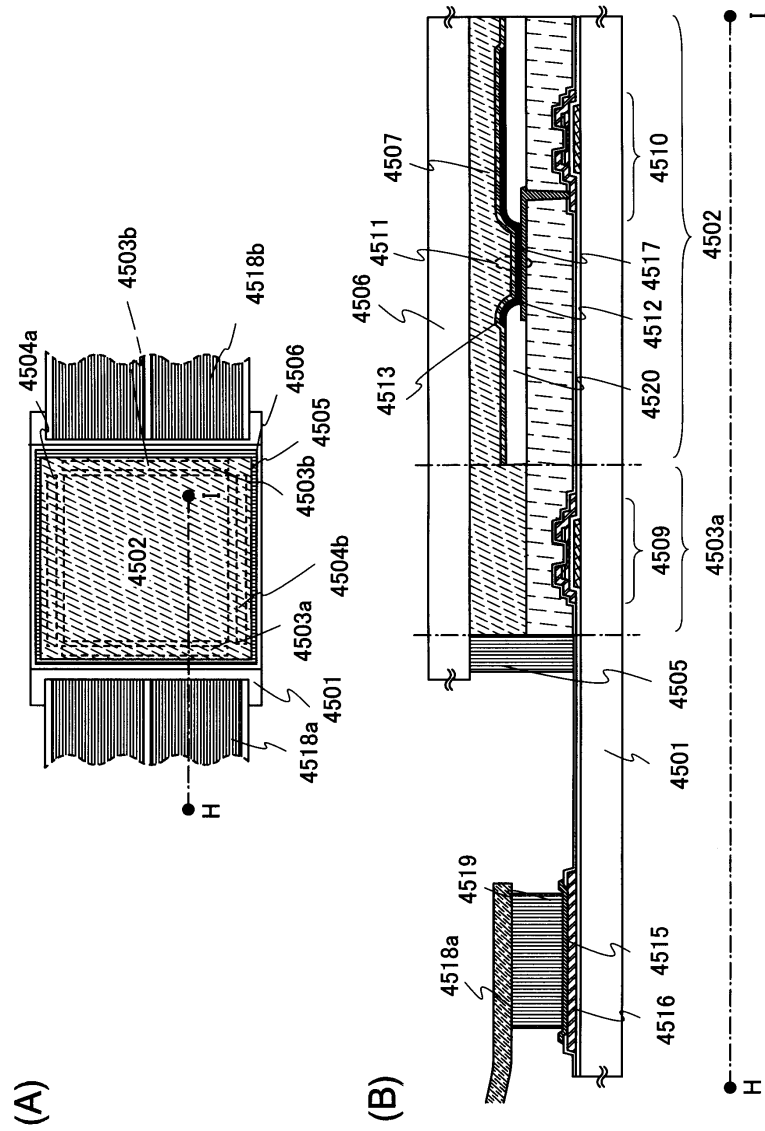




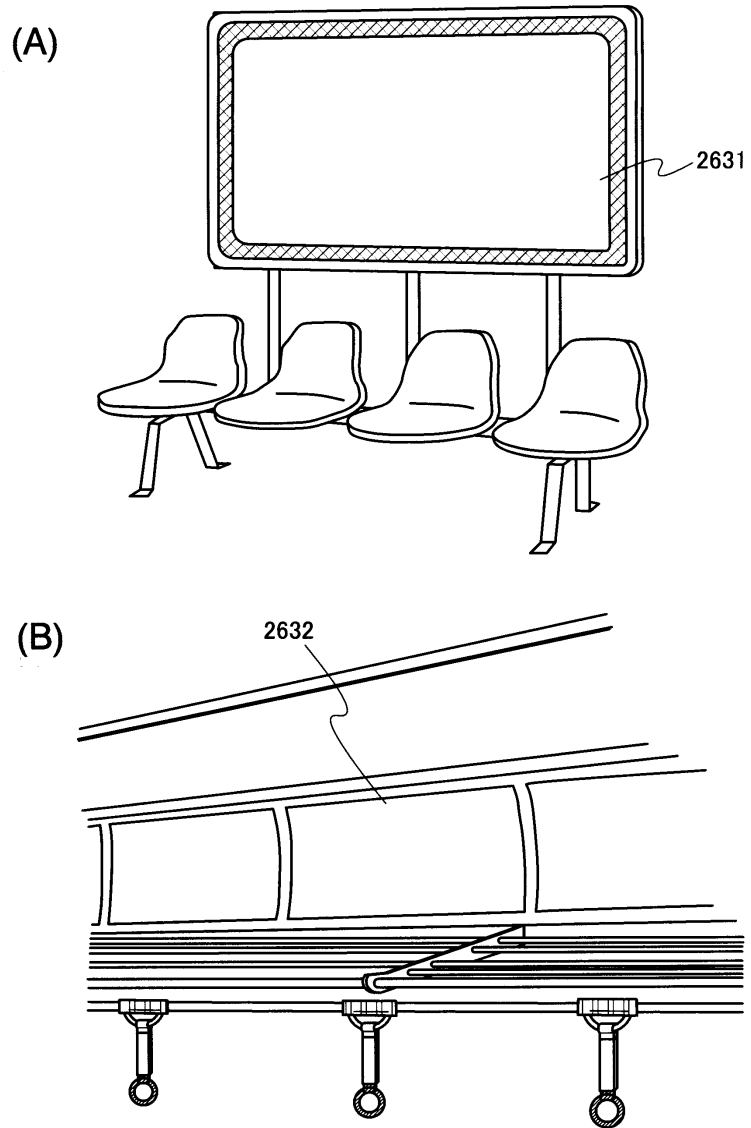
도면23



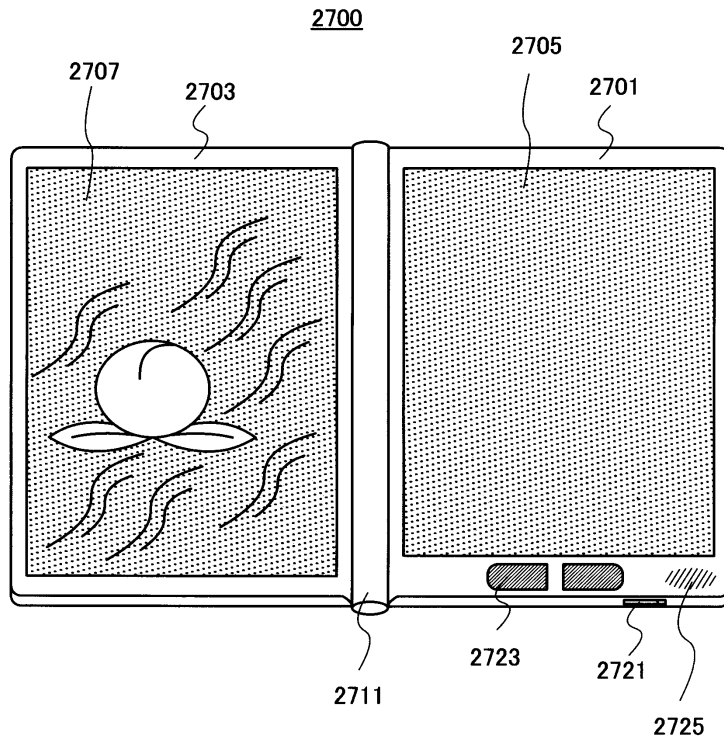
도면24



도면25

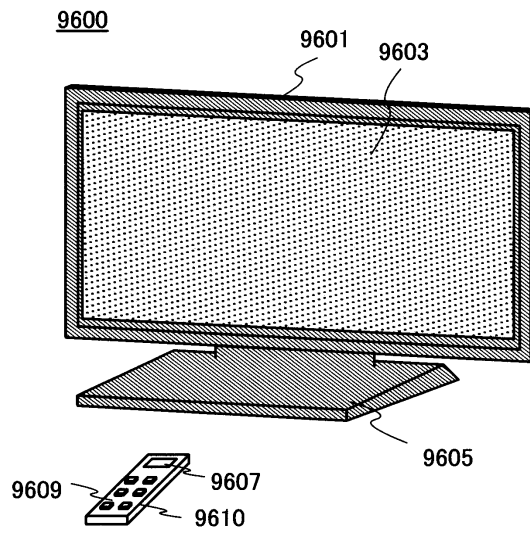


도면26

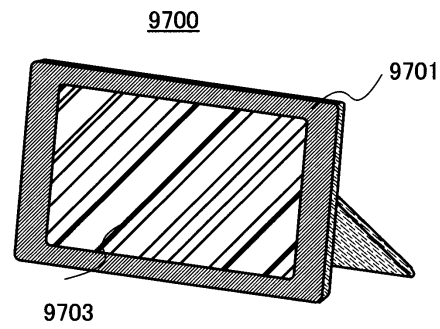


도면27

(A)



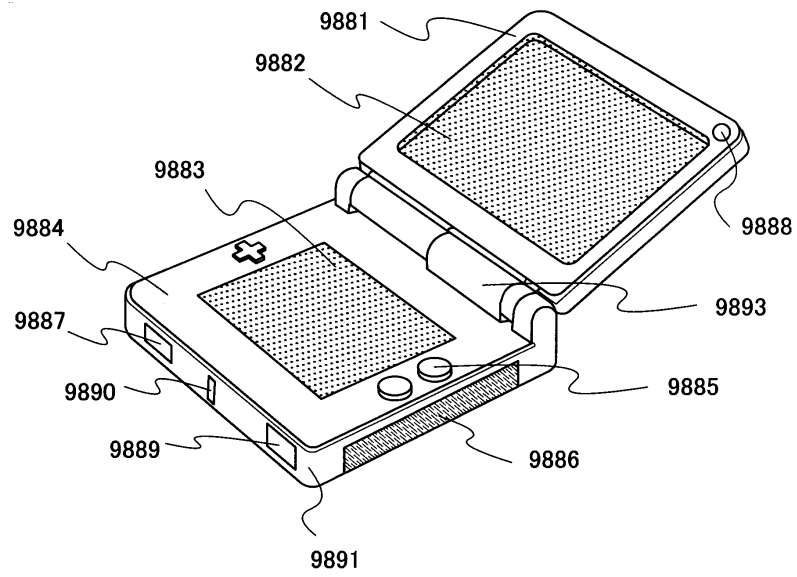
(B)



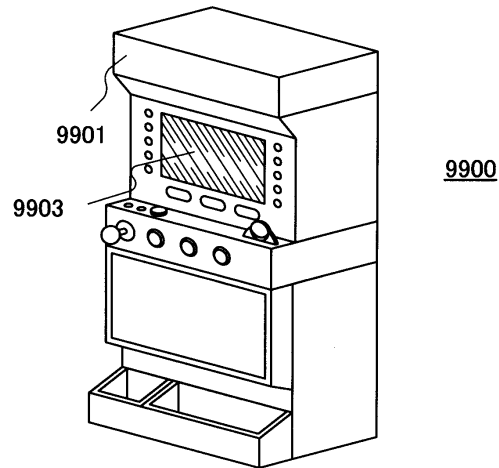


도면28

(A)

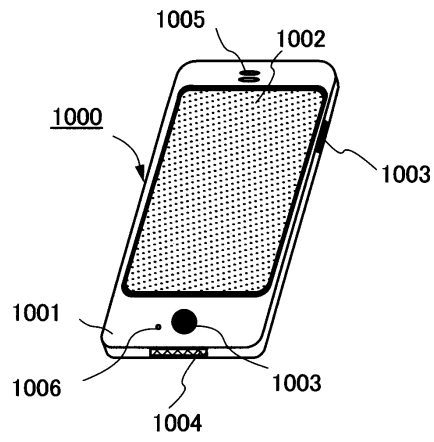


(B)

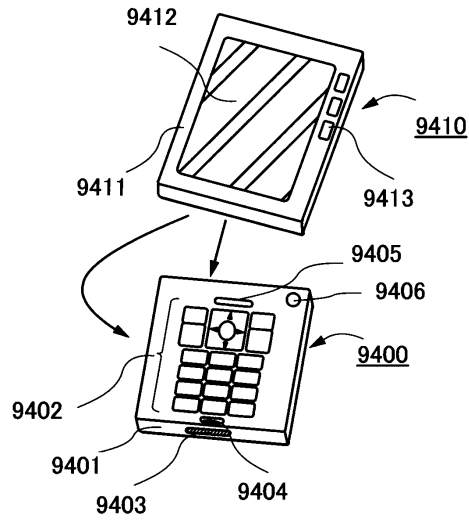


도면29

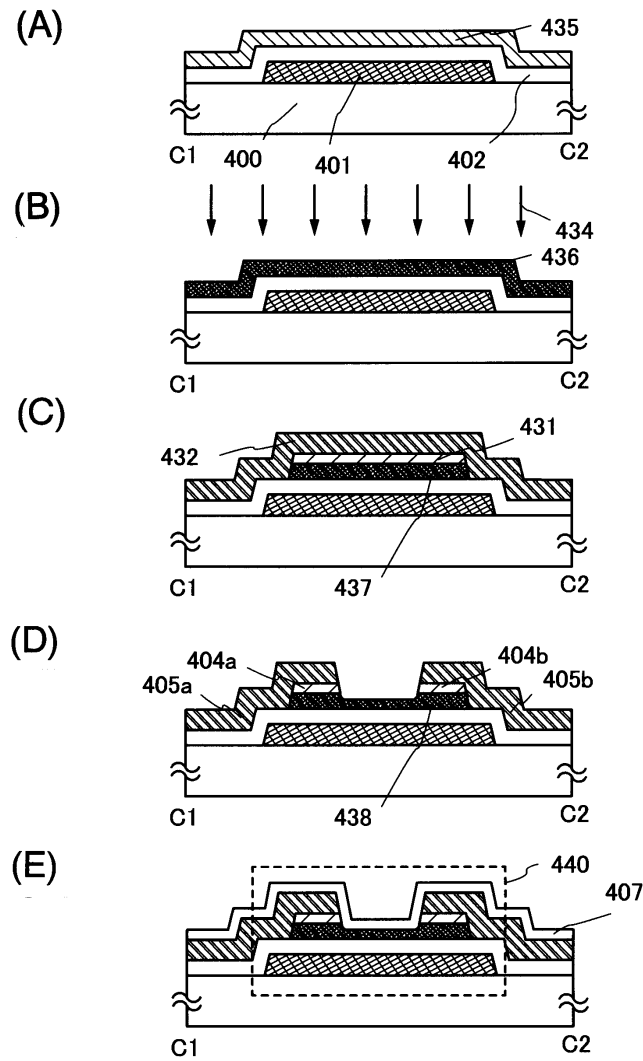
(A)



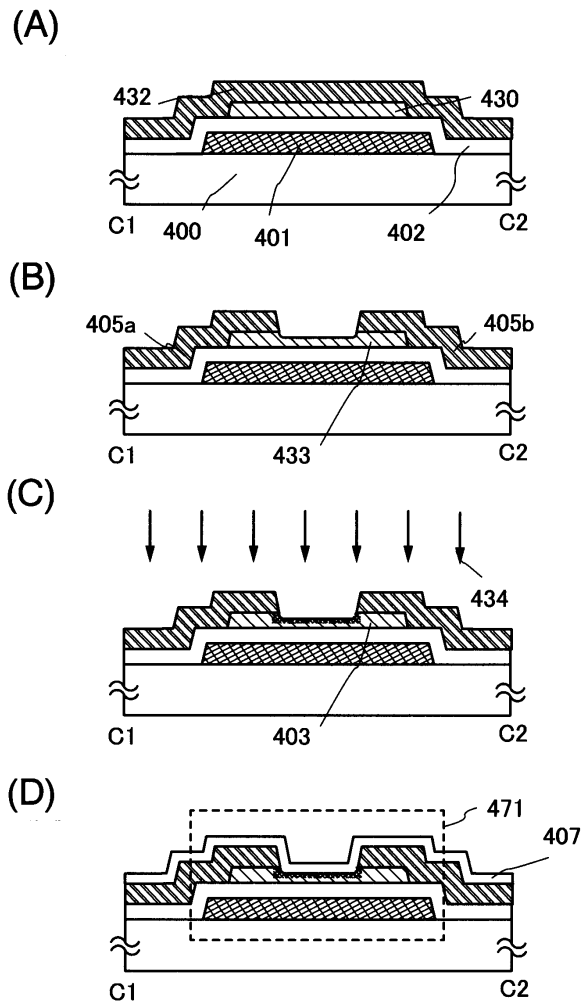
(B)



도면30



도면31



도면32

