

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-103419

(P2011-103419A)

(43) 公開日 平成23年5月26日(2011.5.26)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 27/11 (2006.01) HO 1 L 27/10 3 8 1 5 F 0 8 3
 HO 1 L 21/8244 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2009-258612(P2009-258612)
 (22) 出願日 平成21年11月12日(2009.11.12)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 守屋 里枝
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 5F083 BS01 BS13 BS27 GA09 LA01

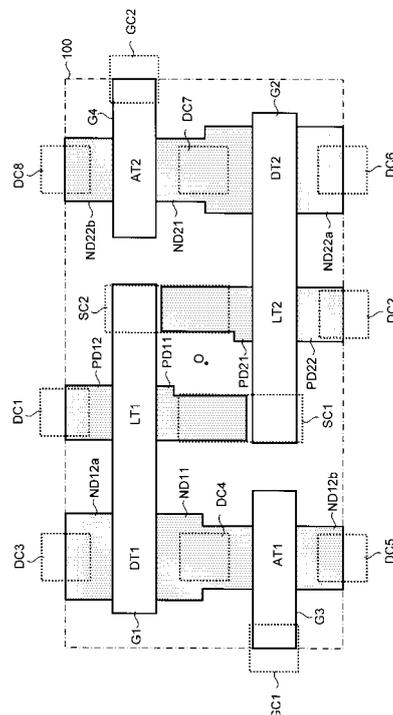
(54) 【発明の名称】 SRAM

(57) 【要約】

【課題】微細かつ寸法ばらつきが小さいSRAM。

【解決手段】第1の方向に直線状に延設された第1及び第2のゲート電極G1、G2と、第1のゲート電極G1と直交して第1の負荷トランジスタLT1を構成するとともに、第2のゲート電極G2の一端近傍まで延設された第1の拡散領域PD11と、第2のゲート電極G2と直交して第2の負荷トランジスタLT2を構成するとともに、第1のゲート電極G1の一端近傍まで延設された第2の拡散領域PD21と、を備えるSRAM。第1の拡散領域PD11は、第2のゲート電極G2側かつ第2の拡散領域PD21側に第1の切欠領域A1を備え、第2の拡散領域PD21は、第1のゲート電極G1側かつ第1の拡散領域PD11側に第2の切欠領域A2を備え、第1の切欠領域A1と第2の切欠領域A2とは、少なくとも一部が互いに対向し合うように設けられている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の方向に直線状に延設された第 1 及び第 2 のゲート電極と、
前記第 1 のゲート電極と直交して第 1 の負荷トランジスタを構成するとともに、前記第 2 のゲート電極の一端近傍まで延設された第 1 の拡散領域と、

前記第 2 のゲート電極と直交して第 2 の負荷トランジスタを構成するとともに、前記第 1 のゲート電極の一端近傍まで延設された第 2 の拡散領域と、を備えた S R A M であって

、
前記第 1 の拡散領域は、前記第 2 のゲート電極側かつ前記第 2 の拡散領域側に第 1 の切欠領域を備え、

前記第 2 の拡散領域は、前記第 1 のゲート電極側かつ前記第 1 の拡散領域側に第 2 の切欠領域を備え、

前記第 1 の切欠領域と前記第 2 の切欠領域とは、少なくとも一部が互いに対向し合うように設けられている S R A M。

【請求項 2】

前記第 1 の拡散領域と前記第 2 の拡散領域とが同一寸法かつ点対称に形成されていることを特徴とする請求項 1 に記載の S R A M。

【請求項 3】

前記第 1 の切欠領域により幅が狭くなった前記第 1 の拡散領域と、前記第 2 のゲート電極の一端とに共通に接続された第 1 の共通コンタクトと、

前記第 2 の切欠領域により幅が狭くなった前記第 2 の拡散領域と、前記第 1 のゲート電極の一端とに共通に接続された第 2 の共通コンタクトと、を更に備えることを特徴とする請求項 1 又は 2 に記載の S R A M。

【請求項 4】

前記第 1 の拡散領域に対して前記第 2 の拡散領域と反対側に設けられ、前記前記第 1 のゲート電極と直交して第 1 の駆動トランジスタを構成する第 3 の拡散領域と、

前記第 2 の拡散領域に対して前記第 1 の拡散領域と反対側に設けられ、前記前記第 2 のゲート電極と直交して第 2 の駆動トランジスタを構成する第 4 の拡散領域と、を更に備えることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の S R A M。

【請求項 5】

前記第 2 のゲート電極の一端の延長上に形成され、前記第 3 の拡散領域と直交して第 1 のアクセストランジスタを構成する第 3 のゲート電極と、

前記第 1 のゲート電極の一端の延長上に形成され、前記第 4 の拡散領域と直交して第 2 のアクセストランジスタを構成する第 4 のゲート電極と、を更に備えることを特徴とする請求項 1 ~ 4 のいずれか一項に記載の S R A M。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、S R A M に関する。

【背景技術】

【0002】

近年、S R A M (Static Random Access Memory) では、大容量化やチップサイズの小型化に伴い、メモリセルの更なる微細化が望まれている。メモリセルの微細化が進むにつれ、P M O S トランジスタからなる 2 つの負荷トランジスタの拡散層間の距離も狭くなっている。この 2 つの負荷トランジスタの拡散層間の距離は、製造マージンにより最短距離が定まる。

【0003】

図 4 は特許文献 1 の図 3 である。図 4 は、隣接するトランジスタ 20、30 を、点線で示した基準配置から、反対方向に共に角度 だけ傾けた配置を示している。このとき、ゲート電極 21、31 は、非平行の配置関係になり、拡散層 40 は、ゲート電極 21、31

10

20

30

40

50

に挟まれた領域で、大きく曲がった形状になる。このような配置とすることにより、コンタクト41c、41a間の距離Sを、基準配置に比べて縮小することができる。即ち、図面上下方向にメモリセルサイズを微細化することができる。なお、コンタクト21a、31aは、それぞれゲート電極21、31上に形成されている。また、コンタクト41bは、ゲート電極21、31の間において、拡散層40上に形成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-42050号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0005】

特許文献1のSRAMでは、ゲート電極が水平でなく斜めに形成され、また、拡散層が直線ではなく屈曲していることから、リソグラフィ工程における加工形状が変動し易く、寸法ばらつきが大きいという問題があった。

【課題を解決するための手段】

【0006】

本発明に係るSRAMは、

第1の方向に直線状に延設された第1及び第2のゲート電極と、

前記第1のゲート電極と直交して第1の負荷トランジスタを構成するとともに、前記第2のゲート電極の一端近傍まで延設された第1の拡散領域と、

20

前記第2のゲート電極と直交して第2の負荷トランジスタを構成するとともに、前記第1のゲート電極の一端近傍まで延設された第2の拡散領域と、を備えたSRAMであって、

前記第1の拡散領域は、前記第2のゲート電極側かつ前記第2の拡散領域側に第1の切欠領域を備え、

前記第2の拡散領域は、前記第1のゲート電極側かつ前記第1の拡散領域側に第2の切欠領域を備え、

前記第1の切欠領域と前記第2の切欠領域とは、少なくとも一部が互いに対向し合うように設けられているものである。

30

【0007】

第1の拡散領域において第2のゲート電極側かつ第2の拡散領域側に設けられた第1の切欠領域と、第2の拡散領域において第1のゲート電極側かつ第1の拡散領域側に設けられた第2の切欠領域とは、少なくとも一部が互いに対向し合っているため、微細かつ寸法ばらつきが小さいメモリセルを備えたSRAMを提供することができる。

【発明の効果】

【0008】

本発明によれば、微細かつ寸法ばらつきが小さいメモリセルを備えたSRAMを提供することができる。

【図面の簡単な説明】

40

【0009】

【図1】実施の形態1に係るSRAMの単位メモリセルの平面図である。

【図2】図1における2つの負荷トランジスタの拡大図である。

【図3】実施の形態1の比較例に係るSRAMセルの2つの負荷トランジスタの拡大図である。

【図4】特許文献1の図3である。

【発明を実施するための形態】

【0010】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。ただし、本発明が以下の実施の形態に限定される訳ではない。また、説明を明確に

50

するため、以下の記載及び図面は、適宜、簡略化されている。

【0011】

(実施の形態1)

図1は、本発明の第1の実施の形態に係るSRAMの単位メモリセル100の平面図である。図1に示すように、単位メモリセル100は、4つのゲート電極G1~G4、6つのN型拡散領域ND11、ND12a、ND12b、ND21、ND22a、ND22b、4つのP型拡散領域PD11、PD12、PD21、PD22、8つの拡散領域コンタクトDC1~DC8、2つのゲートコンタクトGC1、GC2、2つの共通コンタクトSC1、SC2を備えている。

【0012】

ここで、一点鎖線で示された境界線に囲まれた単位メモリセル100の外形は矩形状である。そして、単位メモリセル100は、中心Oに対し、点对称のレイアウト構造を有している。従って、ゲート電極G1、G2は同一形状、P型拡散領域PD11、PD21は同一形状、P型拡散領域PD12、PD22は同一形状、ゲート電極G3、G4は同一形状、N型拡散領域ND11、ND21は同一形状、N型拡散領域ND12a、ND22aは同一形状、N型拡散領域ND12b、ND22bは同一形状などとなる。また、単位メモリセル100は、一点鎖線で示した矩形の4辺に対応する各境界線に対し、線対称なレイアウト構造を有している。

【0013】

また、図1に示されたSRAMは完全CMOS型である。そのため、単位メモリセル100は、4つのNMOSトランジスタと、2つのPMOSトランジスタを備える。具体的には、単位メモリセル100は、NMOSトランジスタである2つのアクセストランジスタAT1、AT2、NMOSトランジスタである2つの駆動トランジスタDT1、DT2、PMOSトランジスタである2つの負荷トランジスタLT1、LT2を備えている。ここで、駆動トランジスタDT1と負荷トランジスタLT1とがインバータを構成している。同様に、駆動トランジスタDT2と負荷トランジスタLT2とがインバータを構成している。

【0014】

図1に示すように、アクセストランジスタAT1は、ゲート電極G3、N型拡散領域ND11及びND12bから構成されている。駆動トランジスタDT1は、ゲート電極G1、N型拡散領域ND11及びND12aから構成されている。即ち、N型拡散領域ND11は、アクセストランジスタAT1と駆動トランジスタDT1とに共有されている。そして、負荷トランジスタLT1は、ゲート電極G1、P型拡散領域PD11及びPD12から構成されている。即ち、ゲート電極G1は、負荷トランジスタLT1と駆動トランジスタDT1とに共有されている。

【0015】

ここで、N型拡散領域ND12a、ND11、ND12bは直線状に延設されており、かつ、ゲート電極G1、G3の両方と直交するように形成されている。また、P型拡散領域PD11、PD12は、N型拡散領域ND12a、ND11、ND12bと平行になるように形成されている。即ち、P型拡散領域PD11、PD12は、ゲート電極G1と直交している。更に、P型拡散領域PD11はゲート電極G1と平行に形成されたゲート電極G2の一方の端部近傍まで形成されている。また、ゲート電極G3はゲート電極G2のその一方の端部の延長上に形成されている。

【0016】

同様に、アクセストランジスタAT2は、ゲート電極G4、N型拡散領域ND21及びND22bから構成されている。駆動トランジスタDT2は、ゲート電極G2、N型拡散領域ND21及びND22aから構成されている。即ち、N型拡散領域ND21は、アクセストランジスタAT2と駆動トランジスタDT2とに共有されている。そして、負荷トランジスタLT2は、ゲート電極G2、P型拡散領域PD21及びPD22から構成されている。即ち、ゲート電極G2は、負荷トランジスタLT2と駆動トランジスタDT2と

10

20

30

40

50

に共有されている。

【0017】

ここで、N型拡散領域ND22a、ND21、ND22bは直線状に延設されており、かつ、ゲート電極G2、G4の両方と直交するように形成されている。また、P型拡散領域PD21、PD22は、N型拡散領域ND22a、ND21、ND22bと平行になるように形成されている。即ち、P型拡散領域PD21、PD22は、ゲート電極G2と直交している。更に、P型拡散領域PD21はゲート電極G1の一方の端部近傍まで形成されている。また、ゲート電極G4はゲート電極G1のその一方の端部の延長上に形成されている。

【0018】

アクセストランジスタAT1、AT2のゲート電極G3、G4は、それぞれゲートコンタクトGC1、GC2を介して、共通のワード線（不図示）に接続されている。ゲートコンタクトGC1、GC2は、単位メモリセル100の境界線上に形成されている。アクセストランジスタAT1、AT2を構成するN型拡散領域ND12b、ND22bは、それぞれ拡散領域コンタクトDC5、DC8を介して、ビット線対（不図示）の各々に接続されている。

【0019】

駆動トランジスタDT1、DT2のソースを構成するN型拡散領域ND12a、ND22aは、それぞれ拡散領域コンタクトDC3、DC6を介して、グランドに接続されている。負荷トランジスタLT1、LT2のソースを構成するP型拡散領域PD12、PD22は、それぞれ拡散領域コンタクトDC1、DC2を介して、電源に接続されている。

【0020】

駆動トランジスタDT1及び負荷トランジスタLT1に共有されるゲート電極G1は、共通コンタクトSC2を介して、負荷トランジスタLT2のドレインを構成するP型拡散領域PD21に接続されている。更に、共通コンタクトSC2は、拡散領域コンタクトDC7を介して、アクセストランジスタAT2及び駆動トランジスタDT2に共有されているN型拡散領域ND21に接続されている。

【0021】

同様に、駆動トランジスタDT2及び負荷トランジスタLT2に共有されるゲート電極G2は、共通コンタクトSC1を介して、負荷トランジスタLT1のドレインを構成するP型拡散領域PD11に接続されている。更に、共通コンタクトSC1は、拡散領域コンタクトDC4を介して、アクセストランジスタAT1及び駆動トランジスタDT1に共有されているN型拡散領域ND11に接続されている。

【0022】

図2は、図1における2つの負荷トランジスタの拡大図である。上述のように、本実施の形態では、ゲート電極G1、G2は同一方向に延設されている。即ち、ゲート電極G1、G2は互いに平行である。また、P型拡散領域PD11及びPD12は、ゲート電極G1と直交するように形成されている。同様に、P型拡散領域PD21及びPD22は、ゲート電極G2と直交するように形成されている。従って、P型拡散領域PD11及びPD12と、P型拡散領域PD21及びPD22とは、平行になるように形成されている。

【0023】

ここで、P型拡散領域PD11の幅は、ゲート電極G1近傍即ち負荷トランジスタLT1のドレインとして機能している領域では、W1であるのに対し、共通コンタクトSC1下の領域では、W1より小さいW2である。同様に、P型拡散領域PD21の幅は、ゲート電極G2近傍即ち負荷トランジスタLT2のドレインとして機能している領域では、W1であるのに対し、共通コンタクトSC1下の領域では、W1より小さいW2である。そのため、P型拡散領域PD11の端からP型拡散領域PD21の端までの距離は、 $W1 + W2 + D1$ となる。ここで、D1はP型拡散領域PD11とP型拡散領域PD21との間の最短距離であり、製造マージンにより定まる値である。

【0024】

換言すると、本実施の形態 1 に係る P 型拡散領域 PD 1 1 は、ゲート電極 G 2 側かつ P 型拡散領域 PD 2 1 側に幅 $W 1 - W 2$ の切欠領域 A 1 を備えている。同様に、本実施の形態 1 に係る P 型拡散領域 PD 2 1 は、ゲート電極 G 1 側かつ P 型拡散領域 PD 1 1 側に幅 $W 1 - W 2$ の切欠領域 A 2 を備えている。そして、切欠領域 A 1 と切欠領域 A 2 とは、長さ L に亘り、互いに対向し合うように設けられている。

【 0 0 2 5 】

図 3 は、実施の形態 1 の比較例に係る S R A M セルの 2 つの負荷トランジスタの拡大図である。図 3 に示した比較例では、P 型拡散領域 PD 1 1 1、PD 1 2 1 の幅は $W 1$ で一定である。そのため、P 型拡散領域 PD 1 1 1 の端から P 型拡散領域 PD 1 2 1 の端までの距離は、 $2 \times W 1 + D 1$ となる。図 2 に示した本実施の形態に係る S R A M では、P 型拡散領域 PD 1 1、PD 2 1 に少なくとも一部が互いに対向し合うように設けられた幅 $W 1 - W 2$ の切欠領域 A 1 と切欠領域 A 2 が形成されている。そのため、図 2 では P 型拡散領域 PD 1 1 の端から P 型拡散領域 PD 2 1 の端までの距離が $W 1 + W 2 + D 1$ となり、図 3 に示した比較例に比べ、切欠領域 A 1、A 2 の幅 $W 1 - W 2$ だけ小さくすることができる。従って、メモリセルを微細化することができる。ここで、P 型拡散領域 PD 1 1 と N 型拡散領域 ND 1 1 との間隔である P N 分離幅に何ら影響を与えることなく、メモリセルを微細化することができる。同様に、P 型拡散領域 PD 2 1 と N 型拡散領域 ND 2 1 との間隔である P N 分離幅にも何ら影響を与えることなく、メモリセルを微細化することができる。

10

【 0 0 2 6 】

更に、P 型拡散領域 PD 1 1 及び PD 1 2 と、P 型拡散領域 PD 2 1 及び PD 2 2 とが、いずれも直線状に形成されているため、寸法ばらつきが小さい。また、N 型拡散領域 ND 1 1、ND 1 2 a、ND 1 2 b と、N 型拡散領域 ND 2 1、ND 2 2 a、ND 2 2 b とが、いずれも直線状に形成されているため、寸法ばらつきが小さい。また、全てのゲート電極 G 1 ~ G 4 も直線状に形成されているため、寸法ばらつきが小さい。

20

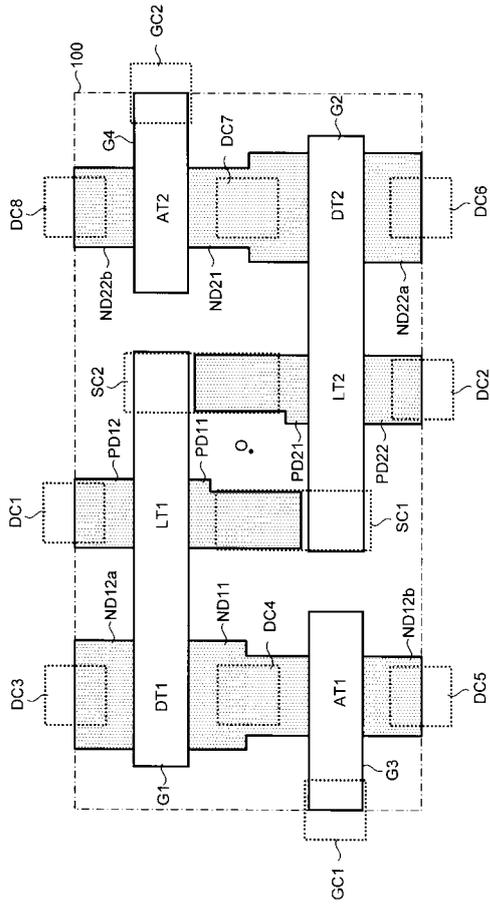
【 符号の説明 】

【 0 0 2 7 】

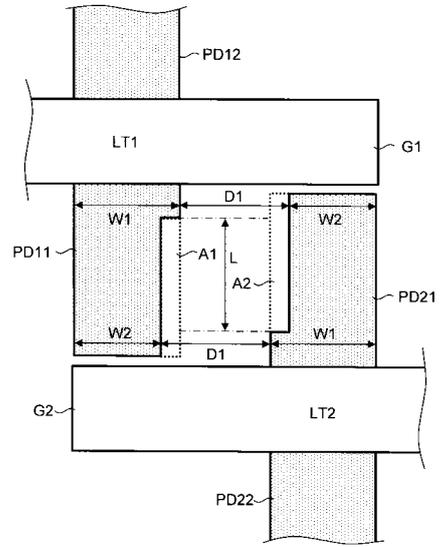
1 0 0 単位メモリセル
 A 1、A 2 切欠領域
 A T 1、A T 2 アクセストランジスタ
 D C 1 ~ D C 8 拡散領域コンタクト
 D T 1、D T 2 駆動トランジスタ
 G 1 ~ G 4 ゲート電極
 G C 1、G C 1 ゲートコンタクト
 L T 1、L T 2 負荷トランジスタ
 N D 1 1、N D 1 2 a、N D 1 2 b N 型拡散領域
 N D 2 1、N D 2 2 a、N D 2 2 b N 型拡散領域
 P D 1 1、P D 1 2、P D 2 1 P 型拡散領域
 S C 1、S C 2 共通コンタクト

30

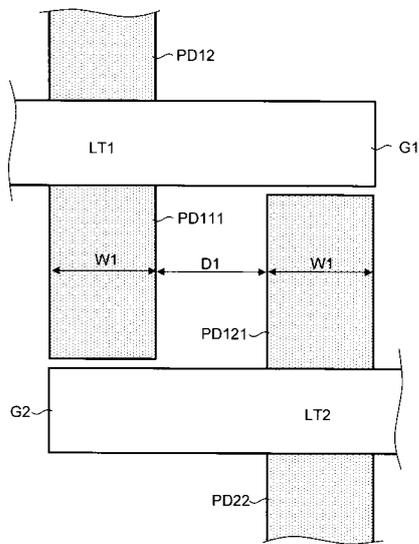
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

