

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6478884号  
(P6478884)

(45) 発行日 平成31年3月6日(2019.3.6)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 M			
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T			
HO 1 L 29/872 (2006.01)	HO 1 L 29/78	6 5 3 A			
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 5 7 D			
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 5 2 D			
請求項の数 20 (全 20 頁) 最終頁に続く					

(21) 出願番号 特願2015-179039 (P2015-179039)  
 (22) 出願日 平成27年9月11日(2015.9.11)  
 (65) 公開番号 特開2017-55005 (P2017-55005A)  
 (43) 公開日 平成29年3月16日(2017.3.16)  
 審査請求日 平成30年2月6日(2018.2.6)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100119035  
 弁理士 池上 徹真  
 (74) 代理人 100141036  
 弁理士 須藤 章  
 (74) 代理人 100088487  
 弁理士 松山 允之  
 (72) 発明者 清水 達雄  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 飯島 良介  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の面と第2の面とを有するSiC層と、  
 前記SiC層内に設けられたn型の第1のSiC領域と、  
 前記第1のSiC領域と前記第1の面との間に設けられた複数のp型の第2のSiC領域と、  
 前記第2のSiC領域と前記第1の面との間に設けられた複数のn型の第3のSiC領域と、  
 前記複数のp型の第2のSiC領域の内の2つのp型の第2のSiC領域の間に設けられたゲート電極と、  
 前記ゲート電極と、前記第1のSiC領域及び前記第2のSiC領域との間に設けられ、  
 前記第1のSiC領域及び前記第2のSiC領域に接するゲート絶縁膜と、  
 前記第1のSiC領域に接し、仕事関数が6.5eV以上の金属層と、  
 前記金属層に電氣的に接続された第1の電極と、  
 前記第2の面に設けられた第2の電極と、  
 を備え、  
 前記ゲート絶縁膜と前記金属層との間に、前記第1のSiC領域の一部が挟まれる半導体装置。

【請求項2】

前記金属層は、p型不純物の濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上のSiCを含む請求項1

記載の半導体装置。

【請求項 3】

前記 p 型不純物は、アルミニウム ( Al )、ガリウム ( Ga ) 及びインジウム ( In ) から選ばれた少なくとも一つである請求項 2 記載の半導体装置。

【請求項 4】

前記 SiC は、3C-SiC を含む請求項 2 記載の半導体装置。

【請求項 5】

前記金属層と前記第 1 の SiC 領域との間の接合は、ショットキー接合である請求項 1 乃至請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記金属層と前記第 2 の SiC 領域との間に、前記第 2 の SiC 領域よりも p 型不純物濃度の高い p 型の第 4 の SiC 領域を更に備え、前記金属層が前記第 4 の SiC 領域に接する請求項 1 乃至請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記金属層の前記第 2 の面側の端部と前記第 1 の SiC 領域との間に、p 型の第 5 の SiC 領域を、更に備える請求項 1 乃至請求項 6 いずれか一項記載の半導体装置。

【請求項 8】

前記金属層の前記第 2 の面側の端部の深さが、前記第 2 の面側の端部よりも深い請求項 1 乃至請求項 7 いずれか一項記載の半導体装置。

【請求項 9】

前記ゲート電極は、アルミニウム ( Al )、ガリウム ( Ga ) 及びインジウム ( In ) から選ばれた少なくとも一つを含む 3C-SiC を含む請求項 1 乃至請求項 8 いずれか一項記載の半導体装置。

【請求項 10】

前記ゲート電極は第 1 の金属膜と第 2 の金属膜とを備え、前記第 1 の金属膜が前記金属層と略同一の材料、且つ、略同一の膜厚である請求項 1 乃至請求項 9 いずれか一項記載の半導体装置。

【請求項 11】

第 1 の面と第 2 の面とを有し、前記第 1 の面に設けられた第 1 のトレンチ及び第 2 のトレンチを有する SiC 層と、

前記 SiC 層内に設けられた n 型の第 1 の SiC 領域と、

前記第 1 の SiC 領域と前記第 1 の面との間に設けられた p 型の第 2 の SiC 領域と、

前記第 2 の SiC 領域と前記第 1 の面との間に設けられた n 型の第 3 の SiC 領域と、

前記第 1 のトレンチ内に設けられ、前記第 1 の SiC 領域及び前記第 2 の SiC 領域に接するゲート絶縁膜と、

前記第 1 のトレンチ内に設けられ、前記ゲート絶縁膜に接するゲート電極と、

前記第 2 のトレンチ内に設けられ、前記第 1 の SiC 領域に接し、仕事関数が 6.5 eV 以上の金属層と、

前記金属層に電氣的に接続された第 1 の電極と、

前記第 2 の面に設けられた第 2 の電極と、

を備える半導体装置。

【請求項 12】

前記金属層は、p 型不純物の濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  以上の SiC を含む請求項 1 1 記載の半導体装置。

【請求項 13】

前記 p 型不純物は、アルミニウム ( Al )、ガリウム ( Ga ) 及びインジウム ( In ) から選ばれた少なくとも一つである請求項 1 2 記載の半導体装置。

【請求項 14】

前記 SiC は、3C-SiC を含む請求項 1 2 記載の半導体装置。

【請求項 15】

10

20

30

40

50

前記金属層と前記第1のSiC領域との間の接合は、ショットキー接合である請求項1乃至請求項14いずれか一項記載の半導体装置。

【請求項16】

前記金属層と前記第2のSiC領域との間に、前記第2のSiC領域よりもp型不純物濃度の高いp型の第4のSiC領域を更に備え、前記金属層が前記第4のSiC領域に接する請求項1乃至請求項15いずれか一項記載の半導体装置。

【請求項17】

前記第2のトレンチの底部と前記第1のSiC領域との間に、p型の第5のSiC領域を、更に備える請求項1乃至請求項16いずれか一項記載の半導体装置。

【請求項18】

前記第2のトレンチの深さが、前記第1のトレンチの深さよりも深い請求項1乃至請求項17いずれか一項記載の半導体装置。

【請求項19】

前記ゲート電極は、アルミニウム(Al)、ガリウム(Ga)及びインジウム(In)から選ばれた少なくとも一つを含む3C-SiCを含む請求項1乃至請求項18いずれか一項記載の半導体装置。

【請求項20】

前記ゲート電極は第1の金属膜と第2の金属膜とを備え、前記第1の金属膜が前記金属層と略同一の材料、且つ、略同一の膜厚である請求項1乃至請求項19いずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料としてSiC(炭化珪素)が期待されている。SiCはSi(シリコン)と比較して、バンドギャップが3倍、破壊電界強度が約10倍、熱伝導率が約3倍と優れた物性を有する。この特性を活用すれば低損失かつ高温動作可能な半導体デバイスを実現することができる。

【0003】

SiCを用いたトランジスタでは、大電流を流すためにオン抵抗を低減することが望まれる。オン抵抗を低減する構造として、トレンチ内にゲート絶縁膜とゲート電極を設けたトレンチゲート構造の縦型トランジスタがある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-178536号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、低いオン抵抗を備える半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面と第2の面とを有するSiC層と、前記SiC層内に設けられたn型の第1のSiC領域と、前記第1のSiC領域と前記第1の面との間に設けられた複数のp型の第2のSiC領域と、前記第2のSiC領域と前記第1の面との間に設けられた複数のn型の第3のSiC領域と、前記複数のp型の第2のSiC領域の内の2つのp型の第2のSiC領域の間に設けられたゲート電極と、前記ゲート電極と、

10

20

30

40

50

前記第1のSiC領域及び前記第2のSiC領域との間に設けられ、前記第1のSiC領域及び前記第2のSiC領域に接するゲート絶縁膜と、前記第1のSiC領域に接し、仕事関数が $6.5\text{ eV}$ 以上の金属層と、前記金属層に電氣的に接続された第1の電極と、前記第2の面に設けられた第2の電極と、を備え、前記ゲート絶縁膜と前記金属層との間に、前記第1のSiC領域の一部が挟まれる。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置を示す模式断面図。

【図2】比較形態の半導体装置を示す模式断面図。

【図3】第1の実施形態の半導体装置の作用及び効果の説明図。

【図4】第3の実施形態の半導体装置を示す模式断面図。

【図5】第4の実施形態の半導体装置を示す模式断面図。

【図6】第5の実施形態の半導体装置を示す模式断面図。

【図7】第6の実施形態の半導体装置を示す模式断面図。

【図8】第7の実施形態の半導体装置を示す模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

また、以下の説明において、 $n^+$ 、 $n$ 、 $n^-$ 及び、 $p^+$ 、 $p$ 、 $p^-$ の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち $n^+$ は $n$ よりも $n$ 型の不純物濃度が相対的に高く、 $n^-$ は $n$ よりも $n$ 型の不純物濃度が相対的に低いことを示す。また、 $p^+$ は $p$ よりも $p$ 型の不純物濃度が相対的に高く、 $p^-$ は $p$ よりも $p$ 型の不純物濃度が相対的に低いことを示す。なお、 $n^+$ 型、 $n^-$ 型を単に $n$ 型、 $p^+$ 型、 $p^-$ 型を単に $p$ 型と記載する場合もある。

【0010】

本明細書中、「金属層」とは、導電性の不純物を高い濃度で含有することで金属状態になった半導体層も含む概念とする。ここで、金属状態になった半導体層とは、実質的にバンドギャップが存在しない状態の半導体層を意味する。例えば、多結晶3C-SiCに $p$ 型ドーパントであるアルミニウム(Al)を大量にドーピングすると、価電子帯に大量のホールが発生する。これにより金属的な電気特性を示すようになる。

【0011】

(第1の実施形態)

本実施形態の半導体装置は、第1の面と第2の面とを有するSiC層と、SiC層内に設けられた $n$ 型の第1のSiC領域と、第1のSiC領域と第1の面との間に設けられた複数の $p$ 型の第2のSiC領域と、第2のSiC領域と第1の面との間に設けられた複数の $n$ 型の第3のSiC領域と、複数の $p$ 型の第2のSiC領域の内の2つの $p$ 型の第2のSiC領域の間に設けられたゲート電極と、ゲート電極と、第1のSiC領域及び第2のSiC領域との間に設けられ、第1のSiC領域及び第2のSiC領域に接するゲート絶縁膜と、第1のSiC領域に接し、仕事関数が $6.5\text{ eV}$ 以上の金属層と、金属層に電氣的に接続された第1の電極と、第2の面に設けられた第2の電極と、を備え、ゲート絶縁膜と金属層との間に、第1のSiC領域の一部が挟まれる。

【0012】

本実施形態の半導体装置は、第1の面と第2の面を有し、第1の面に設けられた第1のトレンチ及び第2のトレンチを有するSiC層と、SiC層内に設けられた $n$ 型の第1のSiC領域と、第1のSiC領域と第1の面との間に設けられた $p$ 型の第2のSiC領域と、第2のSiC領域と第1の面との間に設けられた $n$ 型の第3のSiC領域と、第1のトレンチ内に設けられ、第1のSiC領域及び第2のSiC領域に接するゲート絶縁膜と

10

20

30

40

50

、第1のトレンチ内に設けられ、ゲート絶縁膜に接するゲート電極と、第2のトレンチ内に設けられ、第1のSiC領域に接し、仕事関数が6.5 eV以上の金属層と、金属層に電氣的に接続された第1の電極と、第2の面に設けられた第2の電極と、を備える。

【0013】

図1は、本実施形態の半導体装置であるMOSFETの構成を示す模式断面図である。MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 100は、例えば、ウェル領域とソース領域をイオン注入で形成する、Double Implantation MOSFET (DIMOSFET) である。MOSFET 100は、電子をキャリアとするn型のMOSFETである。また、MOSFET 100は、ゲート電極がトレンチ内に設けられたトレンチゲート構造のMOSFETである。

10

【0014】

MOSFET 100は、SiC層10、ソース電極(第1の電極)12、ドレイン電極(第2の電極)14、ゲート絶縁膜16、ゲート電極18、層間絶縁膜20を備える。SiC層10は、ドレイン領域22、ドリフト領域(n型の第1のSiC領域)24、ウェル領域(p型の第1のSiC領域)26、ソース領域(n型の第3のSiC領域)30、ウェルコンタクト領域(p型の第4のSiC領域)32、金属層40を備えている。SiC層10には、第1のトレンチ50と第2のトレンチ60が設けられている。

【0015】

SiC層10は、例えば、4H-SiCである。

20

【0016】

SiCは、複数の結晶形をとり得る。例えば、六方晶系の4H-SiC、六方晶系の6H-SiC、立方晶系の3C-SiC等である。SiCの結晶形は、例えば、TEM (Transmission Electron Microscope) で原子の配列を観察することにより同定することが可能である。また、SiCの結晶形は、例えば、XRD (X-ray Diffraction) により同定することが可能である。

【0017】

SiC層10は、第1の面と第2の面を有する。図1においては、第1の面とは図の上側の面であり、第2の面とは図の下側の面である。以下、第1の面を表面、第2の面を裏面と称する。

30

【0018】

第1の面が(0001)面に対し0度以上8度以下傾斜した面、第2の面が(000-1)面に対し0度以上8度以下傾斜した面である場合を例に説明する。(0001)面はシリコン面と称される。(000-1)面はカーボン面と称される。

【0019】

ドレイン領域22は、n<sup>+</sup>型のSiCである。ドレイン領域22は、例えば、窒素(N)をn型不純物として含む。ドレイン領域22のn型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0020】

ドレイン電極14とドレイン領域22との間のコンタクト抵抗を低減する観点から、ドレイン領域22の第2の面におけるn型不純物の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることが望ましく、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることがより望ましい。

40

【0021】

ドリフト領域24は、ドレイン領域22上に設けられる。ドリフト領域24は、例えば、ドレイン領域22上にエピタキシャル成長により形成されたn<sup>-</sup>型のSiCである。ドリフト領域24の厚さは、例えば、5 μm以上150 μm以下である。

【0022】

ドリフト領域24は、例えば、窒素(N)をn型不純物として含む。ドリフト領域24のn型不純物の濃度は、例えば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。

50

## 【 0 0 2 3 】

ウェル領域 2 6 は、第 1 の面とドリフト領域 2 4 との間に複数設けられる。ウェル領域 2 6 は、ドリフト領域 2 4 上に設けられる。ウェル領域 2 6 は、p 型の S i C である。ウェル領域 2 6 は、ソース領域 3 0 とドリフト領域 2 4 との間に設けられる。ウェル領域 2 6 は、M O S F E T 1 0 0 のチャンネル領域として機能する。

## 【 0 0 2 4 】

ウェル領域 2 6 は、例えば、アルミニウム ( A l ) を p 型不純物として含む。ウェル領域 2 6 の p 型不純物の濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$  以上  $1 \times 10^{18} \text{ cm}^{-3}$  以下である。ウェル領域 2 6 の深さは、例えば、 $0.4 \mu\text{m}$  以上  $0.8 \mu\text{m}$  以下である。

## 【 0 0 2 5 】

ソース領域 3 0 は、第 1 の面とウェル領域 2 6 との間に複数設けられる。ソース領域 3 0 は、ウェル領域 2 6 上に設けられる。ソース領域 3 0 は、 $n^+$  型の S i C である。ソース領域 3 0 は、例えば、窒素 ( N ) を n 型不純物として含む。ソース領域 3 0 の n 型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$  以上  $1 \times 10^{21} \text{ cm}^{-3}$  以下である。

## 【 0 0 2 6 】

ソース電極 1 2 とソース領域 3 0 との間のコンタクト抵抗を低減する観点から、ソース領域 3 0 の第 1 の面における n 型不純物の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$  以上であることが望ましく、 $1 \times 10^{20} \text{ cm}^{-3}$  以上であることがより望ましい。

## 【 0 0 2 7 】

ソース領域 3 0 の深さは、ウェル領域 2 6 の深さよりも浅く、例えば、 $0.2 \mu\text{m}$  以上  $0.4 \mu\text{m}$  以下である。

## 【 0 0 2 8 】

ウェルコンタクト領域 3 2 は、金属層 4 0 とウェル領域 2 6 との間に設けられる。ウェルコンタクト領域 3 2 は、 $p^+$  型の S i C である。ウェルコンタクト領域 3 2 は、例えば、アルミニウム ( A l ) を p 型不純物として含む。

## 【 0 0 2 9 】

ウェルコンタクト領域 3 2 の p 型不純物の濃度は、ウェル領域 2 6 の p 型不純物濃度よりも高い。ウェルコンタクト領域 3 2 の p 型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$  以上  $1 \times 10^{21} \text{ cm}^{-3}$  以下である。

## 【 0 0 3 0 】

ゲート絶縁膜 1 6 は、S i C 層 1 0 の第 1 の面に設けられた第 1 のトレンチ 5 0 内に設けられる。ゲート絶縁膜 1 6 は、ゲート電極 1 8 と、ドリフト領域 2 4 及びウェル領域 2 6 との間に設けられる。ゲート絶縁膜 1 6 は、ドリフト領域 2 4、ウェル領域 2 6、及び、ソース領域 3 0 に接する。

## 【 0 0 3 1 】

ゲート絶縁膜 1 6 には、例えば、酸化シリコンや、h i g h - k 材料が適用可能である。h i g h - k 材料は、例えば、酸化ハフニウムや酸化ジルコニウムである。

## 【 0 0 3 2 】

ゲート電極 1 8 は、第 1 のトレンチ 5 0 内に設けられる。ゲート電極 1 8 は、ゲート絶縁膜 1 6 に接する。ゲート電極 1 8 は、複数のウェル領域 2 6 の内の 2 個のウェル領域 2 6 に設けられる。

## 【 0 0 3 3 】

ゲート電極 1 8 は、例えば、n 型不純物を含む多結晶シリコンである。n 型不純物は、例えば、リン ( P ) 又はヒ素 ( A s ) である。

## 【 0 0 3 4 】

層間絶縁膜 2 0 は、ゲート電極 1 8 上に設けられる。層間絶縁膜 2 0 は、例えば、シリコン酸化膜である。

## 【 0 0 3 5 】

ゲート電極 1 8 下のソース領域 3 0 とドリフト領域 2 4 とに挟まれるウェル領域 2 6 が、M O S F E T 1 0 0 のチャンネル領域として機能する。

10

20

30

40

50

## 【0036】

金属層40は、SiC層10の第1の面に設けられた第2のトレンチ60内に設けられる。金属層40は、ゲート絶縁膜16との間に、ドリフト領域24を間に挟んで設けられる。第2のトレンチ60の深さは、例えば、第1のトレンチ50の深さよりも深い。言い換えれば、金属層40のSiC層10の裏面側の端部の位置が、ゲート絶縁膜16の裏面側の端部の位置よりも深い。

## 【0037】

金属層40は、ドリフト領域24、ウェルコンタクト領域32、及び、ソース領域30に接する。金属層40とドリフト領域24との間の接合は、ショットキー接合である。金属層40とドリフト領域24との間の接合がショットキー接合であるか否かは、MOSFET100がオフ状態でのソース電極12とドレイン電極14間の電圧-電流特性を測定することで判定が可能である。

10

## 【0038】

金属層40とウェルコンタクト領域32との間の接合は、オーミック接合であることが望ましい。

## 【0039】

金属層40の仕事関数は、6.5 eV以上である。金属層40の仕事関数は、6.8 eV以上であることが望ましく、6.86 eV以上であることがより望ましい。

## 【0040】

金属層40は、例えば、p型不純物を含む3C-SiCである。金属層40は、単結晶又は多結晶の3C-SiCである。金属層40の3C-SiCは金属状態である。

20

## 【0041】

金属層40の3C-SiCが金属状態であるか否かは、例えば、電気特性の温度依存性を測定すれば分かる。また、仕事関数に関しては、例えば、ケルビンプローブフォース顕微鏡(KPFM)の測定で判定することが可能である。仕事関数については、上記のように、金属層40とドリフト領域24との間のショットキー接合の高さを測定することでも、算出可能である。

## 【0042】

金属層40中に存在するSiCが、実質的に全て3C-SiCであることが望ましい。例えば、XRD法により、3C-SiC以外の結晶形の結晶面に起因する回折ピークがノイズレベル以下であれば、3C-SiC以外の結晶形が存在しないと判定する。

30

## 【0043】

金属層40中に存在するSiCのうち、3C-SiCの占める体積割合が、90%以上であることが望ましい。例えば、TEMで取得された画像内で、3C-SiCである結晶粒の占有面積をカウントすることで、3C-SiCの占める体積割合が、90%以上であるか否かを判定することが可能である。

## 【0044】

金属層40中に存在するSiCのうち、3C-SiCの占める体積が、4H-SiCの占める体積よりも大きいことが望ましい。例えば、TEMで取得された画像内で、3C-SiCである結晶粒の占有面積と、4H-SiCである結晶粒の占有面積と、をカウントすることで、3C-SiCの占める体積が、4H-SiCの占める体積よりも大きいかが判定できる。

40

## 【0045】

金属層40に含まれるp型不純物は、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)又はインジウム(In)である。金属層40中のp型不純物の濃度は、金属層40の3C-SiCを金属状態にする観点から、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが望ましく、 $1 \times 10^{21} \text{ cm}^{-3}$ 以上であることがより望ましい。

## 【0046】

金属層40の3C-SiCは、例えば、1200 以下の温度でのCVD(Chemical Vapor Deposition)法により形成される。不純物としては、例

50

えば、トリメチル構造（トリメチルボロン、トリメチルアルミニウム、トリメチルガリウム、トリメチルインジウム）にて導入すればよい。1200 以下の低温成長では、3C-SiC構造が優先的に成長するため、4H-SiCとの界面では、界面の滑りが発生しながら、3C-SiC結晶化が進む。こうして、単結晶、もしくは、多結晶の、大量のp型ドーパントの導入された、金属化され、かつ一様な3C-SiCが形成できる。

【0047】

その他、成膜方法として、ポリシリコン膜を堆積し、トリメチルアルミニウムによりドーパした上で炭化する方法も有効である。ポリシリコン膜の炭化は、例えば、エタン(C<sub>2</sub>H<sub>6</sub>)、エチレン(C<sub>2</sub>H<sub>4</sub>)又はアセチレン(C<sub>2</sub>H<sub>2</sub>)を含む雰囲気中で、1000 以上1200 以下の熱処理により行う。例えば、エタン(C<sub>2</sub>H<sub>6</sub>)、エチレン(C<sub>2</sub>H<sub>4</sub>)又はアセチレン(C<sub>2</sub>H<sub>2</sub>)のプラズマを含む雰囲気中で、熱処理を行う。この結果、SiC構造のポリタイプの中、この温度帯で最も安定な3C構造のポリSiCが得られる。

10

【0048】

ソース電極12は、SiC層10の表面に設けられる。ソース電極12は、ソース領域30と、金属層40とに電氣的に接続される。ソース電極12は、ソース領域30と金属層40に接する。ソース電極12は、ウェル領域26に電位を与える機能も備える。

【0049】

ソース電極12は、金属である。ソース電極12を形成する金属は、例えば、チタン(Ti)とアルミニウム(Al)の積層構造である。ソース電極12を形成する金属は、SiC層10と反応して金属シリサイドや金属カーバイドを形成しても構わない。

20

【0050】

ドレイン電極14は、SiC層10の裏面に設けられる。ドレイン電極14は、ドレイン領域22と電氣的に接続される。ドレイン電極14は、ドレイン領域22に接する。

【0051】

ドレイン電極14は、金属である。ドレイン電極14を形成する金属は、例えば、ニッケルシリサイド(NiSi)である。

【0052】

以下、本実施形態の半導体装置の作用及び効果について説明する。

【0053】

本実施形態のMOSFET100のように、トレンチゲート構造を採用することにより、縦型MOSFETのユニットセルの面積が縮小できる。したがって、単位面積あたりに流せる電流量が増大し、MOSFETのオン抵抗が低減する。しかし、MOSFET100のオフ状態で、第1のトレンチ50底部の角部に電界が集中し、ゲート絶縁膜16が破壊する恐れがある。

30

【0054】

図2は、比較形態のMOSFETの構成を示す模式断面図である。比較形態のMOSFET900も、本実施形態同様、トレンチゲート構造の縦型MOSFETである。

【0055】

MOSFET900は、第2のトレンチ60の周囲に、p型のSiC領域34を備える。p型のSiC領域34は、ウェル領域32に接続される。また、第2のトレンチ60の底部に、ウェルコンタクト領域26が設けられる。

40

【0056】

MOSFET900のオフ状態では、p型のSiC領域34から第1のトレンチ50に向けて、ドリフト領域24に空乏層が伸びる。このため、第1のトレンチ50底部の角部の電界が緩和される。したがって、ゲート絶縁膜16の破壊が抑制される。

【0057】

もっとも、p型のSiC領域34の幅(図2中のW)は、p型のSiC領域34に伸びる空乏層が、第2のトレンチ60内のアノード電極12にかからないよう所定の幅が必要である。p型のSiC領域34が所定の幅を備えることで、pn接合の耐圧が維持される

50

## 【 0 0 5 8 】

また、例えば、p型のSiC領域34の形成は、第2のトレンチ60形成後、p型の不純物を第2のトレンチ60側面に斜めイオン注入することにより形成する。この場合、p型不純物が十分な量、第2のトレンチ60側面のSiC層10内に導入されるように、第2のトレンチ60の間口の幅を広くする必要がある。このため、MOSFET900のユニットセルのピッチ(図2中の $L_2$ )が大きくなる。MOSFET900のユニットセルのピッチが大きくなると、MOSFET900のオン抵抗が増大する。

## 【 0 0 5 9 】

本実施形態では、第2のトレンチ60内に、仕事関数が6.5eV以上の金属層40を設ける。金属層40とn型のドリフト領域24との間の接合は、ショットキー接合となる。MOSFET900のオフ状態では、金属層40から第1のトレンチ50に向けて、ドリフト領域24に空乏層が伸びる。このため、比較形態同様、第1のトレンチ50底部の角部の電界が緩和される。したがって、ゲート絶縁膜16の破壊が抑制される。

10

## 【 0 0 6 0 】

本実施形態では、比較形態のp型のSiC領域34にかえて、金属層40を設ける。第2のトレンチ60の周囲に、電界緩和のためのp型のSiC領域を設けることが不要となる。また、金属層40の幅は電気抵抗のみで決まり、p型のSiC領域の幅Wよりも十分に狭くすることが可能である。また、第2のトレンチ60の間口の幅は、比較形態のような斜めイオン注入に伴う制約を受けない。したがって、MOSFET100のユニットセルのピッチ(図1中の $L_1$ )を、MOSFET900のユニットセルのピッチ(図2中の $L_2$ )よりも小さくすることが出来る。よって、MOSFET100のオン抵抗が、MOSFET900と比較して低減する。

20

## 【 0 0 6 1 】

MOSFET100のオフ状態での耐圧を確保するためには、金属層40とn型のドリフト領域24との間の接合のショットキー障壁が高いことが必要となる。すなわち、仕事関数の大きい材料である必要がある。また、金属層40とp型のウェルコンタクト領域26とのコンタクト抵抗を低減させる観点からも、仕事関数の大きい材料であることが必要となる。

## 【 0 0 6 2 】

図3は、本実施形態の半導体装置の作用及び効果の説明図である。図3は、第1原理計算による半導体のエネルギーバンド構造の計算結果を示す。

30

## 【 0 0 6 3 】

図3は、シリコン(Si)、4H-SiC、6H-SiC、3C-SiCのエネルギーバンド構造を示す図である。それぞれの材料の真空準位と伝導帯下端とのエネルギー差(電子親和力)、真空準位と価電子帯上端とのエネルギー差、バンドギャップエネルギーを示す。図中、括弧内の数値がバンドギャップエネルギーである。

## 【 0 0 6 4 】

なお、仕事関数とは、真空準位(真空のエネルギーレベル)と、対象となる物質のフェルミ準位(フェルミレベル)とのエネルギー差である。また電子親和力とは、真空準位(真空のエネルギーレベル)と、対象となる物質の伝導帯下端のエネルギー準位(エネルギーレベル)との差である。

40

## 【 0 0 6 5 】

また、半導体にn型不純物を導入して金属状態にする場合、半導体のフェルミレベルが伝導帯下端のエネルギーレベルに一致するとみなせる。このため、半導体の仕事関数が電子親和力と一致すると見なすことが可能である。また、半導体にp型不純物を導入して金属状態にする場合、半導体のフェルミレベルが価電子帯上端のエネルギーレベルに一致するとみなせる。このため、半導体の仕事関数が真空準位と価電子帯上端とのエネルギー差と一致すると見なすことが可能である。

## 【 0 0 6 6 】

50

図3に示されるように、4H-SiCの電子親和力は、3.60 eVである。金属層40とn型のドリフト領域24との間の接合のショットキー障壁を十分高くするには、3.60 eVに対し、十分に大きな仕事関数を有する材料を金属層40に用いる必要がある。また、4H-SiCの真空準位と価電子帯上端とのエネルギー差は、6.86 eVである。したがって、金属層40とp型のウェルコンタクト領域26とのコンタクト抵抗を低減させる観点からは、6.50 eV以上、望ましくは6.8 eV以上、より望ましくは6.86 eV以上の仕事関数を有する材料を金属層40に用いる必要がある。

【0067】

例えば、4H-SiCにp型不純物を導入して金属状態にした場合、4H-SiCの仕事関数は、6.86 eVとなる。したがって、金属状態の4H-SiCを金属層40に適用することが可能である。

10

【0068】

本実施形態は、金属層40にp型不純物を導入して金属状態にした3C-SiCを適用する。図3に示すように、第1原理計算により、3C-SiCと4H-SiCは、価電子帯上端のエネルギーレベルが一致することが明らかになった。したがって、金属層40に金属状態の3C-SiCを適用した場合も、金属層40とn型のドリフト領域24との間の接合のショットキー障壁が十分高くなる。また、金属層40とp型のウェルコンタクト領域26とのコンタクト抵抗が低減する。

【0069】

4H-SiCにp型不純物を導入して活性化する場合、1600 以上の熱処理が必要となる。例えば、ゲート絶縁膜16を形成した後、1600 以上の熱処理を行うとゲート絶縁膜16の品質が劣化し、MOSFET100の信頼性が低下する恐れがある。

20

【0070】

しかも、トレンチの側面と底面とでは面方位が異なるため、4H-SiCをエピタキシャル成長させると不連続な成長となってしまう。またトレンチ内部での成長では、ステップによる下地情報を得ている従来の成長などと違って、基板情報を反映出来ない状況であり、下地情報から4H構造だけに限定することは困難である。高温では、3C構造、6H構造、4H構造などが適当に混ざり合った状態となる。本実施形態では、低温成長にすることで3C構造が主になるようする。

【0071】

3C-SiCは、4H-SiCや6H-SiC等の結晶形よりも低温で安定な結晶形である。3C-SiCは、最高到達温度が1200 以下の低温で結晶形成、p型不純物の活性化が可能である。しかも、この温度では、最も安定な構造である3C構造が一様に形成されると期待できる。

30

【0072】

したがって、本実施形態によれば、MOSFET100の信頼性の低下を抑制することが可能となる。

【0073】

なお、金属層40に含まれるp型不純物はアルミニウム(Al)であることが望ましい。アルミニウム(Al)を含むSiCの形成は、SiCを堆積するCVDの際に、トリメチルアルミニウムを原料ガスとして用いることで容易に実現が可能である。

40

【0074】

金属層40中に存在するSiCのうち、3C-SiCの占める体積割合が、90%以上であることが望ましい。更に、金属層40中に存在するSiCが、実質的に全て3C-SiCであることが望ましい。4H-SiC等、その他の結晶形が混在すると、金属層40の抵抗が増大する恐れがある。抵抗の増大は、異なる結晶形の境界部が高抵抗になるためと考えられる。

【0075】

金属層40とn型のドリフト領域24との間のショットキー接合の逆バイアス時のリーク電流を抑制する観点から、金属層40は単結晶であることが望ましい。

50

## 【0076】

第2のトレンチ60の深さは、第1のトレンチ50の深さよりも深いことが望ましい。第2のトレンチ60の深さが、第1のトレンチ50の深さよりも深いことで、第1のトレンチ50底部の角部の電界の緩和効果が大きくなる。

## 【0077】

以上、本実施形態によれば、低いオン抵抗を備えるMOSFET100が実現される。また、信頼性の向上したMOSFET100が実現される。

## 【0078】

(第2の実施形態)

本実施形態の半導体装置は、ゲート電極の材料に、p型不純物を含む3C-SiCを適用する以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については記述を省略する。

## 【0079】

図1を参照しつつ、本実施形態のMOSFETについて説明する。

## 【0080】

本実施形態のMOSFETのゲート電極18は、p型不純物を含む3C-SiCである。ゲート電極18は、多結晶の3C-SiCである。

## 【0081】

ゲート電極18中に存在するSiCが、実質的に全て3C-SiCであることが望ましい。例えば、XRD法により、3C-SiC以外の結晶形の結晶面に起因する回折ピークがノイズレベル以下であれば、3C-SiC以外の結晶形が存在しないと判定する。

## 【0082】

ゲート電極18中に存在するSiCのうち、3C-SiCの占める体積割合が、90%以上であることが望ましい。例えば、TEMで取得された画像内で、3C-SiCである結晶粒の占有面積をカウントすることで、3C-SiCの占める体積割合が、90%以上であるか否かを判定することが可能である。

## 【0083】

ゲート電極18中に存在するSiCのうち、3C-SiCの占める体積が、4H-SiCの占める体積よりも大きいことが望ましい。例えば、TEMで取得された画像内で、3C-SiCである結晶粒の占有面積と、4H-SiCである結晶粒の占有面積と、をカウントすることで、3C-SiCの占める体積が、4H-SiCの占める体積よりも大きいか否かを判定できる。

## 【0084】

ゲート電極18に含まれるp型不純物は、アルミニウム(Al)、ガリウム(Ga)又はインジウム(In)である。ゲート電極18中のp型不純物の濃度は、ゲート電極18の3C-SiCを金属状態にする観点から、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることが望ましく、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることがより望ましく、 $1 \times 10^{21} \text{ cm}^{-3}$ 以上であることがさらに望ましい。

## 【0085】

以下、本実施形態の半導体装置の作用及び効果について説明する。

## 【0086】

MOSFETのオフ状態でのリーク電流を抑制することが、低消費電力のデバイスを実現する観点から要求される。MOSFETのオフ状態でのリーク電流を抑制するには、MOSFETの閾値電圧を高くすれば良い。

## 【0087】

n型のMOSFETの閾値電圧を上げるために、p型のチャネル領域の半導体の価電子帯の上端のエネルギーレベルと、ゲート電極の仕事関数を近づけることが考えられる。MOSFETのオフ状態では、p型のチャネル領域のフェルミレベルと、ゲート電極の仕事関数が一致するように半導体のエネルギーバンドが曲がる。p型のチャネル領域のフェルミレベルは、p型のチャネル領域の半導体の価電子帯の上端に近い位置にある。このため

10

20

30

40

50

、p型のチャネル領域の半導体の価電子帯の上端のエネルギーレベルと、ゲート電極の仕事関数を近づけることにより、MOSFETのオフ状態での半導体のエネルギーバンドの曲りが抑制される。したがって、MOSFETの閾値電圧が高くなる。

【0088】

例えば、p型のチャネル領域が4H-SiCの場合、n型のシリコンをゲート電極に用いるよりも、p型のシリコンをゲート電極に用いる方が、MOSFETの閾値電圧は高くなる。図3に示すように、p型のシリコンの仕事関数（真空準位と価電子帯上端とのエネルギー差）が、n型のシリコンの仕事関数（真空準位と伝導帯下端とのエネルギー差（電子親和力））よりも、4H-SiCの半導体の価電子帯の上端のエネルギーレベルに近いからである。n型のシリコンをゲート電極にする場合と比較して、シリコンのバンドギャップエネルギーに相当する1.12V、閾値電圧を高くすることが可能である。

10

【0089】

更に、p型のチャネル領域が4H-SiCの場合、ゲート電極をp型の4H-SiCにすることにより、更に、閾値電圧を高くすることが可能である。p型の4H-SiCの仕事関数が、4H-SiCの半導体の価電子帯の上端のエネルギーレベルに一致するからである。n型のシリコンをゲート電極にする場合と比較して、2.81V閾値電圧を高くすることが可能である。

【0090】

本実施形態は、ゲート電極18にp型不純物を含むp型の3C-SiCを適用する。図3に示すように、第1原理計算により、3C-SiCと4H-SiCは、価電子帯上端のエネルギーレベルが一致することが明らかになった。したがって、ゲート電極にp型の3C-SiCを適用した場合も、例えば、第1の実施形態の場合のようにn型のシリコンをゲート電極にする場合と比較して、2.81V閾値電圧を高くすることが可能である。

20

【0091】

SiCのゲート電極18にp型不純物を含有させる場合、ゲート電極を形成する際の熱処理によるp型不純物の拡散が問題となる。また、ゲート電極を形成する際の熱処理によるゲート絶縁膜の品質の劣化が問題となる。

【0092】

例えば、4H-SiCにp型不純物を導入して活性化する場合、1600以上の熱処理が必要となる。高温の熱処理でp型不純物が、ゲート絶縁膜やSiC層に拡散する。拡散したp型不純物が、例えば、トラップ準位を形成してMOSFETの特性変動が生じ得る。MOSFETの特性変動は、例えば、閾値電圧の変動である。したがって、MOSFETの信頼性が低下する。特に、p型不純物が、原子半径が小さく拡散の速いボロン(B)の場合は、MOSFETの特性変動の問題が深刻になる。

30

【0093】

また、1600以上の熱処理を行うとゲート絶縁膜の品質が劣化し、MOSFETの信頼性が低下する恐れがある。

【0094】

3C-SiCは、4H-SiCや6H-SiC等の結晶形よりも低温で安定な結晶形である。3C-SiCは、最高到達温度が1200以下の低温で結晶形成、p型不純物の活性化が可能である。低温にて成膜すれば、3C構造が一番安定なポリタイプであり、下地の影響などを考えなくて良い多結晶であれば、殆どが3C構造に落ち着くと期待できる。つまり、結晶構造が一様な多結晶膜が形成可能である。他方、高温では、3C構造、6H構造、4H構造などが出来てしまい、結晶構造が一様な多結晶膜を形成することは困難である。

40

【0095】

本実施形態では、低温形成可能な3C-SiCをゲート電極18に適用する。これにより、ゲート電極18形成時のp型不純物の拡散が抑制される。また、ゲート絶縁膜16の品質の劣化も抑制される。よって、信頼性の向上したMOSFETが実現できる。

【0096】

50

ゲート電極 18 に導入する p 型不純物として、ボロン ( B ) よりも原子半径の大きい、アルミニウム ( Al )、ガリウム ( Ga ) 又はインジウム ( In ) を適用することで、p 型不純物の拡散が更に抑制される。したがって、更に、信頼性の向上した MOSFET が実現できる。

【 0097 】

ゲート電極 18 中に存在する SiC のうち、3C - SiC の占める体積割合が、90% 以上であることが望ましい。更に、ゲート電極 18 中に存在する SiC が、実質的に全て 3C - SiC であることが望ましい。4H - SiC 等、その他の結晶形が混在すると、ゲート電極 18 の抵抗が増大する恐れがある。抵抗の増大は、異なる結晶形の境界部が高抵抗になるためと考えられる。

10

【 0098 】

以上、本実施形態によれば、第 1 の実施形態同様、低いオン抵抗を備える MOSFET が実現される。また、信頼性の向上した MOSFET が実現される。更に、高い閾値電圧を有する MOSFET が実現される。

【 0099 】

( 第 3 の実施形態 )

本実施形態の半導体装置は、金属層の第 2 の面側の端部と第 1 の SiC 領域との間に、p 型の第 5 の SiC 領域を、更に備える点、ゲート絶縁膜の第 2 の面側の端部と第 1 の SiC 領域との間に、p 型の第 6 の SiC 領域を、更に備える点以外は、第 1 の実施形態と同様である。言い換えれば、本実施形態の半導体装置は、第 2 のトレンチの底部と第 1 の SiC 領域との間に、p 型の第 5 の SiC 領域を、更に備える点、第 1 のトレンチの底部と第 1 の SiC 領域との間に、p 型の第 6 の SiC 領域を、更に備える点以外は、第 1 の実施形態と同様である。したがって、第 1 の実施形態と重複する内容については記述を省略する。

20

【 0100 】

図 4 は、本実施形態の半導体装置である MOSFET の構成を示す模式断面図である。MOSFET 200 は、DIMOSFET である。MOSFET 200 は、電子をキャリアとする n 型の MOSFET である。また、MOSFET 200 は、ゲート電極がトレンチ内に設けられたトレンチゲート構造の MOSFET である。

【 0101 】

MOSFET 200 は、SiC 層 10、ソース電極 ( 第 1 の電極 ) 12、ドレイン電極 ( 第 2 の電極 ) 14、ゲート絶縁膜 16、ゲート電極 18、層間絶縁膜 20 を備えている。SiC 層 10 は、ドレイン領域 22、ドリフト領域 ( n 型の第 1 の SiC 領域 ) 24、ウェル領域 ( p 型の第 1 の SiC 領域 ) 26、ソース領域 ( n 型の第 3 の SiC 領域 ) 30、ウェルコンタクト領域 ( p 型の第 4 の SiC 領域 ) 32、金属層 40、アノード領域 ( p 型の第 5 の SiC 領域 ) 42、電界緩和領域 ( p 型の第 6 の SiC 領域 ) 44 を備えている。SiC 層 10 には、第 1 のトレンチ 50 と第 2 のトレンチ 60 が設けられている。

30

【 0102 】

アノード領域 42 は、第 2 のトレンチ 60 の底部の金属層 40 と、ドリフト領域 24 との間に設けられる。アノード領域 42 は、p<sup>+</sup> 型の SiC である。

40

【 0103 】

アノード領域 42 は、例えば、アルミニウム ( Al ) を p 型不純物として含む。アノード領域 42 の p 型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$  以上  $1 \times 10^{21} \text{ cm}^{-3}$  以下である。

【 0104 】

電界緩和領域 44 は、第 1 のトレンチ 50 底部のゲート絶縁膜 16 と、ドリフト領域 24 との間に設けられる。電界緩和領域 44 は、p<sup>+</sup> 型の SiC である。

【 0105 】

電界緩和領域 44 は、例えば、アルミニウム ( Al ) を p 型不純物として含む。電界緩

50

和領域 4 4 の p 型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$  以上  $1 \times 10^{21} \text{ cm}^{-3}$  以下である。

【0106】

ソース電極 1 2、金属層 4 0、アノード領域 4 2、ドリフト領域 2 4、ドレイン領域 2 2、ドレイン電極 1 4 が、PIN ダイオードを構成する。この PIN ダイオードは、いわゆるボディダイオードである。

【0107】

ソース電極 1 2 に、ドレイン電極 1 4 に対し相対的に正の電圧が印加された場合、ボディダイオードはオン状態となり、ソース電極 1 2 からドレイン電極 1 4 に、ソース電極 1 2 とドリフト領域 2 4 との界面を通して電流が流れる。一方、MOSFET 2 0 0 がオン状態、すなわち、ソース電極 1 2 に、ドレイン電極 1 4 に対し相対的に負の電圧が印加された場合、ボディダイオードはオフ状態となる。

10

【0108】

例えば、MOSFET 2 0 0 がインバータのスイッチングデバイスとして適用された場合、上記 PIN ダイオードにより、MOSFET 2 0 0 が大きな還流電流を流すことが可能なる。

【0109】

また、第 1 のトレンチ 5 0 の底部に、電界緩和領域 4 4 を設けることにより、第 1 のトレンチ 5 0 底部の角部の電界集中が更に緩和される。よって、ゲート絶縁膜 1 6 の破壊が、更に抑制される。

20

【0110】

以上、本実施形態によれば、第 1 の実施形態同様、低いオン抵抗を備える MOSFET 2 0 0 が実現される。また、更に、信頼性の向上した MOSFET 2 0 0 が実現される。また、大きな還流電流を流すことが可能な MOSFET 2 0 0 が実現される。

【0111】

(第 4 の実施形態)

本実施形態の半導体装置は、ダブルショットキーダイオードを備える点以外は、第 1 の実施形態と同様である。したがって、第 1 の実施形態と重複する内容については記述を省略する。

【0112】

図 5 は、本実施形態の半導体装置である MOSFET の構成を示す模式断面図である。MOSFET 3 0 0 は、DIMOSFET である。MOSFET 3 0 0 は、電子をキャリアとする n 型の MOSFET である。また、MOSFET 3 0 0 は、ゲート電極がトレンチ内に設けられたトレンチゲート構造の MOSFET である。

30

【0113】

MOSFET 3 0 0 は、SiC 層 1 0、ソース電極 (第 1 の電極) 1 2、ドレイン電極 (第 2 の電極) 1 4、ゲート絶縁膜 1 6、ゲート電極 1 8、層間絶縁膜 2 0 を備えている。SiC 層 1 0 は、ドレイン領域 2 2、ドリフト領域 (n 型の第 1 の SiC 領域) 2 4、ウェル領域 (p 型の第 1 の SiC 領域) 2 6、ソース領域 (n 型の第 3 の SiC 領域) 3 0、ウェルコンタクト領域 (p 型の第 4 の SiC 領域) 3 2、金属層 4 0 a、4 0 b を備えている。SiC 層 1 0 には、第 1 のトレンチ 5 0 と第 2 のトレンチ 6 0 a、6 0 b が設けられている。

40

【0114】

金属層 4 0 a は、第 2 のトレンチ 6 0 a 内に設けられる。金属層 4 0 b は、第 2 のトレンチ 6 0 b 内に設けられる。

【0115】

ソース電極 1 2、金属層 4 0 a、4 0 b、ドリフト領域 2 4、ドレイン領域 2 2、ドレイン電極 1 4 が、ダブルショットキーダイオードを構成する。このダブルショットキーダイオードは、いわゆるボディダイオードである。

【0116】

50

ソース電極 1 2 に、ドレイン電極 1 4 に対し相対的に正の電圧が印加された場合、ボディダイオードはオン状態となり、ソース電極 1 2 からドレイン電極 1 4 に、ソース電極 1 2 とドリフト領域 2 4 との界面を通過して電流が流れる。一方、MOSFET 3 0 0 がオン状態、すなわち、ソース電極 1 2 に、ドレイン電極 1 4 に対し相対的に負の電圧が印加された場合、ボディダイオードはオフ状態となる。この時、金属層 4 0 a 及び金属層 4 0 b から伸びる空乏層で、ソース電極 1 2 とドリフト領域 2 4 との界面が覆われる。したがって、ボディダイオードのリーク電流が低減する。

【 0 1 1 7 】

例えば、MOSFET 3 0 0 がインバータのスイッチングデバイスとして適用された場合、上記ダブルショットキーダイオードにより、MOSFET 3 0 0 が大きな還流電流を流すことが可能なる。

10

【 0 1 1 8 】

また、ダブルショットキーダイオードであるため、PINダイオードと比較してスイッチング速度が向上する。また、ショットキーダイオードと比較して、逆バイアス時のリーク電流が低減する。

【 0 1 1 9 】

なお、ダブルショットキーダイオードは、高いショットキーバリアを持つトレンチ電極が、低いショットキーバリアを持つ電極を取り囲むように形成する。トレンチ電極は、例えばライン状、四角形、六角形など様々な形状を有することが可能である。また、複数の高いショットキーバリアを持つ埋め込まれた金属領域が、分散してメッシュ状となっ

20

【 0 1 2 0 】

以上、本実施形態によれば、第 1 の実施形態同様、低いオン抵抗を備える MOSFET 3 0 0 が実現される。また、信頼性の向上した MOSFET 3 0 0 が実現される。また、大きな還流電流を流すことが可能な MOSFET 3 0 0 が実現される。

【 0 1 2 1 】

( 第 5 の実施形態 )

本実施形態の半導体装置は、第 2 のトレンチが金属層のみで埋め込まれている点以外は、第 1 の実施形態と同様である。したがって、第 1 の実施形態と重複する内容については記述を省略する。

30

【 0 1 2 2 】

図 6 は、本実施形態の半導体装置である MOSFET の構成を示す模式断面図である。MOSFET 4 0 0 は、DIMOSFET である。MOSFET 4 0 0 は、電子をキャリアとする n 型の MOSFET である。また、MOSFET 4 0 0 は、ゲート電極がトレンチ内に設けられたトレンチゲート構造の MOSFET である。

【 0 1 2 3 】

第 2 のトレンチ 6 0 内は、金属層 4 0 のみで埋め込まれている。第 2 のトレンチ 6 0 内は、金属層 4 0 のみであるため、MOSFET 4 0 0 のユニットセルのピッチ ( 図 6 中の  $L_1$  ) を、第 1 の実施形態の MOSFET 1 0 0 のユニットセルのピッチ ( 図 1 中の  $L_1$  ) よりも小さくすることが出来る。よって、MOSFET 4 0 0 のオン抵抗が、MOSFET 1 0 0 と比較して更に低減する。

40

【 0 1 2 4 】

以上、本実施形態によれば、第 1 の実施形態よりも、更に低いオン抵抗を備える MOSFET 4 0 0 が実現される。

【 0 1 2 5 】

( 第 6 の実施形態 )

本実施形態の半導体装置は、ゲート電極が第 1 の金属膜と第 2 の金属膜の積層構造である点で、第 2 の実施形態と異なる。したがって、第 2 の実施形態と重複する内容については記述を省略する。

【 0 1 2 6 】

50

図7は、本実施形態の半導体装置であるMOSFETの構成を示す模式断面図である。MOSFET500は、DIMOSFETである。MOSFET500は、電子をキャリアとするn型のMOSFETである。また、MOSFET500は、ゲート電極がトレンチ内に設けられたトレンチゲート構造のMOSFETである。

【0127】

ゲート電極18は、第1の金属膜18aと第2の金属膜18bとの積層構造を備える。第1の金属膜18aは、p型不純物を含む3C-SiCである。第2の金属膜18bは、例えば、窒化チタン(TiN)である。

【0128】

第1の金属膜18aは、金属層40と略同一の材料、且つ、略同一の膜厚を備える。

10

【0129】

MOSFET500を製造する際、例えば、ゲート絶縁膜16を形成した後、低温成長により金属層40を形成する際、第1の金属膜18aをゲート絶縁膜16上に同時形成する。3C-SiCは低温で形成可能であるため、ゲート絶縁膜16を形成した後に、金属層40と同時に第1の金属膜18aを形成することが可能である。

【0130】

以上、本実施形態によれば、第2の実施形態同様、低いオン抵抗を備えるMOSFETが実現される。また、信頼性の向上したMOSFETが実現される。更に、高い閾値電圧を有するMOSFETが実現される。

【0131】

20

(第7の実施形態)

本実施形態の半導体装置は、第2のトレンチ内にソース電極の一部が埋め込まれる以下は、第4の実施形態と同様である。

【0132】

図8は、本実施形態の半導体装置であるMOSFETの構成を示す模式断面図である。MOSFET600は、DIMOSFETである。MOSFET600は、電子をキャリアとするn型のMOSFETである。また、MOSFET600は、ゲート電極がトレンチ内に設けられたトレンチゲート構造のMOSFETである。

【0133】

金属層40aは、第2のトレンチ60a内に設けられる。金属層40bは、第2のトレンチ60b内に設けられる。

30

【0134】

第2のトレンチ60a内にソース電極12の一部が埋め込まれる。第2のトレンチ60b内にソース電極12の一部が埋め込まれる。

【0135】

本実施形態によれば、第4の実施形態同様、低いオン抵抗を備えるMOSFET600が実現される。また、信頼性の向上したMOSFET600が実現される。また、大きな還流電流を流すことが可能なMOSFET600が実現される。

【0136】

第1乃至第7の実施形態では、金属層40がp型不純物を含む金属状態の炭化珪素(SiC)の場合を例示したが、金属層40に、例えば、ボロン(B)を含む金属状態の多結晶ダイヤモンド、マグネシウム(Mg)を含む金属状態の多結晶窒化ガリウム、マグネシウム(Mg)を含む金属状態の多結晶窒化アルミニウムガリウム等、その他の材料を適用することも可能である。ボロン(B)を含む金属状態の多結晶ダイヤモンド、マグネシウム(Mg)を含む金属状態の多結晶窒化ガリウム、マグネシウム(Mg)を含む金属状態の多結晶窒化アルミニウムガリウムは、1000程度の低温のCVD法により成膜することが可能である。

40

【0137】

第1乃至第7の実施形態では、SiC層として4H-SiCの場合を例示したが、3C-SiC、6H-SiC等、その他の結晶形を用いることも可能である。

50

## 【 0 1 3 8 】

第1乃至第7の実施形態では、SiCのn型不純物として主に窒素(N)を例示したが、窒素(N)にかえて、リン(P)、砒素(As)、アンチモン(Sb)等を適用することも可能である。また、SiCのp型不純物として主にアルミニウム(Al)を例示したが、アルミニウム(Al)にかえて、ボロン(B)、ガリウム(Ga)、インジウム(In)等を適用することも可能である。

## 【 0 1 3 9 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

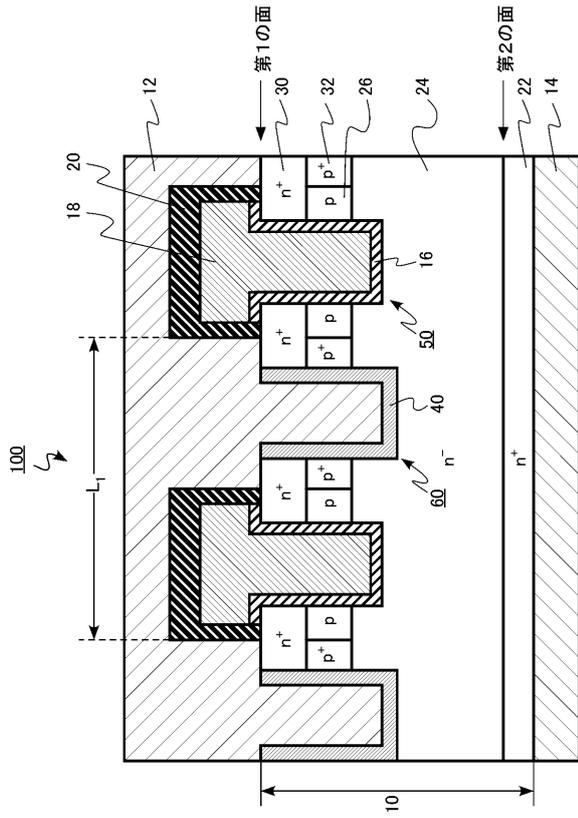
10

## 【 符号の説明 】

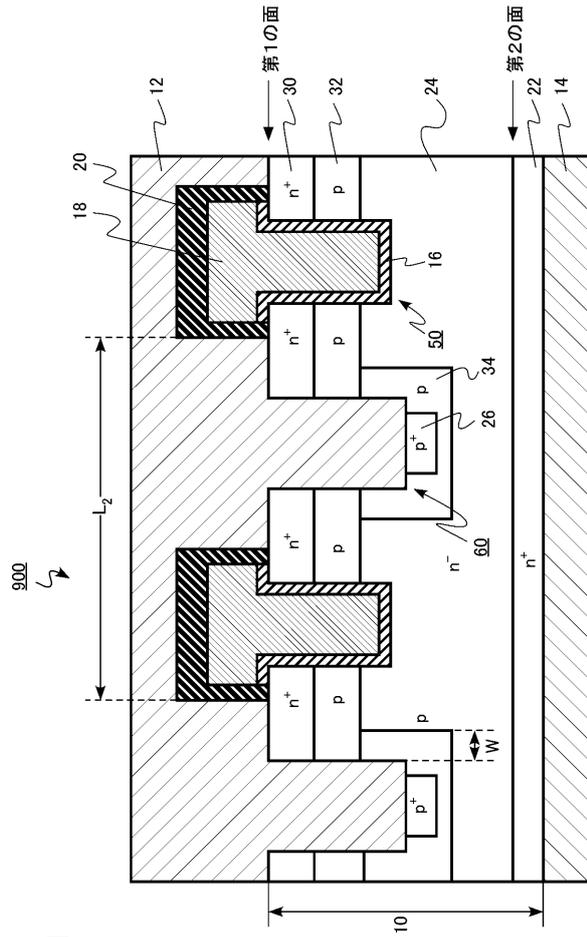
## 【 0 1 4 0 】

1 0	SiC層	
1 2	ソース電極(第1の電極)	
1 4	ドレイン電極(第2の電極)	
1 6	ゲート絶縁膜	20
1 8	ゲート電極	
2 2	ドレイン領域	
2 4	ドリフト領域(n型の第1のSiC領域)	
2 6	ウェル領域(p型の第2のSiC領域)	
3 0	ソース領域(n型の第3のSiC領域)	
3 2	ウェルコンタクト領域(p型の第4のSiC領域)	
4 0	金属層	
4 2	アノード領域(p型の第5のSiC領域)	
4 4	電界緩和領域(p型の第6のSiC領域)	
5 0	第1のトレンチ	30
6 0	第2のトレンチ	
1 0 0	MOSFET(半導体装置)	
2 0 0	MOSFET(半導体装置)	
3 0 0	MOSFET(半導体装置)	
4 0 0	MOSFET(半導体装置)	
5 0 0	MOSFET(半導体装置)	
6 0 0	MOSFET(半導体装置)	

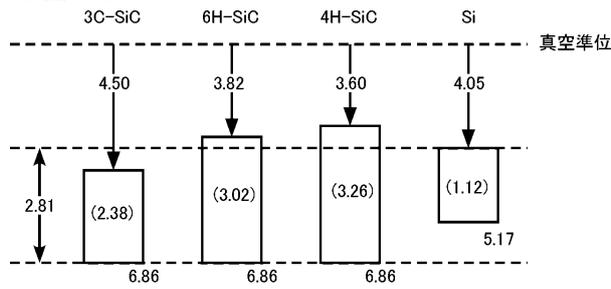
【図1】



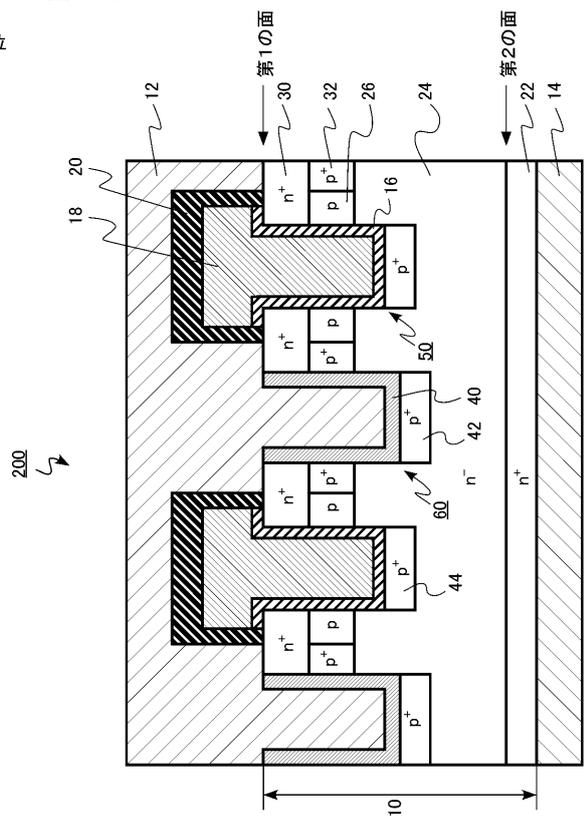
【図2】



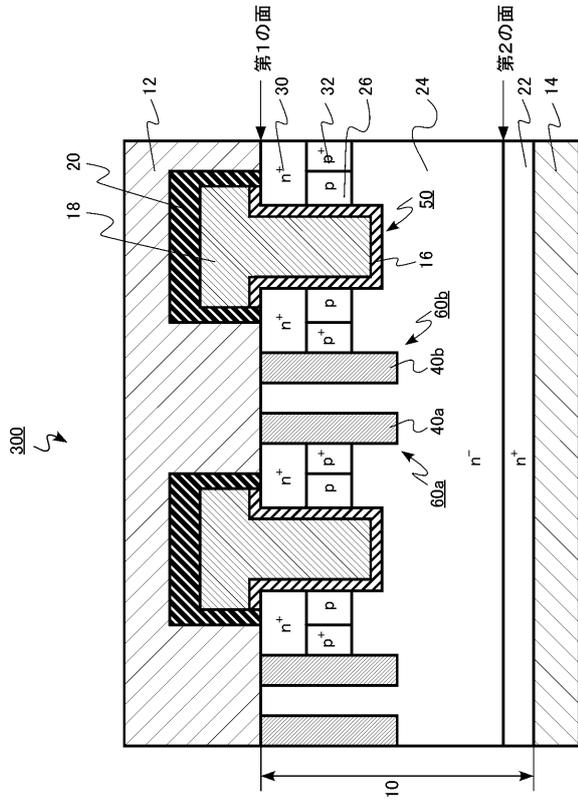
【図3】



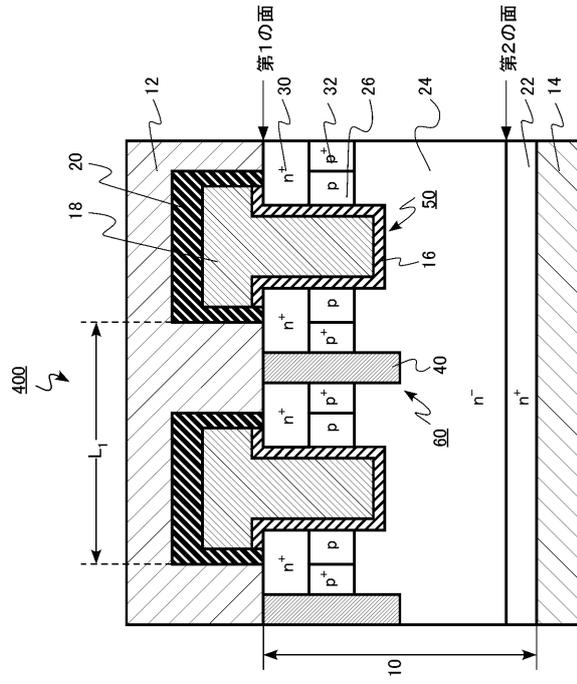
【図4】



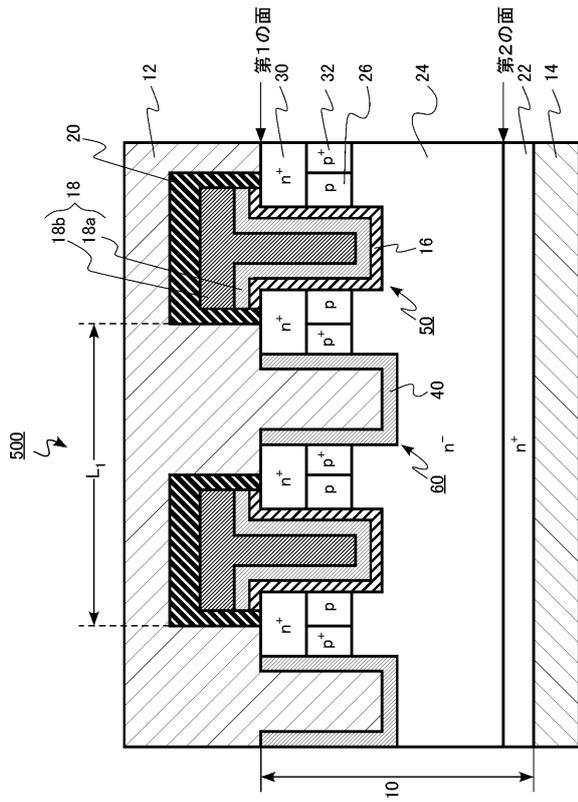
【 図 5 】



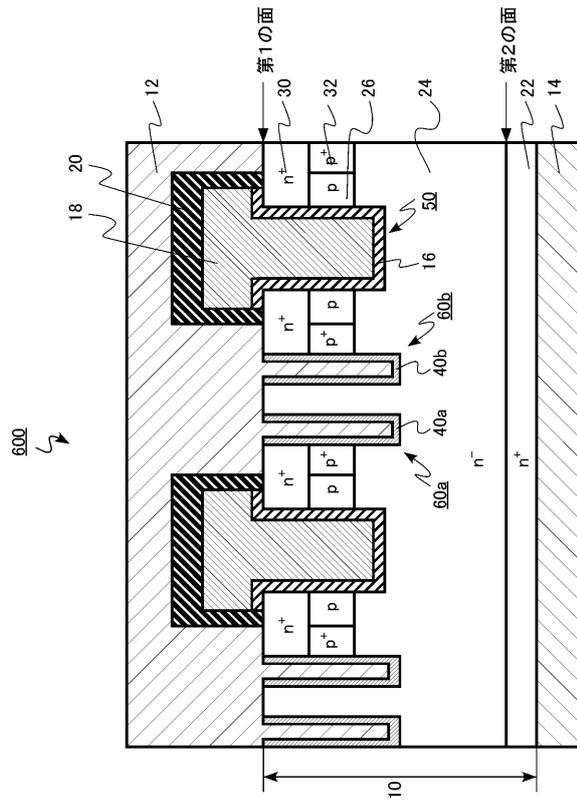
【 図 6 】



【 図 7 】



【 図 8 】



## フロントページの続き

(51)Int.Cl.		F I			
H 0 1 L	21/285	(2006.01)	H 0 1 L	29/78	6 5 2 J
H 0 1 L	29/47	(2006.01)	H 0 1 L	29/78	6 5 2 K
			H 0 1 L	29/86	3 0 1 D
			H 0 1 L	29/86	3 0 1 M
			H 0 1 L	21/28	3 0 1 B
			H 0 1 L	29/50	M
			H 0 1 L	21/285	3 0 1
			H 0 1 L	29/48	D
			H 0 1 L	29/48	M

審査官 恩田 和彦

- (56)参考文献 特開2010-171417(JP,A)  
 特開2009-260253(JP,A)  
 特開2015-079894(JP,A)  
 特開2013-058601(JP,A)  
 特開2000-101099(JP,A)  
 特開2014-170778(JP,A)  
 国際公開第2014/038110(WO,A1)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 2 8 5  
 H 0 1 L 2 9 / 1 2  
 H 0 1 L 2 9 / 4 1 7  
 H 0 1 L 2 9 / 4 7  
 H 0 1 L 2 9 / 8 7 2