

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-115725
(P2013-115725A)

(43) 公開日 平成25年6月10日 (2013.6.10)

(51) Int.Cl.	F 1	テーマコード (参考)
H03F 1/32 (2006.01)	H03F 1/32	5J500
H03F 3/24 (2006.01)	H03F 3/24	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2011-262188 (P2011-262188)
(22) 出願日 平成23年11月30日 (2011.11.30)

(71) 出願人 303046277
旭化成エレクトロニクス株式会社
東京都千代田区神田神保町一丁目105番地
(74) 代理人 100066980
弁理士 森 哲也
(74) 代理人 100109380
弁理士 小西 恵
(74) 代理人 100103850
弁理士 田中 秀▲てつ▼
(72) 発明者 阪本 一馬
神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内

最終頁に続く

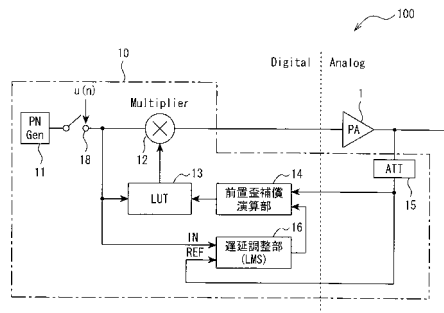
(54) 【発明の名称】歪補償器

(57) 【要約】

【課題】パワーアンプの歪補償精度の向上を図る。

【解決手段】アッテネータ15を介して入力したパワーアンプ1の出力信号であるフィードバック信号と疑似ランダムデータとを用いたLMSアルゴリズムによって、パワーアンプ1への入力信号の遅延量を算出する。算出した遅延量に基づきパワーアンプ1への入力信号の遅延量を調整することで、パワーアンプ1への入力信号とフラクショナルディレイを含むフィードバック信号とのタイミングを一致させ、このタイミングが一致した遅延量調整後の入力信号を用いて、パワーアンプ1への入力信号の歪補償を行うことで、DPD方式の歪補償精度の向上を図る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力信号とパワーアンプからの非線形性歪を含んだフィードバック信号とのタイミングが一致するように、前記入力信号の遅延量を調整する遅延調整部を備え、

前記遅延調整部で遅延された後の前記入力信号に基づき前記入力信号の歪補償を行う歪補償器であって、

前記遅延調整部は、疑似ランダムデータと前記フィードバック信号とに基づき、LMS (Least Mean Square) アルゴリズムを利用して前記入力信号の遅延量を算出することを特徴とする歪補償器。

【請求項 2】

前記疑似ランダムデータを発生する疑似ランダムデータ発生器を備えることを特徴とする請求項 1 記載の歪補償器。

【請求項 3】

前記遅延調整部は、フラクショナルディレイ (小数遅延) を含む、前記フィードバック信号の遅延量を算出することを特徴とする請求項 1 または請求項 2 記載の歪補償器。

【請求項 4】

前記疑似ランダムデータは PN 系列であることを特徴とする請求項 1 から請求項 3 の何れか 1 項に記載の歪補償器。

【請求項 5】

前記遅延調整部は、FIR フィルタを含んで構成されることを特徴とする請求項 1 から請求項 4 の何れか 1 項に記載の歪補償器。

【請求項 6】

前記 FIR フィルタは、他の FIR フィルタと回路を兼用することを特徴とする請求項 5 記載の歪補償器。

【請求項 7】

前記遅延調整部で遅延された後の前記入力信号と前記フィードバック信号とに基づき前記パワーアンプの非線形性歪と逆の歪特性を算出する前置歪補償演算部と、

当該前置歪補償演算部で算出した逆歪特性を特定するデータを格納する記憶部と、

当該記憶部に格納されたデータと前記入力信号とから前記逆歪特性をもつ入力信号を生成し、生成した信号を、前記歪補償後の入力信号として前記パワーアンプに出力する演算部と、

を備えることを特徴とする請求項 1 から請求項 6 の何れか 1 項に記載の歪補償器。

【請求項 8】

請求項 1 から請求項 7 の何れか 1 項に記載の歪補償器と、

前記パワーアンプと、

を備えることを特徴とする DPD (Digital Pre-distortion) システム。

【請求項 9】

パワーアンプの歪みを補償する DPD (Digital Pre-distortion) システムの制御方法において、

疑似ランダムデータを用いた LMS アルゴリズムによって、前記パワーアンプへの入力信号とフラクショナルディレイを含む前記パワーアンプからのフィードバック信号とのタイミングを一致させるように、前記入力信号の遅延量を調整し、遅延量を調整した後の前記入力信号に基づいて前記パワーアンプの歪を補償することを特徴とする DPD システムの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、歪補償器、歪み DPD システムおよび DPD システムの制御方法に関する。

【背景技術】

【0002】

10

20

30

40

50

従来、パワーアンプの歪みを補償する方法として様々な方法が提案されており、例えば D P D (Digital Pre-distortion) 方式を用いてパワーアンプの歪みを補償する D P D システムが提案されている。

図 7 は、D P D システム 2 0 0 の一例を示す構成図である。この図 7 を用いて D P D 方式の歪み補償の動作原理を説明する。

【 0 0 0 3 】

図 7 において、1 0 1 は入力信号が入力される入力端、1 0 2 は歪み補償後の信号の出力端、1 0 3 は乗算器、1 0 4 はパワーアンプ (P A)、1 0 5 はルックアップテーブル (L U T : Lookup Table)、1 0 6 は前置歪補償演算部、1 0 7 はアッテネータ (A T T)、1 0 8 は遅延調整部である。

10

前置歪補償演算部 1 0 6 において、パワーアンプ 1 0 4 で生じる非線形性歪みとは逆の歪み特性を算出し、算出した逆歪特性のデータを、逆歪特性の記憶部としてのルックアップテーブル 1 0 5 に格納する。

【 0 0 0 4 】

D P D 方式は、ルックアップテーブル 1 0 5 に格納された L U T データ (逆歪特性のデータ) と入力端 1 0 1 に入力される入力信号 $u(n)$ とを乗算器 1 0 3 にて乗算し、パワーアンプ 1 0 4 に入力される前に、逆歪特性をもつ入力信号 $u(n)$ を生成し、これをパワーアンプ 1 0 4 に入力することで、パワーアンプ 1 0 4 の歪みを打ち消す方法である。

【 0 0 0 5 】

なお、図 7 の D P D 方式は、入力信号 $u(n)$ として連続的に増加するランピング信号を用いてパワーアンプ 1 0 4 の逆歪特性を得る手法である。

20

ここで、図 7 中の各波形は、各部における出力信号の波形を表す。また、図 7 において、パワーアンプ 1 0 4 およびアッテネータ 1 0 7 においてアナログ信号処理を行い、乗算器 1 0 3、ルックアップテーブル 1 0 5、前置歪補償演算部 1 0 6、および遅延調整部 1 0 8 においてデジタル信号処理を行う。

【 0 0 0 6 】

このような D P D システムにおいて、良好なパワーアンプ 1 0 4 の歪補正を実施するには、精度の高いパワーアンプ 1 0 4 の逆歪特性を得ることが重要である。そのためには、入力信号 $u(n)$ とフィードバック信号 (図 7 のアッテネータ 1 0 7 の出力信号) とのタイミングを一致させることが必要である。

30

従来、携帯電話の基地局などでは、D S P (Digital Signal Processor) を用いて行列演算などの複雑な演算処理を行うことで、フィードバック信号の遅延量や逆歪補償データを算出している (例えば、非特許文献 1 を参照) 。

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 Dennis R.Morgan,Zhengxiang Ma,Jaehyeong Kim,Mishael G.Zierdt,and John Pastalan, "A Generalized Memory Polynomial Model for Digital Predistortion of RF Power Amplifiers", IEEE TRANSACTIONS ON SIGNAL PROSESSING,VOL.54,NO.10, O

40

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

ところで、携帯端末などの移動体通信分野では低消費電力・省面積化が要求される。

このため、携帯端末の送信信号の歪み補償を行う場合、D S P などの大規模演算回路を R F - I C (Radio Frequency-Integrated Circuit) に内蔵することは困難である。

また、歪み補償対象のパワーアンプを備えたシステムに依存するフィードバック信号の遅延量をあらかじめ推定し、この遅延量に相当する遅延段を設けるような手法では、十分な D P D 効果を得ることは難しい。

50

【 0 0 0 9 】

そこで、本発明は、上記した点を鑑みてなされたものであり、入力信号とフィードバック信号とのタイミングをより高精度に一致させることの可能な歪補償器、この歪補償器を用いたDPDシステムおよびDPDシステムの制御方法を提供することを目的としている。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の請求項1にかかる歪補償器は、入力信号とパワーアンプからの非線形性歪を含んだフィードバック信号とのタイミングが一致するように、前記入力信号の遅延量を調整する遅延調整部を備え、前記遅延調整部で遅延された後の前記入力信号に基づき前記入力信号の歪補償を行う歪補償器であって、前記遅延調整部は、疑似ランダムデータと前記フィードバック信号とに基づき、LMS (Least Mean Square) アルゴリズムを利用して前記入力信号の遅延量を算出することを特徴としている。

10

【 0 0 1 1 】

請求項2にかかる歪補償器は、請求項1記載の歪補償器において、前記疑似ランダムデータを発生する疑似ランダムデータ発生器を備えることを特徴としている。

請求項3にかかる歪補償器は、請求項1または請求項2記載の歪補償器において、前記遅延調整部は、フラクショナルディレイ (小数遅延) を含む、前記フィードバック信号の遅延量を算出することを特徴としている。

20

【 0 0 1 2 】

請求項4にかかる歪補償器は、請求項1から請求項3の何れか1項に記載の歪補償器において、前記疑似ランダムデータはPN系列であることを特徴としている。

請求項5にかかる歪補償器は、請求項1から請求項4の何れか1項に記載の歪補償器において、前記遅延調整部は、FIRフィルタを含んで構成されることを特徴としている。

請求項6にかかる歪補償器は、請求項5記載の歪補償器において、前記FIRフィルタは、他のFIRフィルタと回路を兼用することを特徴としている。

【 0 0 1 3 】

請求項7にかかる歪補償器は、請求項1から請求項6の何れか1項に記載の歪補償器において、前記遅延調整部で遅延された後の前記入力信号と前記フィードバック信号とに基づき前記パワーアンプの非線形性歪と逆の歪特性を算出する前置歪補償演算部と、当該前置歪補償演算部で算出した逆歪特性を特定するデータを格納する記憶部と、当該記憶部に格納されたデータと前記入力信号とから前記逆歪特性をもつ入力信号を生成し、生成した信号を、前記歪補償後の入力信号として前記パワーアンプに出力する演算部と、を備えることを特徴としている。

30

【 0 0 1 4 】

また、本発明の請求項8にかかるDPDシステムは、請求項1から請求項7の何れか1項に記載の歪補償器と、前記パワーアンプと、を備えることを特徴としている。

さらに、本発明の請求項9にかかるDPDシステムの制御方法は、疑似ランダムデータを用いたLMSアルゴリズムによって、前記パワーアンプへの入力信号とフラクショナルディレイを含む前記パワーアンプからのフィードバック信号とのタイミングを一致させるように、前記入力信号の遅延量を調整し、遅延量を調整した後の前記入力信号に基づいて前記パワーアンプの歪を補償することを特徴としている。

40

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、疑似ランダムデータとパワーアンプの出力信号であるフィードバック信号とに基づき、LMSアルゴリズムを利用してパワーアンプへの入力信号の遅延量を算出し、これに応じて入力信号の遅延量を調整する構成としたため、入力信号の遅延量を、インテグレーションディレイだけでなく、フラクショナルディレイも含めて調整することができる。そのため、入力信号とフィードバック信号との高精度な遅延調整を行うことができる。このように高精度に遅延調整を行うことのできる入力信号を用いてDPD方式による歪

50

補償を行うことによって、歪補償精度をより向上させることができる。

【図面の簡単な説明】

【0016】

【図1】本発明の実施形態におけるDPDシステムの一例を示す構成図である。

【図2】疑似ランダムデータ発生器の一例を示す構成図である。

【図3】LMSアルゴリズムの概念を示す説明図である。

【図4】遅延調整部の一例を示す構成図である。

【図5】本発明の動作説明に供する説明図である。

【図6】(a)はフィルタ係数値の一例である。(b)はPN信号とフィルタ係数値との対応の一例である。

10

【図7】従来のDPDシステムの一例を示す構成図である。

【発明を実施するための形態】

【0017】

以下、図面を参照して本発明の実施の形態を説明する。

図1は、本発明の一実施形態を示す、DPD(Digital Pre-distortion)システム100の構成図である。

このDPDシステム100は、パワーアンプ1と、疑似ランダムデータを用いたLMS(Least Mean Square)アルゴリズムによる遅延調整機能を有する歪補償器10とを備える。

【0018】

20

歪補償器10は、疑似ランダムデータ発生器(PN Gen)11と、乗算器12と、ルックアップテーブル(LUT)13と、前置歪補償演算部14と、アッテネータ(AT)15と、遅延調整部(LMS)16とを、備える。

疑似ランダムデータ発生器11は、パワーアンプ1による増幅対象の信号を入力するための入力端18にスイッチ回路などにより選択的に接続される。なお、19はパワーアンプ1による増幅信号の出力端である。

【0019】

この歪補償器10は、疑似ランダムデータを用いたLMSアルゴリズムを用いて、歪補償器10への入力信号(n)に対して遅延調整を行い、入力信号u(n)とフラクショナルディレイを含むフィードバック信号(アッテネータ15の出力信号)のタイミングとを一致させることで、DPD方式の歪補償精度を向上させるようになっている。なお、フラクショナルディレイとは、整数倍遅延で補正することのできない余り分である小数遅延のことをいう。

30

【0020】

以下、本発明を詳細に説明する。

図2は、疑似ランダムデータ発生器11の一例を示す構成図である。

ここで、疑似ランダムデータ発生器11は前述のように、選択的にDPDシステム100の入力端18に接続される。具体的には、歪補償器10を構成する遅延調整部(LMS)16の調整を行う際に、疑似ランダムデータ発生器11を入力端18に接続し、この疑似ランダムデータ発生器11で発生された疑似ランダムデータを用いて、遅延調整部16の調整を行う。

40

【0021】

前記疑似ランダムデータは、小規模回路で実現できるPN(Pseud random Noise:疑似ランダム雑音)生成多項式を用いて発生させることが可能である。PN系列のうち、例えばPN9段の信号を発生する回路は、図2に示すように、9つの遅延素子からなるシフトレジスタと1つのXOR演算器とで構成される。具体的には、1段目の遅延素子の出力と6段目の遅延素子の出力とがXOR演算器に入力され、これらのXOR演算結果が2段目の遅延素子に出力されるとともに、疑似ランダムデータとして出力される。この疑似ランダムデータ発生器11の生成多項式PN9(X)は、 $PN9(X) = X^9 + X^5 + 1$ で表される。

50

【 0 0 2 2 】

疑似ランダムデータ発生器 1 1 で発生される信号は、「 2 」の 9 乗ビット毎に繰り返される信号となるが、疑似的にランダムデータとして扱うことができる。

図 3 は、LMS (Least Mean Square) アルゴリズムの概念を示す図である。遅延調整部 1 6 ではこの LMS アルゴリズムを用いて遅延調整を行う。

LMS アルゴリズムは図 3 で示すように、未知のシステム (Unknown System) 2 1 の出力 ($d(n)$: 希望信号) と FIR (Finite Impulse Response : 有限インパルス応答) フィルタで構成されるシステム (Estimation System) 2 2 の出力 ($y(n)$: フィルタ出力信号) との誤差成分 ($e(n)$: エラー信号) を加算器 2 3 で演算し、この加算器 2 3 で演算した誤差成分 $e(n)$ を、FIR フィルタのフィルタ係数にフィードバックさせる。これによって、誤差成分 $e(n)$ が「 0 」に収束することで、未知のシステム 2 1 を同定することができるアルゴリズムである。

10

【 0 0 2 3 】

ここで、LMS アルゴリズムの等式は下記 (1) 式で表すことができる。

$$\begin{aligned} w(n) &= w(n-1) + \mu e(n) u^H(n) \\ e(n) &= d(n) - y(n) \\ y(n) &= w(n-1) u(n) \end{aligned} \quad \dots \dots (1)$$

なお、式 (1) において、 $w(n)$: フィルタ係数、 $e(n)$: エラー信号、 $d(n)$: 希望信号、 $y(n)$: フィルタ出力信号、 $u(n)$: 入力信号、 μ : ステップサイズ、 H : 複素共役である。

20

【 0 0 2 4 】

図 4 は、遅延調整部 1 6 の一例を示す構成図であり、前記 LMS アルゴリズムをデジタル回路で構成した場合の構成図である。図 4 では、説明を簡易にするために 3 つのフィルタ係数を有する回路で構成した場合を表しているが、任意数のフィルタ係数を有する回路で構成した場合も同様である。

遅延調整部 (LMS) 1 6 は、図 4 に示すように、FIR フィルタ 3 0 a と、当該 FIR フィルタ 3 0 a のフィルタ係数 $h_0 \sim h_2$ を設定するフィルタ係数設定回路 3 0 b とを備えている。

【 0 0 2 5 】

FIR フィルタ 3 0 a は、入力信号 ($u(n)$: Input Signal) を遅延させる 2 つの遅延素子 3 1 と 3 つの乗算器 3 2 と加算器 (3 t o 1 加算器) 3 3 とを備える。3 つの乗算器 3 2 は、入力信号 $u(n)$ とフィルタ係数 h_0 、1 つの遅延素子 3 1 により 1 回遅延された入力信号 $u(n)$ とフィルタ係数 h_1 、2 つの遅延素子 3 1 により 2 回遅延された入力信号 $u(n)$ とフィルタ係数 h_2 、のそれぞれについて乗算する。

30

【 0 0 2 6 】

加算器 3 3 は、これら各乗算器 3 2 での乗算結果を加算する。この加算器 3 3 の加算結果が、FIR フィルタ出力 ($y(n)$: LMS Output)、すなわち遅延調整部 1 6 の出力となる。

フィルタ係数設定回路 3 0 b は、減算器 3 4 と、ステップサイズ調整用増幅器 3 5 と、3 つの乗算器 3 6 と、3 つの加算器 (2 t o 1 加算器) 3 7 と、3 つの遅延器 3 8 と、3 つの複素共役演算器 3 9 とを備える。

40

【 0 0 2 7 】

減算器 3 4 は、FIR フィルタ出力 ($y(n)$: LMS Output) と希望信号 ($d(n)$: Ref Signal) との誤差成分 ($e(n)$: Error Signal) を演算する。ステップサイズ調整用増幅器 3 5 は、減算器 3 4 で演算された誤差成分 $e(n)$ を、あるステップサイズ (μ : Step Size) で増幅する。

複素共役演算器 3 9 はそれぞれ、入力信号 $u(n)$ 、FIR フィルタ 3 0 a で遅延処理が行われた 1 回遅延処理後の入力信号 $u(n)$ および 2 回遅延処理後の入力信号 $u(n)$ の複素共役となる信号を演算し、乗算器 3 6 はそれぞれ、ステップサイズ調整用増幅器 3 5 で増幅した誤差成分 $e(n)$ と複素共役演算器 3 9 で演算した入力信号 $u(n)$ の複素

50

共役となる信号とを乗算する。

【0028】

加算器37はそれぞれ乗算器36の出力信号とこの出力信号を遅延器38で遅延した信号とを加算し、加算結果を遅延器38に出力する。遅延器38の出力がそれぞれフィルタ係数 $h_0 \sim h_2$ となる。

このような構成とすることによって、遅延調整部16は、誤差成分 $e(n)$ をフィルタ係数 $h_0 \sim h_2$ にフィードバックさせることによって、誤差成分 $e(n)$ が「0」となるように動作する。

【0029】

なお、アッテネータ15は、パワーアンプ1の出力信号を入力し、当該信号を、パワーアンプ1で増幅される前の信号レベルと等しくなるように減衰する

また、図1のDPDシステム100において、パワーアンプ1、乗算器12、ルックアップテーブル13、前置歪補償演算部14は、上記図7に示す従来のDPDシステム200の対応する各部と同一の機能構成を有する。

【0030】

ここで、図4の遅延調整部16を構成するデジタル回路は、DSPなどの大規模演算回路を必要とすることはない。したがって、例えばDPDシステム100を携帯端末に適用する場合でも十分実現可能な回路面積となる。

また、DPDシステム100を携帯電話に適用した場合、一般的に送信部のチャネルフィルタ等で使用されるデジタルフィルタがFIR型の場合には、遅延調整部16を構成するFIRフィルタ30aと、携帯電話のチャネルフィルタとは、FIR部の回路を兼用できる。したがって、省面積化に有効である。

【0031】

次に、DPDシステム100による、疑似ランダムデータを用いたLMSアルゴリズムによる遅延調整法を説明する。

遅延調整を行う場合には、図5に示すように、疑似ランダムデータ発生器11を入力端18に接続する。また、疑似ランダムデータ発生器11で生成した疑似ランダムデータを、乗算器12を介さずに入力として用いる。

【0032】

例えば、図示しないスイッチ回路などを設けることによって、入力端18に入力される信号を、乗算器12を介してパワーアンプ1に供給する経路と、乗算器12を介さず直接パワーアンプ1に供給する経路とで切り替え可能に構成し、この図示しないスイッチ回路を操作することにより、疑似ランダムデータを直接パワーアンプ1に供給する経路を形成する。

【0033】

このとき、ルックアップテーブル13および前置歪補償演算部14は動作させない。例えば、これらルックアップテーブル13および前置歪補償演算部14への信号入力側に、図示しないスイッチ回路などを設けておき、このスイッチ回路を操作することにより、これらルックアップテーブル13および前置歪補償演算部14を動作させるか否かを切り替えるようにすればよい。前記経路の切り替えのためのスイッチ回路やルックアップテーブル13および前置歪補償演算部14を動作させるか否かを切り替えるためのスイッチ回路は、例えば図示しない制御装置により制御するようにすればよい。

【0034】

これによって、図5に示すように、疑似ランダムデータ発生器11からの疑似ランダムデータがパワーアンプ1に直接供給され、パワーアンプ1の出力がアッテネータ15を介してフィードバック信号として遅延調整部16に入力されるとともに、疑似ランダムデータが遅延調整部16に入力される回路が形成される。

このような回路が形成された状態で、遅延調整部16において、疑似ランダムデータを入力信号 $u(n)$ 、フィードバック信号(すなわちアッテネータ15の出力信号)をリファレンス信号 $d(n)$ としてLMSアルゴリズムを用いて、遅延調整を行う。

10

20

30

40

50

【 0 0 3 5 】

図 6 は、遅延調整部 1 6 のフィルタ係数が $h_0 \sim h_{19}$ であり、フィードバックディレイ、すなわち図 5 において遅延調整部 1 6 に入力される入力信号 I_N とアッテネータ 1 5 の出力信号であるリファレンス信号 REF とのずれが「9.6 cycles」分であった場合の、フィルタ係数を示す図（図 6 (a)）および入力信号とフィルタ係数値との関係を示す図（図 6 (b)）の一例である。

【 0 0 3 6 】

例えば、フィードバックディレイが「9.6 cycles」分であった場合、図 6 (b) のように入力信号 I_N ($u(n)$) として疑似ランダムデータ (PN 信号) が遅延調整部 (LMS) 1 6 に入力されると、時間の経過と共に遅延調整部 (LMS) 1 6 のフィルタ係数値が変化する。

そして、入力信号 I_N に「9.6 cycles」分の遅延が付加されて、遅延調整部 (LMS) 1 6 から LMS 出力として出力される。

【 0 0 3 7 】

つまり、入力信号 I_N にフィードバックディレイ相当の「9.6 cycles」分の遅延が加算されこれが LMS 出力となるため、LMS 出力とリファレンス信号であるフィードバック信号とのタイミングが一致する。

図 6 (a) は、例えば、フィルタ係数 h_9 のフィルタ係数値が「0.4」、 h_{10} が「0.6」となることで、「9.6 cycles」分のディレイを表している。この時、フィルタ係数 h_9 、 h_{10} 以外のその他のフィルタ係数のフィルタ係数値は全て「0」である。ナイキスト周波数までの全周波数帯成分を持つ疑似ランダムデータを用いることで、遅延調整部 (LMS) 1 6 のフィルタ係数が拡散せず、図 6 (a) に示すように、フィードバックディレイがフィルタ係数によって表現される。

【 0 0 3 8 】

このように、フィルタ係数 h_9 が「0.4」、 h_{10} が「0.6」となることで、例えば、「0 10 20 ...」と変化するようなランピング信号を入力信号 $u(n)$ とした場合、遅延調整部 (LMS) 1 6 の出力は「0 0 0 0 0 0 0 0 0 0 4 1 4 2 4 ...」と変化し、「0.6」のフラクショナルディレイ分も含めて遅延調整することができる。

【 0 0 3 9 】

DPD システム 1 0 0 でパワーアンプ 1 の逆歪特性を得るためには、前述のように、疑似ランダムデータを用いて遅延調整部 (LMS) 1 6 でフィードバックディレイを算出し、フィードバックディレイを表す遅延調整部 (LMS) 1 6 のフィルタ係数値を固定した上で、前述のようなランピング信号を入力する。前記フィルタ係数の固定は、例えば、加算器 3 7 の信号入力側に図示しないスイッチ回路などを設けておき、このスイッチ回路を操作することにより、加算器 3 7 に乗算器 3 6 からのデータではなく、「0」を含む決定された値のデータを入力することなどによって行ってもよいし、フィルタ係数値を記憶した記憶部からそのデータを入力することによって行ってもよい。

【 0 0 4 0 】

つまり、図 1 に示すように、図示しないスイッチ等により、疑似ランダムデータ発生器 1 1 と乗算器 1 2 との接続を解除し、入力信号 $u(n)$ が乗算器 1 2 を介してパワーアンプ 1 に入力されるように、入力端 1 8 を乗算器 1 2 に接続する。さらに、入力端 1 8 をルックアップテーブル 1 3 に接続し、ルックアップテーブル 1 3 と前置歪補償演算部 1 4 とを動作させる。

【 0 0 4 1 】

この状態で、入力端 1 8 に、パワーアンプ 1 による増幅対象のランピング信号を入力することで、遅延調整部 (LMS) 1 6 に入力されるランピング信号に対して遅延調整部 (LMS) 1 6 で遅延が付加される。この遅延が付加されたランピング信号は、アッテネータ 1 5 によってパワーアンプ 1 で増幅される前の信号レベルと等しくなるように減衰された、パワーアンプ 1 の出力信号であるフィードバック信号とタイミングが一致する。そし

10

20

30

40

50

て、パワーアンプ 1 で生じる非線形性歪みとは逆の歪み特性を、前置歪補償演算部 1 4 で算出し、その逆歪特性のデータをルックアップテーブル (L U T) 1 3 に格納する。

【 0 0 4 2 】

このルックアップテーブル (L U T) 1 3 に格納された L U T データと、入力信号、すなわちパワーアンプ 1 による増幅対象のランピング信号とを乗算器 1 2 にて乗算した後、パワーアンプ 1 に供給する。これにより、増幅対象のランピング信号が、パワーアンプ 1 に入力される前に逆歪特性をもつ信号を生成することでパワーアンプ 1 の歪みを打ち消すことができる。

【 0 0 4 3 】

以上のように、本実施形態では、疑似ランダムデータを用いた L M S アルゴリズムによって、携帯端末など低消費電力・省面積化が要求されるアプリケーションにおいても実現可能な演算処理で、入力信号とフィードバック信号との高精度な遅延調整を実現することができる。

したがって、この遅延調整手法を用いることで、フィードバック信号の遅延量をインテグラーディレイだけでなく、フラクショナルディレイも含めて調整することができる。その結果、D P D 方式を用いた D P D システム 1 0 0 における歪補償精度を向上させることができる。

【 0 0 4 4 】

仮に、デジタル回路のサンプリングレートが遅い場合、インテグラーディレイのみの調整では、D P D 方式により十分な歪補償効果が得られないことが考えられ、フラクショナルディレイを含めて調整できることが重要である。

本実施形態では、ナイキスト周波数までの全周波数帯成分を持つランダム信号を遅延調整時の入力として用いることによって、本 D P D システム 1 0 0 においてパワーアンプ 1 の逆歪特性を得るために用いるランピング信号の遅延をより高精度に調整することができる。すなわち歪補償精度を向上させることができる。

【 0 0 4 5 】

なお、上記実施形態においては、疑似ランダムデータ発生器 1 1 をスイッチ回路などにより選択的に入力端 1 8 に接続する構成としたが、これに限るものではない。

前述のように疑似ランダムデータ発生器 1 1 は、遅延調整部 1 6 の F I R フィルタ 3 0 a のフィルタ係数を調整するために用いるものであり、調整後フィルタ係数は固定しているため、疑似ランダムデータ発生器 1 1 は、フィルタ係数を調整するとき以外は必要としない。

【 0 0 4 6 】

したがって、歪補償器 1 0 として疑似ランダムデータ発生器 1 1 を必ずしも備えている必要はなく、例えば、F I R フィルタ 3 0 a のフィルタ係数の調整を行うときに疑似ランダムデータ発生器 1 1 を入力端 1 8 に接続するようにしてもよい。

また、遅延調整部 1 6 では、フィルタ係数調整後、フィルタ係数を固定しているため、ランピング信号を入力信号 $u(n)$ として使用する通常状態では、F I R フィルタ 3 0 a のみを備えていればよく、フィルタ係数設定回路 3 0 b を必ずしも備えている必要はない。

【 0 0 4 7 】

したがって、遅延調整部 1 6 を構成するフィルタ係数設定回路 3 0 b についても、歪補償器 1 0 として必ずしも備えている必要はなく、F I R フィルタ 3 0 a のフィルタ係数の調整を行うときにフィルタ係数設定回路 3 0 b を接続する構成としてもよい。

【 符号の説明 】

【 0 0 4 8 】

- 1 パワーアンプ
- 1 0 歪補償器
- 1 1 疑似ランダムデータ発生器 (P N G e n)
- 1 2 乗算器

10

20

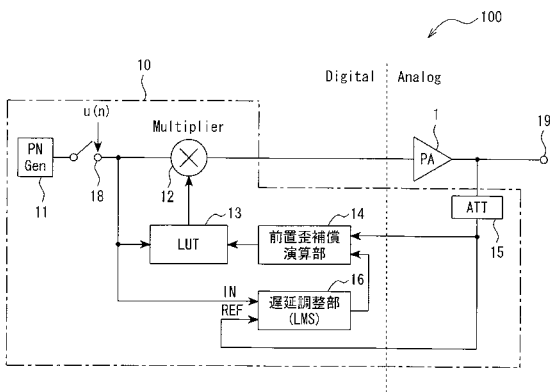
30

40

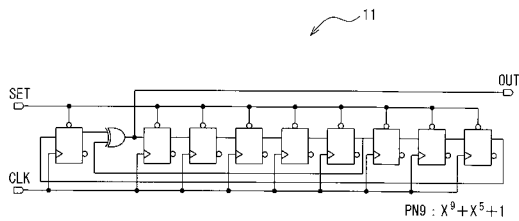
50

- 1 3 ルックアップテーブル (L U T)
- 1 4 前置歪補償演算部
- 1 5 アッテネータ
- 1 6 遅延調整部 (L M S)
- 3 0 a F I R フィルタ
- 3 0 b フィルタ係数設定回路
- 3 1 遅延器
- 3 2 乗算器
- 3 3 加算器
- 3 4 乗算器
- 3 5 ステップサイズ調整用増幅器
- 3 6 乗算器
- 3 7 加算器
- 3 8 遅延器
- 3 9 複素共役演算器

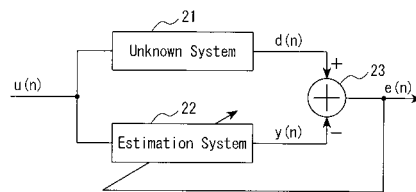
【 図 1 】



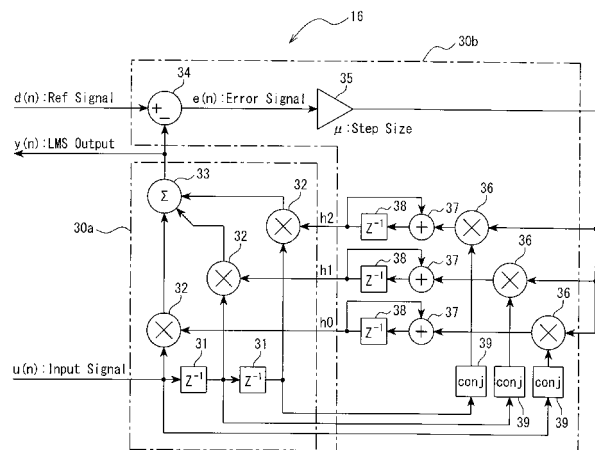
【 図 2 】



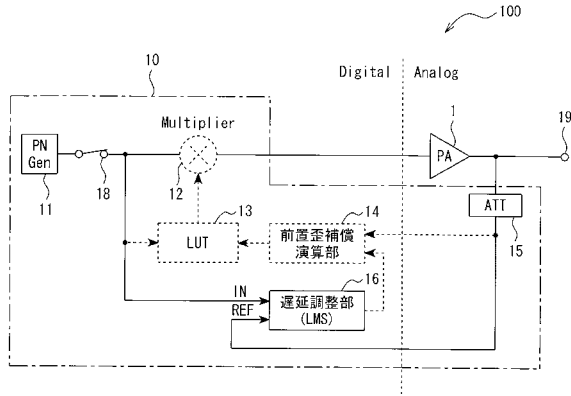
【 図 3 】



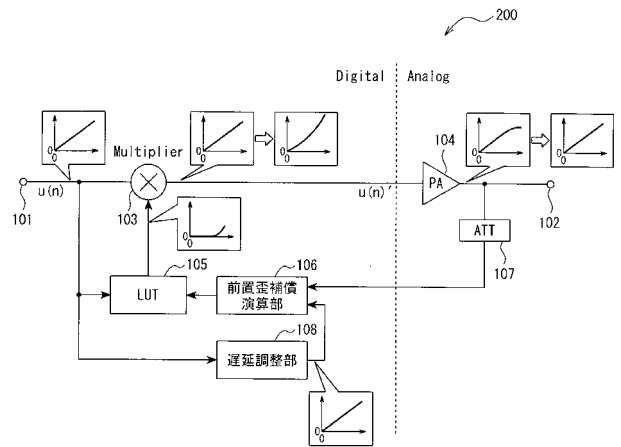
【 図 4 】



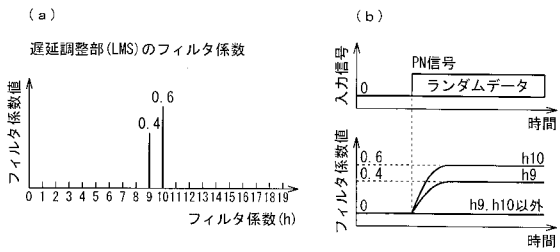
【図5】



【図7】



【図6】



フロントページの続き

(72)発明者 ブラム ナウタ

オランダ王国 7 5 2 2 N B エスヘンディ ドリーネルロラン5 トゥエンテ大学内 ビルデ
ィング カーレ 2 6 3 3 トゥエンテ大学

Fターム(参考) 5J500 AA01 AA41 AC21 AF07 AF08 AF17 AK15 AK19 AK23 AK26
AK33 AK41 AS14 AT01 NG03 NG06 NH04