



(12) 发明专利

(10) 授权公告号 CN 115455886 B

(45) 授权公告日 2023.04.11

(21) 申请号 202210938939.7

(22) 申请日 2022.08.05

(65) 同一申请的已公布的文献号
申请公布号 CN 115455886 A

(43) 申请公布日 2022.12.09

(73) 专利权人 上海移柯通信技术股份有限公司
地址 200120 上海市浦东新区自由贸易试
验区希雅路33号17号厂房6H3部位

(72) 发明人 高秀文 徐昶 王继红

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260
专利代理师 成丽杰

(51) Int. Cl.

G06F 30/39 (2020.01)

G06F 115/12 (2020.01)

(56) 对比文件

CN 103179782 A, 2013.06.26

CN 103717012 A, 2014.04.09

CN 105092975 A, 2015.11.25

CN 106211570 A, 2016.12.07

审查员 陈晓静

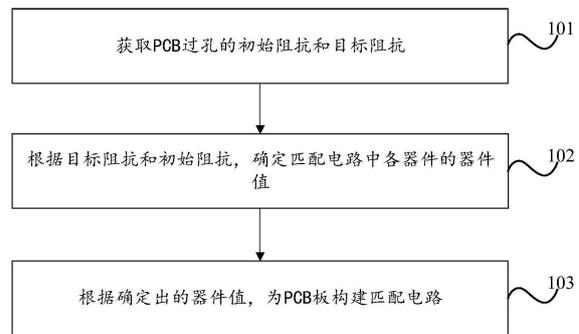
权利要求书2页 说明书7页 附图2页

(54) 发明名称

PCB板设计方法、PCB板、电子设备、存储介质及终端

(57) 摘要

本申请实施例涉及通信技术领域,公开了一种PCB板设计方法、PCB板、电子设备、存储介质及终端。设计方法包括:获取PCB过孔在PCB板顶层和PCB板底层的初始阻抗和目标阻抗;根据初始阻抗和目标阻抗,确定待添加的匹配电路中各器件的器件值;顶层匹配电路用于将PCB过孔在PCB板顶层的特性阻抗调整为第一目标阻抗;底层匹配电路用于将PCB过孔在PCB板底层的特性阻抗调整为第二目标阻抗;根据确定出的器件值,为PCB板分别构建顶层匹配电路和底层匹配电路。通过设置匹配电路对PCB过孔的特性阻抗进行控制,使PCB过孔的特性阻抗变更为与待传输信号相匹配的目标特性阻抗,保证PCB过孔信号传输质量,降低信号传输损耗。



1. 一种PCB板设计方法,其特征在于,包括:

获取PCB过孔在PCB板顶层的第一初始阻抗和第一目标阻抗;

获取所述PCB过孔在PCB板底层的第二初始阻抗和第二目标阻抗;

根据所述第一初始阻抗和所述第一目标阻抗,确定待添加的顶层匹配电路中各器件的器件值;所述顶层匹配电路用于将所述PCB过孔在所述PCB板顶层的特性阻抗调整为所述第一目标阻抗;

根据所述第二初始阻抗和所述第二目标阻抗,确定待添加的底层匹配电路中各器件的器件值;所述底层匹配电路用于将所述PCB过孔在所述PCB板底层的特性阻抗调整为所述第二目标阻抗;

根据确定出的器件值,为PCB板分别构建所述顶层匹配电路和所述底层匹配电路。

2. 根据权利要求1所述的PCB板设计方法,其特征在于,所述第一目标阻抗和/或所述第二目标阻抗可以通过以下方式确定:

获取所述PCB过孔的待传输信号的频率;

根据预设特性阻抗匹配规则,将与所述待传输信号的频率匹配的特性阻抗作为所述第一目标阻抗或所述第二目标阻抗。

3. 根据权利要求1所述的PCB板设计方法,其特征在于,在所述为PCB板分别构建所述顶层匹配电路和所述底层匹配电路后,还包括:

获取添加所述顶层匹配电路和所述底层匹配电路后,所述PCB过孔传输待传输信号过程中的信号传输损耗;

根据所述信号传输损耗,对所述顶层匹配电路和/或所述底层匹配电路中各器件的器件值进行微调。

4. 一种PCB板,其特征在于,包括:PCB过孔、PCB过孔顶层焊盘、顶层匹配电路、PCB过孔底层焊盘、底层匹配电路和各走线层;

所述PCB过孔贯穿所述PCB板的所述各走线层;

所述PCB过孔顶层焊盘位于所述PCB板的顶层,沿所述PCB过孔的边缘外延第一预设距离,通过所述顶层匹配电路与所述PCB板顶层走线连接;

所述顶层匹配电路用于将所述PCB过孔在所述PCB板顶层的特性阻抗调整为第一目标阻抗;

所述PCB过孔底层焊盘位于所述PCB板的底层,沿所述PCB过孔的边缘外延第二预设距离,通过所述底层匹配电路与所述PCB板底层走线连接;

所述底层匹配电路用于将所述PCB过孔在所述PCB板底层的特性阻抗调整为第二目标阻抗。

5. 根据权利要求4所述的PCB板,其特征在于,所述顶层匹配电路,包括: π 型阻抗匹配网络、 0Ω 电阻和参考地线;

所述 0Ω 电阻的一端与所述顶层走线连接,另一端与所述 π 型阻抗匹配网络连接;

所述 π 型阻抗匹配网络通过与所述PCB过孔顶层焊盘部分重叠的高频信号焊盘与所述PCB过孔顶层焊盘连接,另一端与所述参考地线连接。

6. 根据权利要求4所述的PCB板,其特征在于,所述底层匹配电路,包括: π 型阻抗匹配网络、 0Ω 电阻和参考地线;

所述 $0\ \Omega$ 电阻的一端与所述底层走线连接,另一端与所述 π 型阻抗匹配网络连接;

所述 π 型阻抗匹配网络通过与所述PCB过孔底层焊盘部分重叠的高频信号焊盘与所述PCB过孔底层焊盘连接,另一端与所述参考地线连接。

7. 根据权利要求5或6所述的PCB板,其特征在于,所述 π 型阻抗匹配网络包括:第一并位器件、串位器件和第二并位器件;

所述第一并位器件的一端与所述串位器件连接,另一端与所述参考地线连接,并通过高频信号焊盘与所述PCB过孔底层焊盘或所述PCB过孔顶层焊盘连接;

所述串位器件的另一端与所述第二并位器件的第一端连接;

所述第二并位器件的第二端与所述 $0\ \Omega$ 电阻连接,第三端与所述参考地线连接。

8. 一种电子设备,其特征在于,包括:

至少一个处理器;以及,

与所述至少一个处理器通信连接的存储器;其中,

所述存储器存储有可被所述至少一个处理器执行的指令,所述指令被所述至少一个处理器执行,以使所述至少一个处理器能够执行如权利要求1至3中任一项所述的PCB板设计方法。

9. 一种计算机可读存储介质,存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现如权利要求1至3中任一项所述的PCB板设计方法。

10. 一种终端设备,其特征在于,包括至少一个如权利要求4至7中任一项所述的PCB板。

PCB板设计方法、PCB板、电子设备、存储介质及终端

技术领域

[0001] 本发明实施例涉及通信技术领域，特别涉及一种PCB板设计方法、PCB板、电子设备、存储介质及终端。

背景技术

[0002] 伴随着通信技术的不断发展和更新换代，对各类型电子设备无线通信的能力和 zwar 要求也在不断的提升，即无线通信过程中PCB板上需要传输的信号的速度和频率在不断提升，对于存在PCB过孔的PCB板而言，PCB过孔需要通过的信号频率也在同步提高，例如，第五代通信技术使用的SUB-6G频段(450MHz到6000MHz的6G以下频段)、毫米波(mmWave)，加入6G频段的第六代无限网波段，车用无线通信波段(V2X波段)，以及其他高速信号高速串行计算机拓展总线信号、高速通用串行总线信号、高速以太网信号等。

[0003] 为了保证高频高速信号的信号传输质量，需要对PCB过孔阻抗进行控制，使得PCB过孔的阻抗特性能够满足待传输的高频高速信号的特性阻抗需求。当下为了实现PCB过孔与待传输的高频高速信号的特性阻抗匹配，通常采用的方式是在设计制作PCB板的过程中，通过调整PCB过孔结构，调整PCB过孔各次级结构的容感特性的方式。例如，增加非功能焊盘调节过孔传输路径上金属焊盘的均衡性，以改善过孔单位长度分布电容的一致性，使得PCB过孔的特性阻抗变更为与待传输的高频高速信号匹配的目标特性阻抗。

[0004] 然而本申请的发明人发现，随着待传输的高频高速信号的频率不断提升，当前采用的PCB过孔阻抗特性的方式逐渐无法满足高频高速信号的特性阻抗匹配需求，导致信号传输过程中损耗较大，通信质量差。

发明内容

[0005] 本申请部分实施例的目的在于提供一种PCB板设计方法、PCB板、电子设备、存储介质及终端，通过在PCB板的顶层和底层增加匹配电路，对PCB过孔在信号传输过程中体现出的特性阻抗进行控制，使得PCB过孔的特性阻抗变更为能满足待传输信号特性阻抗要求的目标特性阻抗，提升PCB过孔信号传输质量，降低损耗。

[0006] 为至少解决上述技术问题，本申请实施例提供了一种PCB板设计方法，包括：获取PCB过孔在PCB板顶层的第一初始阻抗和第一目标阻抗；获取所述PCB过孔在PCB板底层的第二初始阻抗和第二目标阻抗；根据所述第一初始阻抗和所述第一目标阻抗，确定待添加的顶层匹配电路中各器件的器件值；所述顶层匹配电路用于将所述PCB过孔在所述PCB板顶层的特性阻抗调整为所述第一目标阻抗；根据所述第二初始阻抗和所述第二目标阻抗，确定待添加的底层匹配电路中各器件的器件值；所述底层匹配电路用于将所述PCB过孔在所述PCB板底层的特性阻抗调整为所述第二目标阻抗；根据确定出的器件值，为PCB板分别构建所述顶层匹配电路和所述底层匹配电路。

[0007] 为至少解决上述技术问题，本申请实施例还提供了一种PCB板，包括：PCB过孔、PCB过孔顶层焊盘、顶层匹配电路、PCB过孔底层焊盘、底层匹配电路和各走线层；所述PCB过孔

贯穿所述PCB板的所述各走线层；所述PCB过孔顶层焊盘位于所述PCB板的顶层，沿所述PCB过孔的边缘外延第一预设距离，通过所述顶层匹配电路与所述PCB板顶层走线连接；所述顶层匹配电路用于将所述PCB过孔在所述PCB板顶层的特性阻抗调整为第一目标阻抗；所述PCB过孔底层焊盘位于所述PCB板的底层，沿所述PCB过孔的边缘外延第二预设距离，通过所述底层匹配电路与所述PCB板底层走线连接；所述底层匹配电路用于将所述PCB过孔在所述PCB板底层的特性阻抗调整为第二目标阻抗。

[0008] 为至少解决上述技术问题，本申请实施例还提供了一种电子设备，包括：至少一个处理器；以及，与所述至少一个处理器通信连接的存储器；其中，所述存储器存储有可被所述至少一个处理器执行的指令，所述指令被所述至少一个处理器执行，以使所述至少一个处理器能够执行上述的射频信号收发方法。

[0009] 为至少解决上述技术问题，本申请实施例还提供了一种计算机可读存储介质，存储有计算机程序，所述计算机程序被处理器执行时实现上述的射频信号收发方法。

[0010] 为至少解决上述技术问题，本申请实施例还提供了一种终端设备，包括至少一个上述的PCB板。

[0011] 本申请实施例提供的PCB板设计方法相对于现有技术而言，在进行PCB板设计制作的过程中，先在不添加匹配电路的情况下，在PCB板顶层焊盘和PCB板底层焊盘上获取PCB过孔在PCB板顶层和PCB板底层上分别表现出的第一初始阻抗和第二初始阻抗，以及PCB过孔在PCB板顶层和PCB板底层上分别需要表现出的第一目标阻抗和第二目标阻抗；然后根据第一初始阻抗和第一目标阻抗，确定PCB过孔在顶层表现出第一目标阻抗时，待添加的顶层匹配电路中各器件的器件值；根据第二初始阻抗和第二目标阻抗，确定PCB过孔在底层表现出第二目标阻抗时，待添加的底层匹配电路中各器件的器件值；从而根据确定出的各匹配电路中各器件的器件值，为PCB板分别构建顶层匹配电路和底层匹配电路。根据PCB过孔在裸板状态下表现出的初始阻抗和进行信号传输过程中需要表现出的目标阻抗，计算出待添加的匹配电路中各器件的器件值，并根据计算出的器件值进行匹配电路构建，通过设计出特性阻抗特定的匹配电路对PCB过孔的特性阻抗进行控制，使PCB过孔表现出的特性阻抗为与待传输信号特性阻抗匹配的目标特性阻抗，尽可能保证PCB过孔信号传输质量，降低损耗。

[0012] 另外，第一目标阻抗和/或所述第二目标阻抗可以通过以下方式确定；获取所述PCB过孔的待传输信号的频率；根据预设特性阻抗匹配规则，将与所述待传输信号的频率匹配的特性阻抗作为所述第一目标阻抗或所述第二目标阻抗。通过获取PCB过孔待传输信号的频率，结合待传输信号的频率与预设的特性阻抗匹配规则，准确获取PCB过孔的目标特性阻抗，便于准确设置计算出匹配电路中各器件的器件值，从而保证匹配电路设置的准确性和PCB过孔的信号传输质量。

[0013] 另外，在所述为PCB板分别构建所述顶层匹配电路和所述底层匹配电路后，还包括：获取添加所述顶层匹配电路和所述底层匹配电路后，所述PCB过孔的传输所述待传输信号过程中的信号传输损耗；根据所述信号传输损耗，对所述顶层匹配电路和/或所述底层匹配电路中各器件的器件值进行微调。通过根据PCB过孔在添加匹配电路后的信号传输损耗，对匹配电路中各器件的器件值进行微调，尽可能保证PCB过孔特性阻抗与待传输信号的匹配程度，保证信号传输质量。

附图说明

[0014] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,附图中具有相同参考数字标号的元件表示为类似的元件,除非有特别申明,附图中的图不构成比例限制。

[0015] 图1是根据本申请实施例提供的一种PCB板设计流程图;

[0016] 图2是根据本申请实施例另一实施例提供的一种PCB板的结构示意图;

[0017] 图3是根据本申请实施例提供的一种匹配电路的结构示意图;

[0018] 图4是根据本申请另一实施例提供的一种电子设备的结构示意图。

[0019] 附图标记

[0020] 201-PCB过孔;202-PCB过孔顶层焊盘;203-顶层匹配电路;204-PCB过孔底层焊盘;

[0021] 205-底层匹配电路;206-走线层。

具体实施方式

[0022] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施方式进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施方式中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施方式的种种变化和修改,也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便,不应对本发明的具体实现方式构成任何限定,各个实施例在不矛盾的前提下可以相互结合相互引用。

[0023] 下面将结合具体的实施例对本申请记载的PCB板设计方法的实现细节进行具体的说明,以下内容仅为方便理解提供的实现细节,并非实施本方案的必须。

[0024] 本申请实施例的第一方面提供了一种PCB板设计方法,在具体的应用中PCB板设计方法可以应用于具有通信、运算和存储能力的终端,如电脑、手机等电子设备中,本实施例以应用在电脑上为例进行说明,PCB板设计方法的具体流程可以参考图1,至少包括以下步骤:

[0025] 步骤101,获取PCB过孔的初始阻抗和目标阻抗。

[0026] 具体地说,在进行包含PCB过孔的PCB板设计的过程中,可以先在未贴任何元器件的PCB裸板上的指定位置制作出PCB过孔,并分别在PCB板的顶层和底层为过孔制作PCB过孔顶层焊盘和PCB过孔底层焊盘,然后可以利用网络扫描仪等具有阻抗扫描分析能力的仪器,从PCB过孔顶层焊盘和PCB过孔底层焊盘对PCB过孔的特性阻抗进行测试,获取PCB过孔的顶层初始阻抗和底层初始阻抗。然后将PCB板的参数及测试出的PCB过孔特性阻抗,输入电脑,电脑获取并存储当前的PCB板参数和PCB过孔特性阻抗。然后根据PCB过孔或者PCB板待传输的信号,通过实时计算或者在预设存储地址进行数据读取的方式,确定PCB过孔在PCB板顶层的第一目标阻抗以及PCB过孔在PCB板底层的第二目标阻抗,进而获取PCB过孔在PCB板顶层的第一初始阻抗和第一目标阻抗,以及PCB过孔在PCB板底层的第二初始阻抗和第二目标阻抗。

[0027] 在一个例子中,第一目标阻抗和/或第二目标阻抗可以通过以下方式确定;获取PCB过孔的待传输信号的频率;根据预设特性阻抗匹配规则,将与待传输信号的频率匹配的特性阻抗作为第一目标阻抗或第二目标阻抗。

[0028] 具体而言,PCB过孔在PCB板顶层和底层的特性阻抗是为了保证待传输的高速高频信号的通信质量,而对于不同的高频高速信号,与之匹配的目标特性阻抗与信号本身的频率相关,因此,可以预先根据不同频率的信号与目标特性阻抗之间的对应关系,构建预设特性阻抗匹配规则。在确定PCB过孔分别在PCB板顶层和底层的特性阻抗的过程中,电脑可以根据用户输入指令或者通过通信的方式,获取PCB过孔待传输信号的频率,然后调用预设特性阻抗匹配规则,根据待传输信号的频率,获取与待传输信号频率相匹配的特性阻抗的具体值,然后将确定出的特性阻抗分别作为PCB过孔在PCB板顶层的第一目标阻抗和在PCB板底层的第二目标阻抗。例如,需要传输的信号为20GHz的射频信号,则根据预设特性阻抗匹配规则可以计算出所需特性阻抗为 $50\ \Omega$ 。通过获取PCB过孔待传输信号的频率,结合待传输信号的频率与预设的特性阻抗匹配规则,准确获取PCB过孔的目标特性阻抗,便于准确设置计算出匹配电路中各器件的器件值,从而保证匹配电路设置的准确性和PCB过孔的信号传输质量。

[0029] 值得一提的是,不同频率信号对应的目标特性阻抗也可以预先根据预设特性阻抗匹配规则计算出来,并存储到指定的存储地址,在需要获取待传输信号的目标特性阻抗时,直接根据待传输信号的频率,在指定的存储地址进行数据查询,以提高目标特性阻抗的获取效率,在具体的应用中,可以根据实际需要目标特性阻抗的获取方式进行选择和设置,本实施例对目标特性阻抗的具体获取方式不做限制。

[0030] 步骤102,根据目标阻抗和初始阻抗,确定匹配电路中各器件的器件值。

[0031] 具体地说,在通过分析仪器或通信的方式获取到PCB过孔在PCB板顶层和底层的初始阻抗和目标阻抗后,电脑可以根据获取到的参数构建包含PCB过孔的PCB板模型,然后在PCB板模型的顶层为PCB板构建一个初始状态的顶层匹配电路,顶层匹配电路用于将PCB过孔在PCB板顶层的特性阻抗调整为第一目标阻抗;在PCB板模型的底层为PCB板构建一个初始状态的底层匹配电路,底层匹配电路用于将PCB过孔在PCB板底层的特性阻抗调整为第二目标阻抗。调用具有阻抗匹配仿真模拟能力的软件或者工具,根据第一初始阻抗和第一目标阻抗,通过仿真模拟的方式对顶层匹配电路进行阻抗匹配,确定待添加的顶层匹配电路中各器件的器件值;根据第二初始阻抗和第二目标阻抗,通过仿真模拟的方式对底层匹配电路进行阻抗匹配,确定待添加的底层匹配电路中各器件的器件值。

[0032] 例如,待添加的匹配电路可以包括 π 型阻抗匹配网络和 $0\ \Omega$ 电阻, $0\ \Omega$ 电阻用于连接PCB板的走线获取待传输信号, π 型阻抗匹配网络的高频信号焊盘用于与PCB过孔的顶层焊盘或者底层焊盘连接,将待传输信号传输到PCB过孔。在确定各器件的器件值时,分别将PCB过孔的第一初始阻抗和第一目标阻抗代入smith工具进行阻抗匹配仿真,使得从顶层匹配电路的信号输入端开始计算的特性阻抗达到第一目标阻抗,记录下特性阻抗满足要求时顶层匹配电路中各器件的器件值,底层匹配电路可以基于类似的方式进行阻抗匹配,在此就不再赘述。

[0033] 步骤103,根据确定出的器件值,为PCB板构建匹配电路。

[0034] 具体地说,在根据PCB过孔的初始特性阻抗和目标特性阻抗,通过阻抗匹配的仿真模拟计算出各匹配电路中各器件的器件值之后,对构建的PCB板模型中的顶层匹配电路和底层匹配电路中各器件的器件值进行更新,在PCB板模型中完成顶层匹配电路和底层匹配电路的构建,使得PCB板模型中PCB过孔在顶层和底层的特性阻抗分别为第一目标阻抗和第二

目标阻抗,然后可以对PCB板模型和相关的参数进行存储,并根据存储的数据进行PCB板的贴片生产。

[0035] 在一个例子中,在为PCB板分别构建顶层匹配电路和底层匹配电路后,还包括:获取添加顶层匹配电路和底层匹配电路后,PCB过孔的传输待传输信号过程中的信号传输损耗;根据信号传输损耗,对顶层匹配电路和/或底层匹配电路中各器件的器件值进行微调。

[0036] 具体而言,在获取各匹配电路中各器件的器件值,并完成顶层匹配电路和底层匹配电路的构建后,通过仿真模拟的方式模拟PCB板进行待传输信号的传输过程,获取PCB过孔的信号传输损耗,或者通过网络分析仪对根据PCB模型构建出的PCB板在进行待传输信号传输过程中的信号损耗进行检测,获取PCB板在顶层匹配电路和底层匹配电路构建后的进行待传输信号传输时的信号传输损耗,然后根据获取到的信号传输损耗对PCB过孔的特性阻抗进行进一步的分析和匹配,并根据分析和匹配的结果,对顶层匹配电路和/或底层匹配电路中各器件的器件值进行微调,使得PCB过孔的特性阻抗与待传输信号的目标特性阻抗更加贴合。通过根据PCB过孔在添加匹配电路后的信号传输损耗,对匹配电路中各器件的器件值进行微调,尽可能保证PCB过孔特性阻抗与待传输信号的匹配程度,保证信号传输质量。

[0037] 需要说明的是,本实施例中的上述各示例均为方便理解进行的举例说明,并不对本发明的技术方案构成限定。上面各种方法的步骤划分,只是为了描述清楚,实现时可以合并为一个步骤或者对某些步骤进行拆分,分解为多个步骤,只要包括相同的逻辑关系,都在本专利的保护范围内;对算法中或者流程中添加无关紧要的修改或者引入无关紧要的设计,但不改变其算法和流程的核心设计都在该专利的保护范围内。

[0038] 本申请另一实施例涉及一种PCB板,PCB板的结构示意图可以参考图2,包括:PCB过孔201、PCB过孔顶层焊盘202、顶层匹配电路203、PCB过孔底层焊盘204、底层匹配电路205和各走线层206:

[0039] PCB过孔201贯穿PCB板的各走线层206;PCB过孔顶层焊盘202位于PCB板的顶层,沿PCB过孔201的边缘外延第一预设距离,通过顶层匹配电路203与PCB板顶层走线连接;顶层匹配电路203用于将PCB过孔201在PCB板顶层的特性阻抗调整为第一目标阻抗;PCB过孔底层焊盘204位于PCB板的底层,沿PCB过孔201的边缘外延第二预设距离,通过底层匹配电路205与PCB板底层走线连接;底层匹配电路205用于将PCB过孔201在PCB板底层的特性阻抗调整为第二目标阻抗。

[0040] 具体而言,在进行PCB制作的过程中,可以根据计算出的位置,在PCB板各走线层206中制作出PCB过孔201,并根据预先确定的焊盘尺寸,分别在PCB板顶层走线层和底层走线层上,根据第一预设距离和第二预设距离,沿PCB过孔201的外边缘,制作出PCB过孔顶层焊盘202和PCB过孔底层焊盘204。然后获取根据仿真模拟结果确定出的控制PCB过孔201特性阻抗的顶层匹配电路203和底层匹配电路205中各器件的器件值,按照指定的器件值和设计位置,构建出顶层匹配电路203和底层匹配电路205,并通过将匹配电路中的高频信号焊盘与过孔焊盘部分重叠,实现PCB过孔顶层焊盘202和PCB过孔底层焊盘204,分别与顶层匹配电路203和底层匹配电路205的连接,接入对PCB过孔201进行特性阻抗控制的匹配电路,然后通过匹配电路和走线层的走线进行连接,完成PCB板的制作。通过在进行PCB板制作的过程中,设置特性阻抗特定的匹配电路对PCB过孔的特性阻抗进行控制,使PCB过孔表现出

的特性阻抗为与待传输信号特性阻抗匹配的目标特性阻抗,尽可能保证PCB过孔信号传输质量,降低损耗。

[0041] 进一步地,顶层匹配电路,包括: π 型阻抗匹配网络、 $0\ \Omega$ 电阻和参考地线; $0\ \Omega$ 电阻的一端与顶层走线连接,另一端与 π 型阻抗匹配网络连接; π 型阻抗匹配网络通过与PCB过孔顶层焊盘部分重叠的高频信号焊盘与PCB过孔顶层焊盘连接,另一端与参考地线连接。

[0042] 具体而言,在顶层匹配电路中设置有串位 0 欧姆电阻与顶层走线连接,通过串位 0 欧姆电阻对阻抗范围进行控制,避免谐振频率等问题,并且避免短路、过流等问题造成PCB板损毁;在 $0\ \Omega$ 电阻后设置 π 型阻抗匹配网络, π 型阻抗匹配网络通过与PCB过孔顶层焊盘部分重叠的高频信号焊盘与PCB过孔顶层焊盘连接,设置 π 型阻抗匹配网络,便于通过结合参考地线,调整 π 型阻抗匹配网络中各器件的器件值,使得顶层匹配电路和PCB过孔共同提供的特性阻抗达到待传输信号所需的目标特性阻抗,并且 π 型阻抗匹配网络通过高频信号焊盘与PCB过孔顶层焊盘连接,能够实现功率的最大传输。

[0043] 进一步地,底层匹配电路,包括: π 型阻抗匹配网络、 $0\ \Omega$ 电阻和参考地线; $0\ \Omega$ 电阻的一端与底层走线连接,另一端与 π 型阻抗匹配网络连接; π 型阻抗匹配网络通过与PCB过孔底层焊盘部分重叠的高频信号焊盘与PCB过孔底层焊盘连接,另一端与参考地线连接。

[0044] 底层匹配电路的设置和上述顶层匹配电路的设置是类似的,为了避免表达上的重复,对底层匹配电路的设置方式和机理就不再赘述。

[0045] 更进一步地, π 型阻抗匹配网络包括:第一并位器件、串位器件和第二并位器件;第一并位器件的一端与串位器件连接,另一端与参考地线连接,并通过高频信号焊盘与PCB过孔底层焊盘或PCB过孔顶层焊盘连接;串位器的另一端与第二并位器件的第一端连接;第二并位器件的第二端与 $0\ \Omega$ 电阻连接,第三端与参考地线连接。

[0046] 例如,匹配电路的结构示意图可以参考图3,沿PCB过孔至PCB板走线的方向来看,PCB过孔顶层焊盘或者PCB过孔底层焊盘通过与 π 型阻抗匹配网络中的第一并位器件的高频信号焊盘部分重叠的方式,与 π 型阻抗匹配网络中的第一并位器件连接,第一并位器件的一端和 π 型阻抗匹配网络中的串位器件连接,另一端与匹配电路对应的参考地线连接。串位器件的另一端与第二并位器件的第一端连接,用于连通第一并位器件和第二并位器件,第二端与 $0\ \Omega$ 电阻连接,用于通过 $0\ \Omega$ 电阻将PCB板走线与 π 型阻抗匹配网络连通,第三端与参考地线连接。通过设置经典的 π 型阻抗匹配网络,降低设计难度的同时,保证匹配电路能够准确的对PCB过孔的特性阻抗进行调整。

[0047] 本申请另一实施例涉及一种电子设备,如图4所示,包括:至少一个处理器401;以及,与所述至少一个处理器401通信连接的存储器402;其中,所述存储器402存储有可被所述至少一个处理器401执行的指令,所述指令被所述至少一个处理器401执行,以使所述至少一个处理器401能够执行上述各实施例中的PCB板设计方法。

[0048] 其中,存储器和处理器采用总线方式连接,总线可以包括任意数量的互联的总线和桥,总线将一个或多个处理器和存储器的各种电路连接在一起。总线还可以将诸如外围设备、稳压器和功率管理电路等之类的各种其他电路连接在一起,这些都是本领域所公知的,因此,本文不再对其进行进一步描述。总线接口在总线和收发机之间提供接口。收发机可以是一个元件,也可以是多个元件,比如多个接收器和发送器,提供用于在传输介质上与各种其他装置通信的单元。经处理器处理的数据通过天线在无线介质上进行传输,进一步,

天线还接收数据并将数据传送给处理器。

[0049] 处理器负责管理总线和通常的处理,还可以提供各种功能,包括定时,外围接口,电压调节、电源管理以及其他控制功能。而存储器可以被用于存储处理器在执行操作时所使用的数据。

[0050] 本申请另一实施例涉及一种计算机可读存储介质,存储有计算机程序。计算机程序被处理器执行时实现上述方法实施例。

[0051] 即,本领域技术人员可以理解,实现上述实施例方法中的全部或部分步骤是可以通程序来指令相关的硬件来完成,该程序存储在一个存储介质中,包括若干指令用以使得一个设备(可以是单片机,芯片等)或处理器(processor)执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM,Read-Only Memory)、随机存取存储器(RAM,Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

[0052] 本申请另一实施例涉及一种终端设备,包括至少一个如上所述的PCB板。

[0053] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。

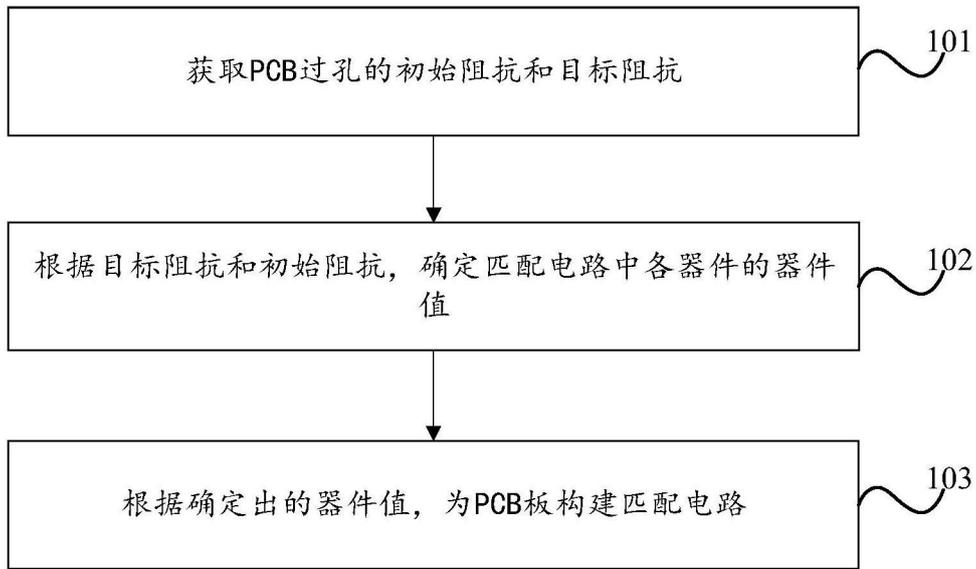


图1

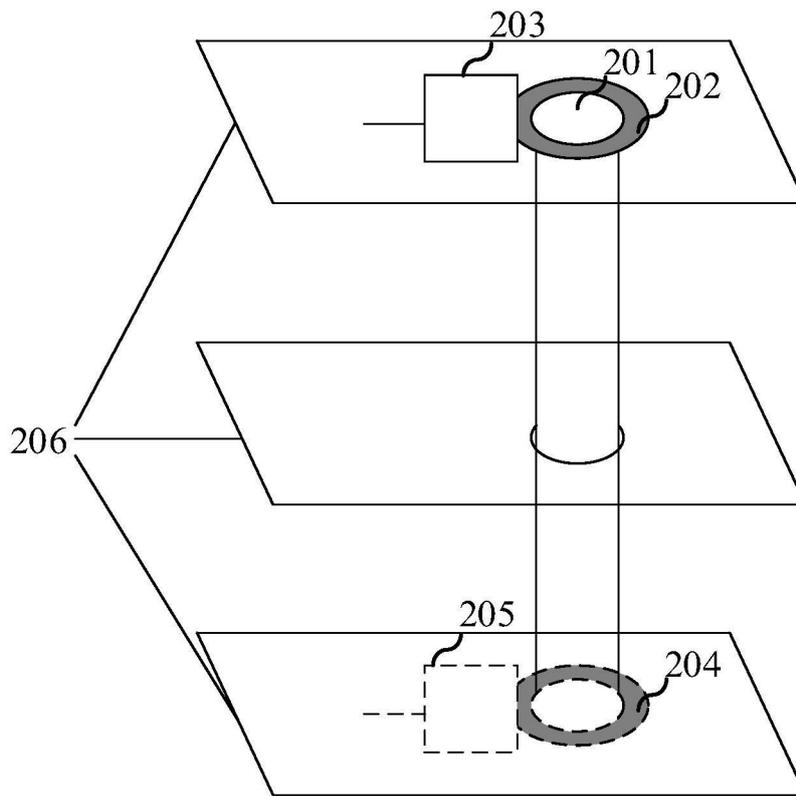


图2

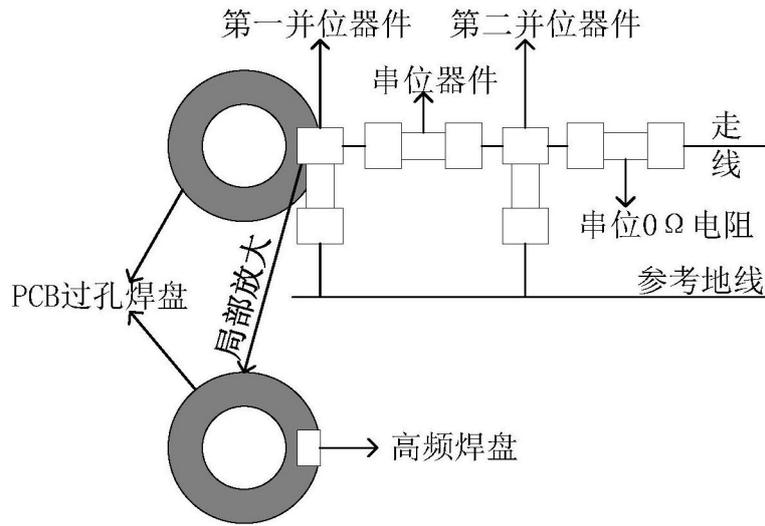


图3

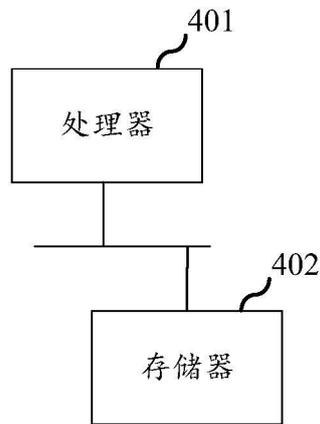


图4