

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P614120 f

※申請日期：86.11.1

※IPC 分類：H01L 21/8247 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶體及其製造方法 / NON-VOLATILE
MEMORY AND METHOD OF MANUFACTURING
THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

力晶半導體股份有限公司/POWERCHIP SEMICONDUCTOR CORP.

代表人：(中文/英文) 黃崇仁/CHUNG-JENG HUANG

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行一路 12 號/NO. 12, LI-HSIN RD. I,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 魏鴻基 / WEI, HOUNG-CHI
2. 朱建隆 / CHU, CHIEN-LUNG
3. 畢嘉慧 / SAYSAMONE PITTIKOUN

國籍：(中文/英文) 1-2. 中華民國/TW、3. 法國/FR

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種記憶體及其製造方法，且特別是有關於一種非揮發性記憶體及其製造方法。

【先前技術】

在各種記憶體產品中，具有可進行多次資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點的非揮發性記憶體，已成為個人電腦和電子設備所廣泛採用的一種記憶體元件。

請參照圖 1，其為習知一種非揮發性記憶體之剖面示意圖。浮置閘極 106a 配置於淺溝渠隔離結構(shallow trench isolation, STI)102 之間的基底 100 上。穿隧介電層 104 配置於浮置閘極 106a 與基底 100 之間。閘間介電層 108 順應性地配置於基底 100 上方。控制閘極 110 配置於閘間介電層 108 上，且填入至相鄰的浮置閘極 106a 之間間隙(space)112。源極/汲極區(未繪示)則配置在由穿隧介電層 104、浮置閘極 106a、閘間介電層 108 以及控制閘極 110 所組成的堆疊閘極結構之二側的基底 100 中。

請參照圖 2，其為習知另一種非揮發性記憶體之剖面示意圖。圖 2 所示的非揮發性記憶體與一般的非揮發性記憶體之差異在於：浮置閘極 106b。浮置閘極 106b，配置在穿隧介電層 104 上，且還有一部分配置於淺溝渠隔離結構 102 上。

隨著積體電路元件朝小型化逐漸發展，記憶體的尺寸

也隨著線寬減少而縮小，相鄰的浮置閘極之間的間隙亦同樣會因元件微縮而較為窄化。控制閘極材料將會無法完全填充於間隙(space)內，而易產生孔隙(如圖 1 與圖 2 之 114 所示)，這樣的問題則會嚴重影響記憶體的可靠度與元件效能。

為了解決上述的問題，業界提出一種平坦式浮置閘極結構(如圖 3 所示)。圖 3 所示的非揮發性記憶體與上述的非揮發性記憶體之差異在於：浮置閘極 106c 的表面高度與淺溝渠隔離結構 102 的表面高度約相同，且利用高介電常數之介電材料作為閘間介電層 108。如此一來，就不會存在有習知相鄰浮置閘極之間的間隙產生孔隙的問題。但是，此種非揮發性記憶體的結構會使得控制閘極與浮置閘極間的耦合率(coupling ratio)大幅降低。

因此，在目前元件小型化的趨勢下，如何在有限的空間中兼顧元件的積集度及元件可靠度，將是各界研究的重點之一。

【發明內容】

有鑑於此，本發明的目的就是在提供一種非揮發性記憶體及其製造方法，能夠增加相鄰的浮置閘極之間的間隙以避免後續填入之膜層產生孔隙，而且不會降低控制閘極與浮置閘極間的耦合率，而可符合現今趨勢元件縮小化的要求。

本發明提出一種非揮發性記憶體的製造方法。首先，在基底上依序形成絕緣層、第一導體材料層與研磨終止

方法，上述移除每一個導體塊所曝露出來的部分側壁以形成浮置閘極的方法，例如是利用一乾式蝕刻法或一濕式蝕刻法。

依照本發明的實施例所述之非揮發性記憶體之製造方法，更包括在上述的第一溝渠的形成之前，於研磨終止層上形成一硬罩幕層，而硬罩幕層的材質例如是非晶碳。在一實施例中，上述之第一溝渠的形成方法例如是：在記憶胞區的硬罩幕層上形成一圖案化光阻層。然後，利用圖案化光阻層為罩幕，蝕刻硬罩幕層、研磨終止層、第一導體材料層、絕緣層與部分基底，以形成溝渠。在另一實施例中，上述之第二溝渠的形成方法例如是：在第一溝渠形成之後，形成一抗反射層，覆蓋硬罩幕層且填滿溝渠。然後，形成一圖案化光阻層，以曝露出週邊電路區的部分抗反射層。之後，以圖案化光阻層為罩幕，蝕刻抗反射層、硬罩幕層、研磨終止層、第一導體材料層、穿隧介電層與部分基底，以形成第二溝渠。

依照本發明的實施例所述之非揮發性記憶體之製造方法，上述之研磨終止層的材質例如是氮化矽或氮氧化矽。

本發明又提出一種非揮發性記憶體，其包括基底、多個浮置閘極、多個閘極介電層以及多個溝渠隔離結構。其中，這些浮置閘極配置於基底上，且每一個浮置閘極的寬度自其底部往頂部遞減。這些閘極介電層分別配置於每一個浮置閘極與基底之間。這些溝渠隔離結構分別配置於相鄰的二浮置閘極之間的基底中，而每一個溝渠隔離結構的

矽基底或是其他合適之半導體基底。基底 400 具有記憶胞區 402 與週邊電路區 404。

然後，在基底 400 上形成絕緣層 406，以作為記憶胞區 402 的穿隧介電層以及週邊電路區 404 的閘介電層 104。絕緣層 406 的材質例如為氧化矽，而其形成方法為本領域中具有通常知識者所熟知，於此不再贅述。

接著，於基底 400 上形成導體材料層 408。導體材料層 408 的材質例如是摻雜多晶矽。導體材料層 408 的形成方法，例如是先進行化學氣相沈積製程來形成一層未摻雜多晶矽層，之後再進行離子植入製程，以形成之；或者也可以採用臨場(in-situ)植入摻質的方式，進行化學氣相沈積製程，以形成之。

之後，請繼續參照圖 4A，於導體材料層 408 上形成研磨終止層 410。研磨終止層 410 的材質例如是氮化矽、氮氧化矽或其他合適之材質，其形成方法例如是化學氣相沈積法。接著，在研磨終止層 410 形成之後，可於其上形成硬罩幕層 412。硬罩幕層 412 的材質例如是非晶碳(amorphous carbon)或其他合適之材質，其形成方法例如是化學氣相沈積法。

繼之，請參照圖 4B，形成圖案化光阻層 413，以曝露出記憶胞區 402 的部分硬罩幕層 412。然後，採用自行對準的方式，以圖案化光阻層 413 為罩幕，進行一蝕刻製程，以在記憶胞區 402 之硬罩幕層 412、研磨終止層 410、導體材料層 408、絕緣層 406 與部分基底 400 中，形成多個溝

渠 414。同時，上述之蝕刻製程亦會切割導體材料層 408，而在記憶胞區 402 的兩兩相鄰的溝渠 414 之間形成多個導體塊 408a。

隨後，請參照圖 4C，形成溝渠 414 之後，移除圖案化光阻層 413。接著，形成抗反射層 416，以覆蓋硬罩幕層 412 且填滿溝渠 414。之後，在抗反射層 416 上形成圖案化光阻層 417，此圖案化光阻層 417 曝露出週邊電路區 404 的部分抗反射層 416。

然後，請參照圖 4D，利用圖案化光阻層 417 為罩幕，進行一蝕刻製程，以在週邊電路區 404 之抗反射層 416、硬罩幕層 412、研磨終止層 410、導體材料層 408、絕緣層 406 與部分基底 400 中，形成多個溝渠 418。

之後，請參照圖 4E，移除圖案化光阻層 417、抗反射層 416 以及硬罩幕層 412。另外，移除這些膜層的方法為本領域中具有通常知識者所熟知，於此不再贅述。

接著，請參照圖 4F，在基底 400 上方形成一介電材料層 420(如虛線所示)，覆蓋研磨終止層 410 以及填滿這些溝渠 414、418。然後，進行一化學研磨製程，移除多餘的介電材料層 420，直至曝露出研磨終止層 410 表面。此時，週邊電路區 404 的溝渠 418 及其內之介電材料層 420 則作為溝渠隔離結構 421。

之後，請參照圖 4G，例如是在形成光阻層(未繪示)，以覆蓋週邊電路區 404 的膜層。然後，以此光阻層為蝕刻罩幕，移除記憶胞區 402 之部分介電材料層 420，至介電

材料層 420 的表面略高於絕緣層 406 的表面，以於記憶胞區 402 形成多個溝渠隔離結構 423。其中，溝渠隔離結構 423 例如是高於基底 400 表面約 15 nm(d1)，而導體塊 408a 的表面高度例如是較基底 400 表面高 80 nm 左右。

接著，請參照圖 4H，移除導體塊 408a 所曝露出來的部分側壁，以形成多個浮置閘極 409。上述，形成浮置閘極 409 的方法例如是利用乾式蝕刻法、濕式蝕刻法或其他適合之方法，移除導體塊 408a 的部分側壁，而形成之。其中，濕式蝕刻法例如是使用 APM($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$) 溶液，在高溫環境下，進行蝕刻製程。

值得特別注意的是，所形成的浮置閘極 409 的底部寬度約等於導體塊 408a 的寬度，而浮置閘極 409 的頂部寬度會小於底部寬度，且浮置閘極 409 的寬度自其底部往頂部遞減。如此一來，相鄰的兩個浮置閘極 409 之間的間隙可較為擴大，進而可避免習知因製程微縮造成控制閘極材料於此間隙內產生孔隙的問題。另一方面，本實施例之方法不需使用習知的平坦式浮置閘極結構製程，因此並不會造成控制閘極與浮置閘極間的耦合率(coupling ratio)降低的問題。

接著，在形成浮置閘極 409 之後，更可繼續進行後續的閘間介電層、控制閘極等構件的製造。

請參照圖 4I，例如是利用磷酸(H_3PO_4)溶液作為蝕刻溶液，以移除研磨終止層 410。然後，在記憶胞區 402 的浮置閘極 409 與溝渠隔離結構 423 上形成閘間絕緣層，以

置閘極 409 配置於基底 400 上，而浮置閘極 409 的寬度自其底部往頂部遞減。絕緣層 406 分別配置於浮置閘極 409 與基底 400 之間。溝渠隔離結構 423 分別配置於相鄰的二浮置閘極 409 之間的基底 400 中，且溝渠隔離結構 423 的表面略高於絕緣層 406 的表面。閘間介電層 424 配置在浮置閘極 409 上與溝渠隔離結構 423 上。導體材料層 426 配置在閘間介電層 424 上。另外，在其他實施例中，還可包括在導體材料層 426 上配置金屬矽化物層 428，以降低元件的電阻值。

綜上所述，本發明至少具有下列優點：

1.由於本發明之浮置閘極結構的寬度自其底部往頂部遞減，因此可增加相鄰的兩個浮置閘極之間的間隙，以避免後續填入之膜層於此間隙內產生孔隙。

2.本發明不會導致控制閘極與浮置閘極間的耦合率降低而影響元件效能。

3.本發明是採用自動對準方式以及關鍵簡化方法來形成浮置閘極，不僅步驟簡易且可符合現今趨勢元件縮小化的要求。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為習知一種非揮發性記憶體之剖面示意圖。

圖 2 為習知另一種非揮發性記憶體之剖面示意圖。

圖 3 為習知又一種非揮發性記憶體之剖面示意圖。

圖 4A 至圖 4I 為依照本發明實施例所繪示的非揮發性記憶體的製造方法的流程剖面示意圖。

【主要元件符號說明】

- 100、400：基底
- 102：淺溝渠隔離結構
- 104：穿隧介電層
- 106a、106b、106c、409：浮置閘極
- 108、424：閘間介電層
- 110：控制閘極
- 402：記憶胞區
- 404：週邊電路區
- 406：絕緣層
- 408、426：導體材料層
- 408a：導體塊
- 410：研磨終止層
- 412：硬罩幕層
- 413、417：圖案化光阻層
- 414、418：溝渠
- 416：抗反射層
- 420：介電材料層
- 421、423：溝渠隔離結構
- 428：金屬矽化物層

五、中文發明摘要：

一種非揮發性記憶體之製造方法。首先，在基底上依序形成絕緣層、導體材料層與研磨終止層。然後，在研磨終止層、導體材料層、絕緣層與部分基底中形成多個溝渠，並將導體材料層切割成多個導體塊。繼之，形成介電材料層，覆蓋研磨終止層且填滿溝渠。接著，進行一化學研磨製程，直至曝露出研磨終止層表面。之後，移除部分介電材料層，以形成多個溝渠隔離結構。隨後，移除每一個導體塊所曝露出來的部分側壁，以形成多個浮置閘極。其中，每一個浮置閘極的寬度自其底部往頂部遞減。

六、英文發明摘要：

A method of manufacturing a non-volatile memory is provided. An insulation layer, a conductive material layer and a polish stop layer are sequentially on a substrate. A plurality of trenches are formed in the portion of substrate, the polish stop layer, the conductive material layer and the insulation layer, and the conductive material layer is segmented to form a plurality of conductive blocks. A dielectric material layer is formed to cover the polish stop layer and fill the trenches. A chemical mechanical polishing process is performed until exposing the surface of the polish stop layer. A portion of the dielectric layer is removed to form a plurality of trench isolation structures. A portion of sidewalls of each conductive block is removed to form a plurality of floating gates. The width of each floating gate is decreased gradually from bottom to top.

十一、圖式：

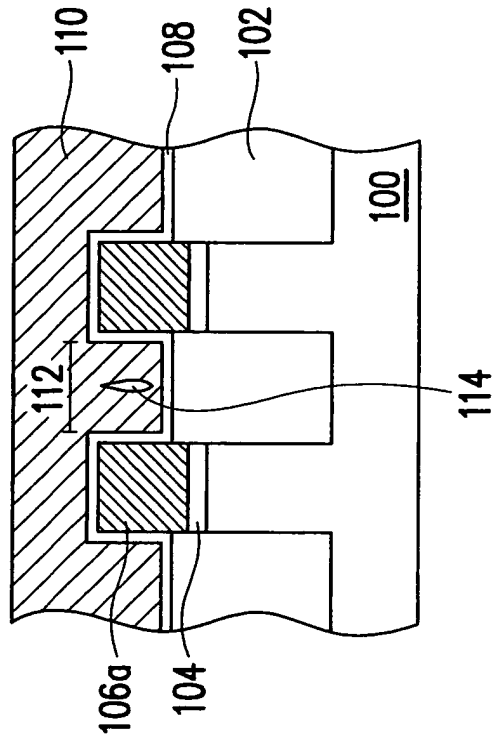


圖 1

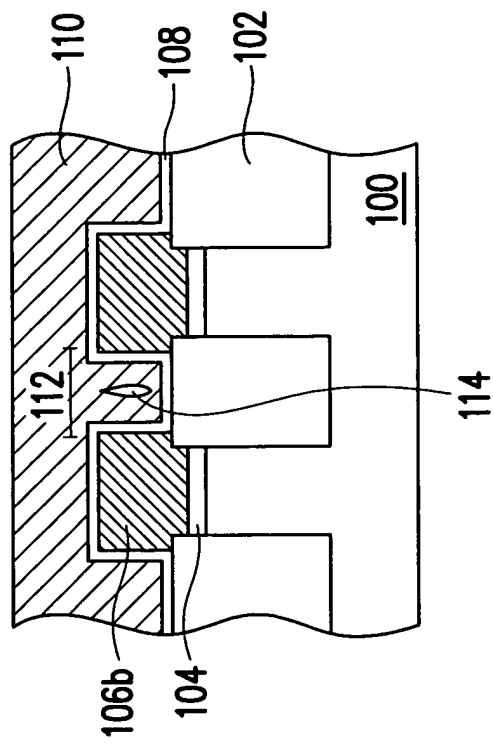


圖 2

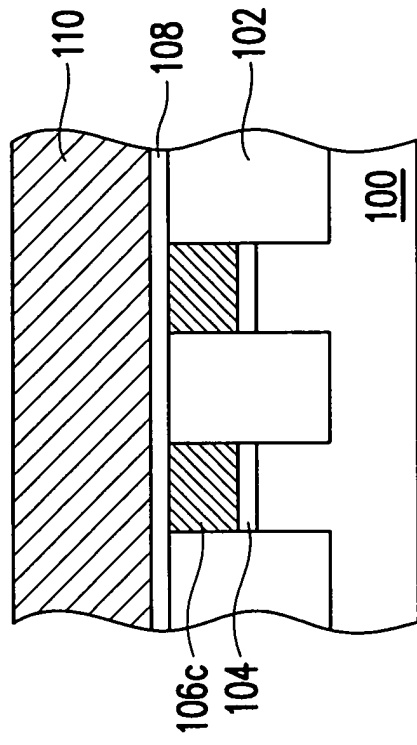


圖 3

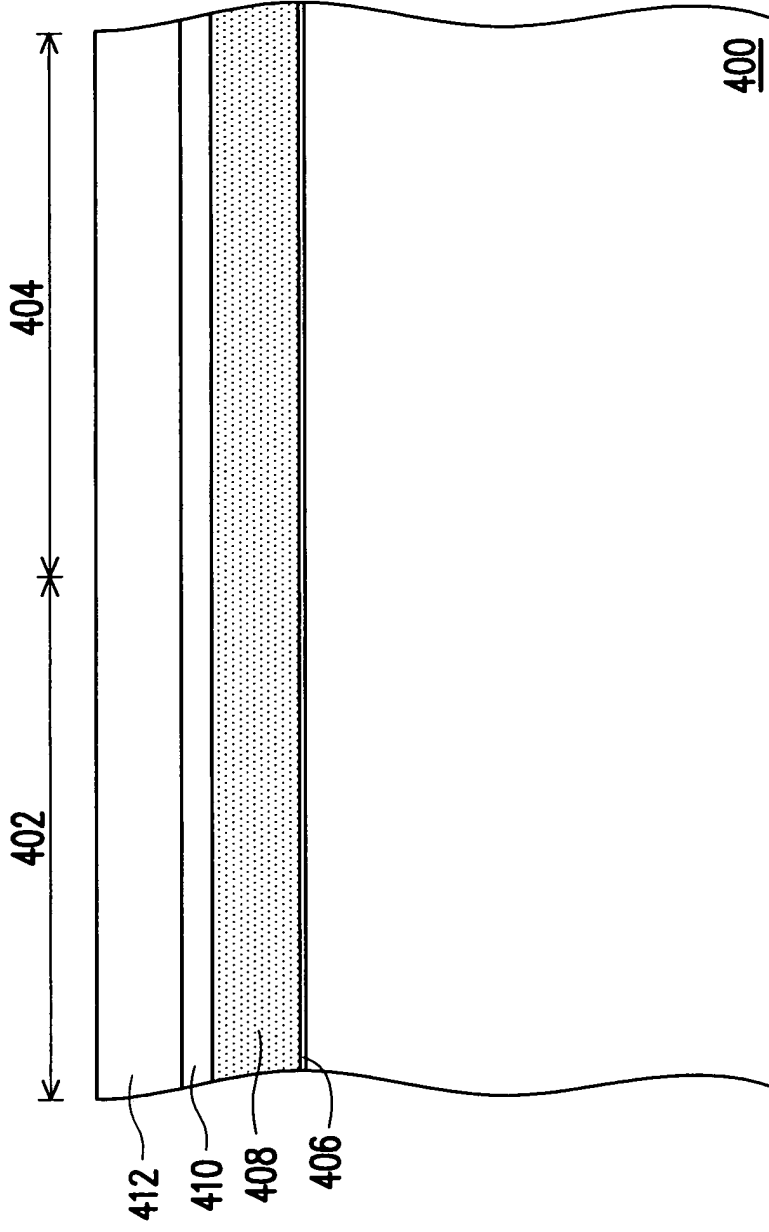


圖 4A

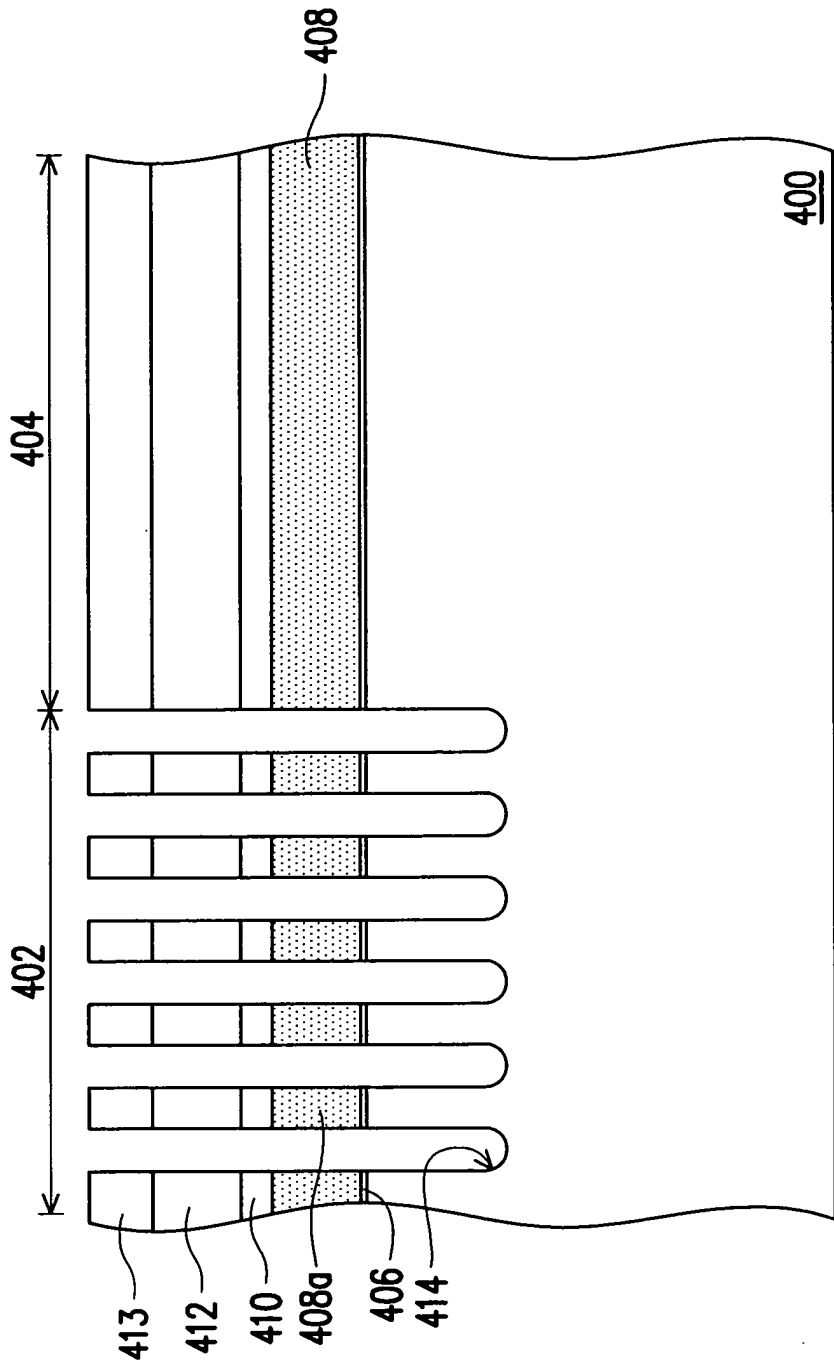


圖 4B

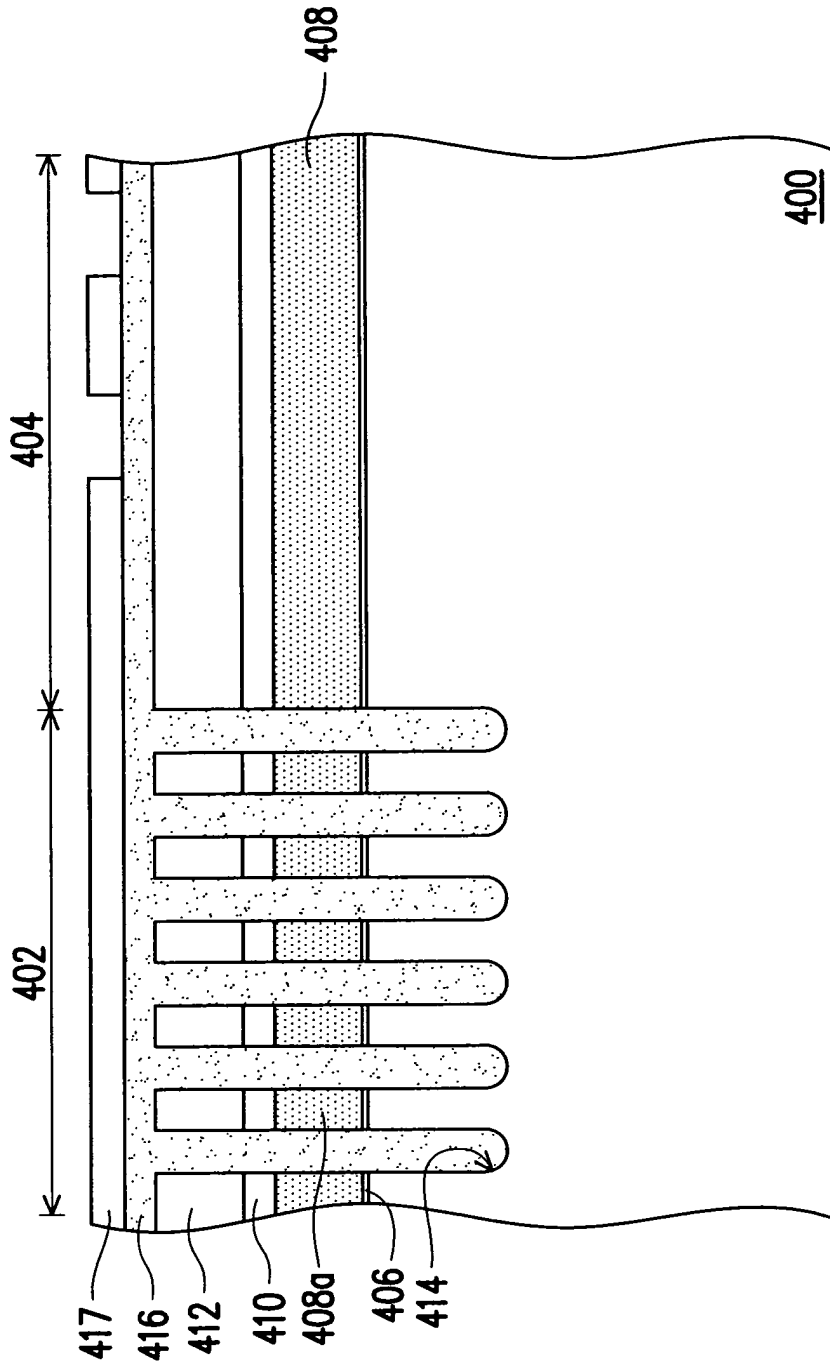


圖 4C

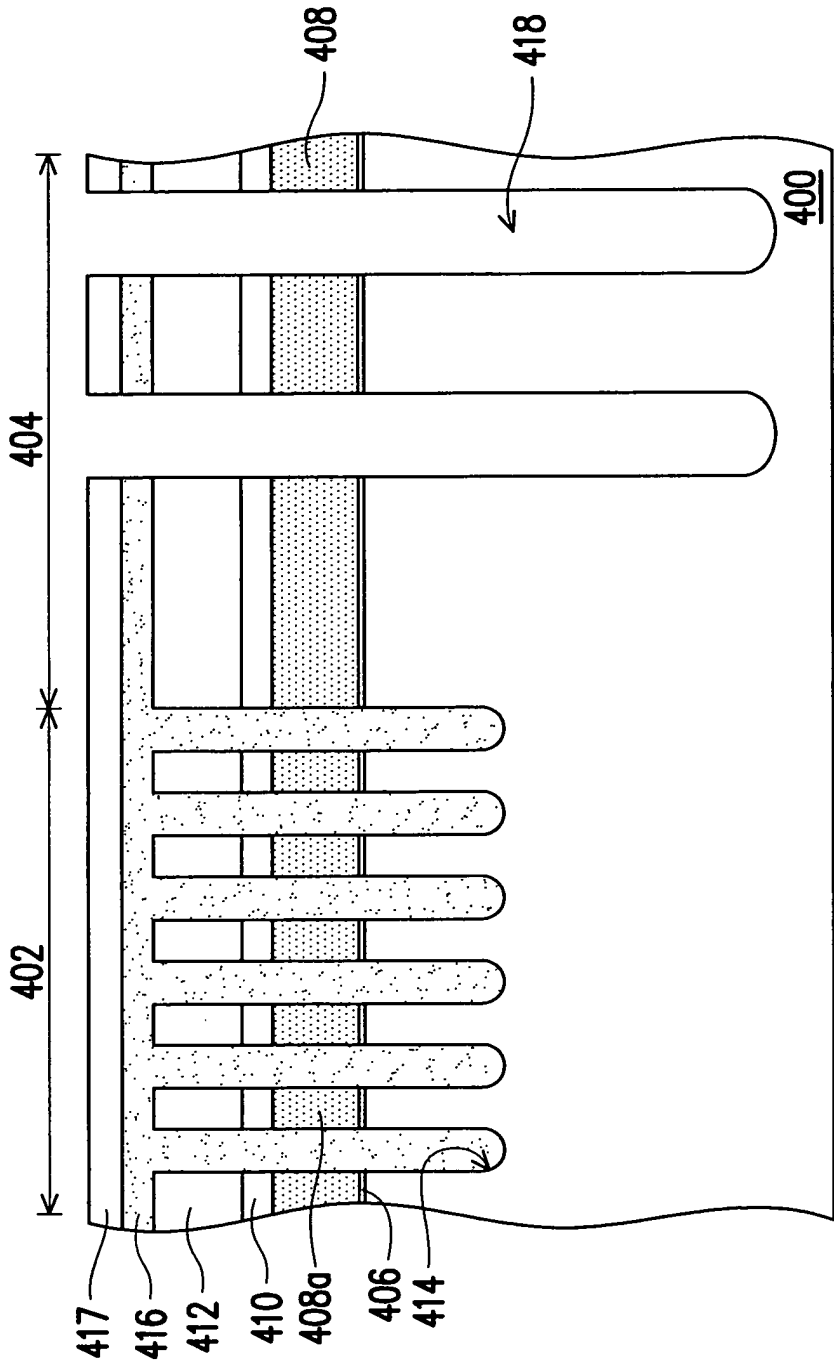


圖 4D

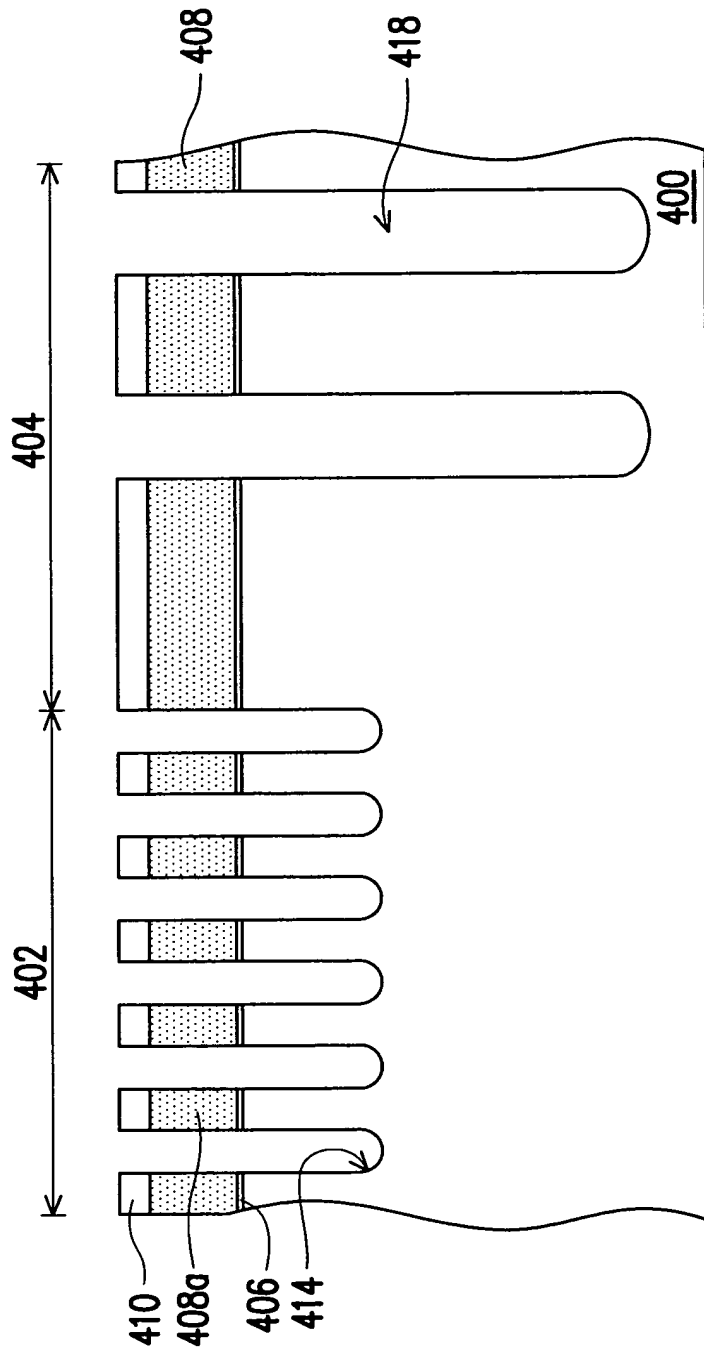


圖 4E

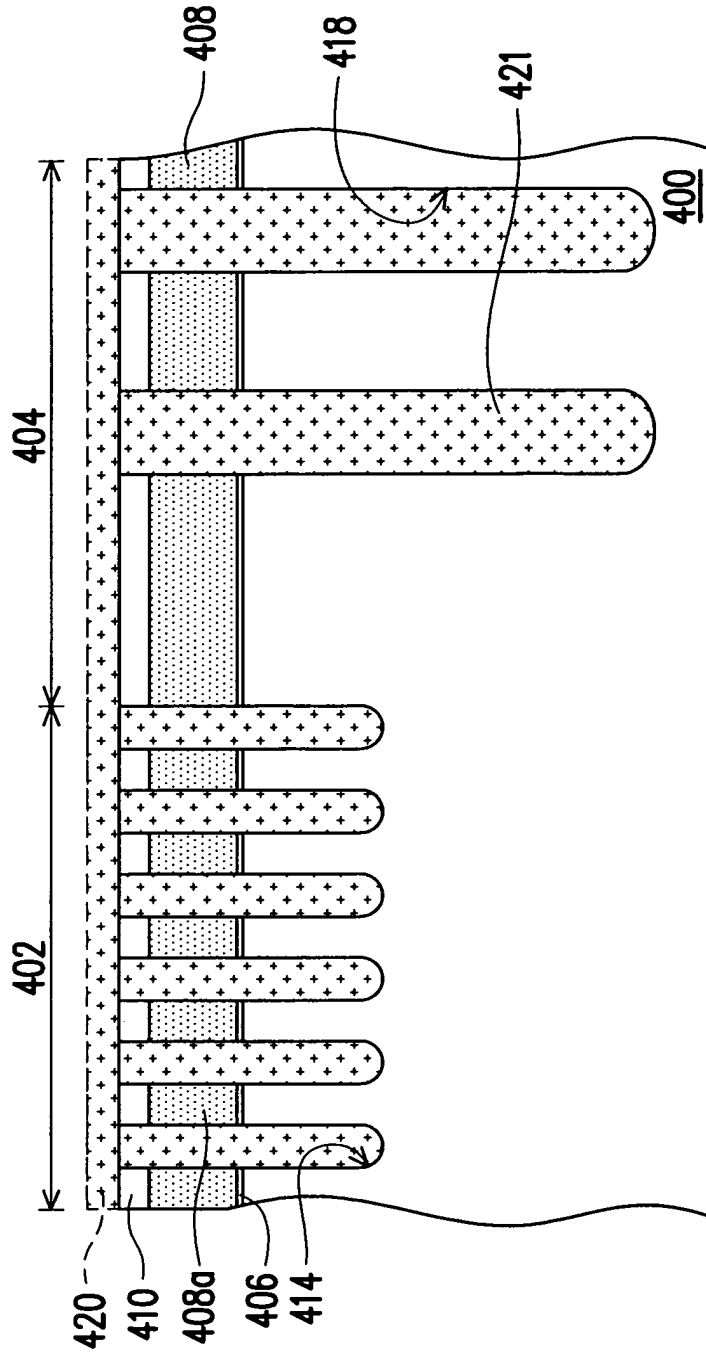


圖 4F

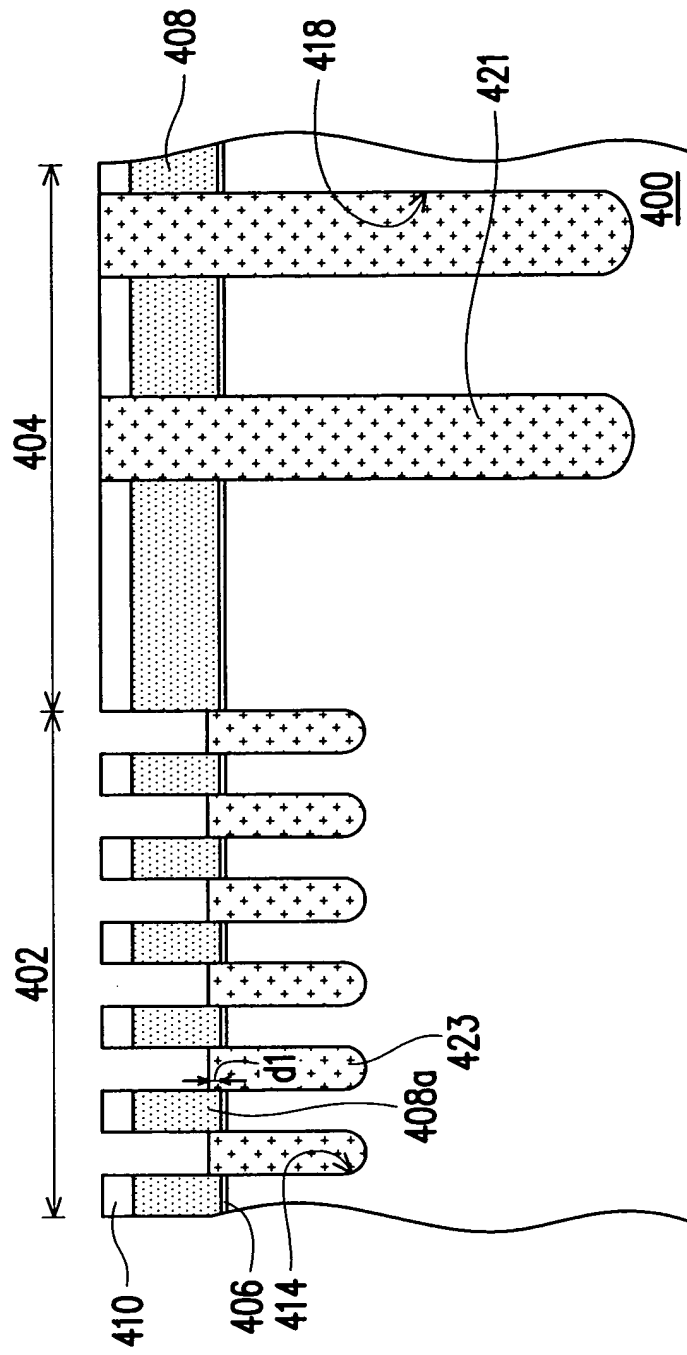


圖 4G

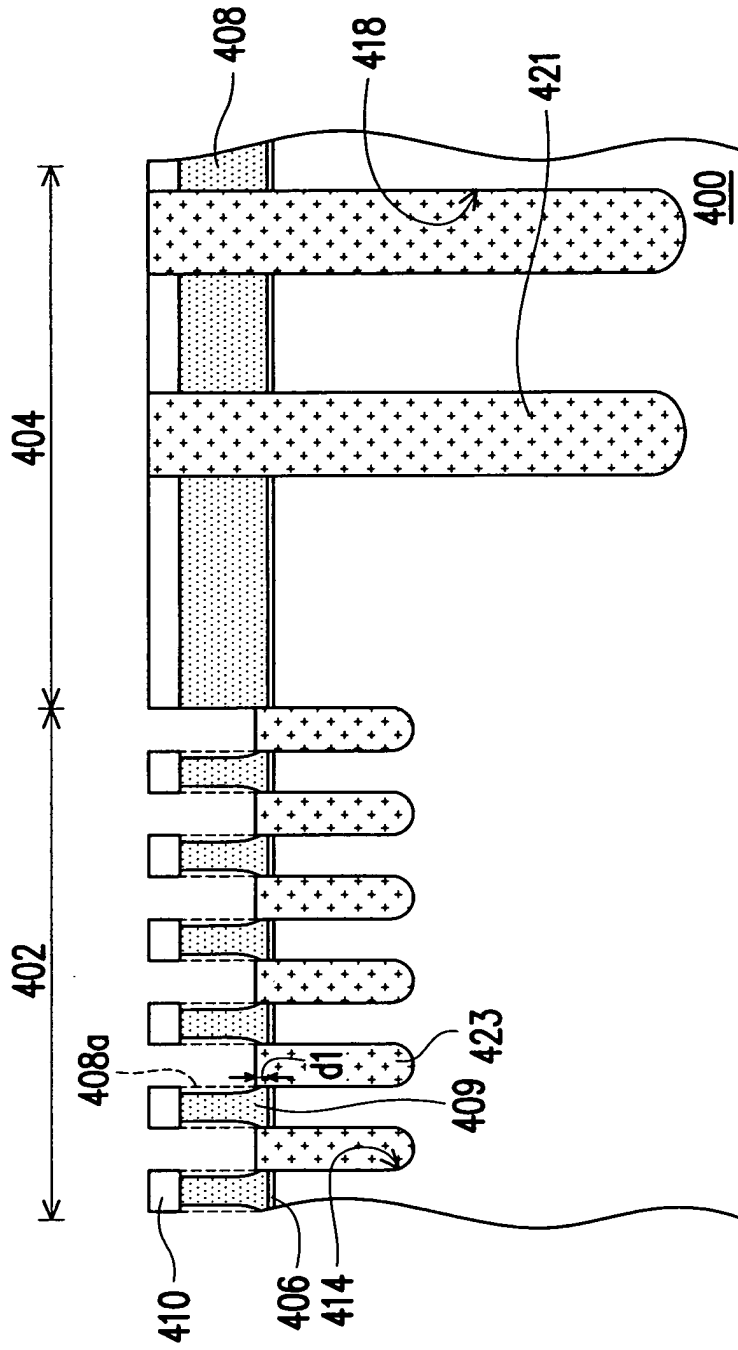


圖 4H

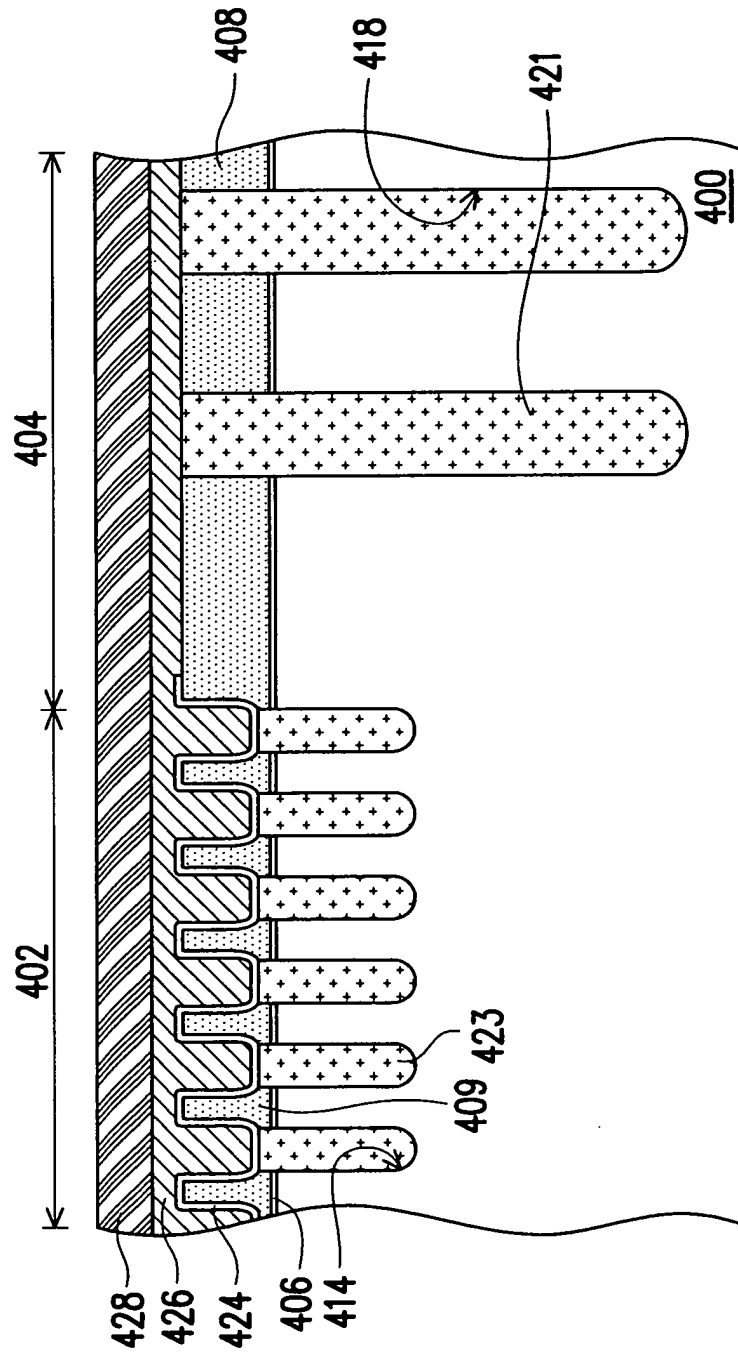


圖4I

七、指定代表圖：

(一)本案指定代表圖為：圖(4H)。

(二)本代表圖之元件符號簡單說明：

400：基底

402：記憶胞區

404：週邊電路區

406：絕緣層

408：導體材料層

408a：導體塊

409：浮置閘極

410：研磨終止層

414、418：溝渠

421、423：溝渠隔離結構

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

97年3月5日修(更)正替換頁

層。然後，在研磨終止層、第一導體材料層、絕緣層與部分基底中形成多個溝渠，並將第一導體材料層切割成多個導體塊。之後，形成介電材料層，覆蓋研磨終止層且填滿溝渠。接著，進行一化學研磨製程，直至曝露出研磨終止層表面。之後，移除部分介電材料層至其表面略高於絕緣層的表面，以形成多個溝渠隔離結構。隨後，移除每一個導體塊所曝露出來的部分側壁，以形成多個浮置閘極。其中，每一個浮置閘極的寬度自其底部往頂部遞減。

依照本發明的實施例所述之非揮發性記憶體的製造方法，此方法更包括：在浮置閘極與溝渠隔離結構上形成閘間絕緣層，以及形成第二導體材料層以覆蓋閘間絕緣層。其中，閘間絕緣層的材質例如是氧化矽、氧化矽/氮化矽或氧化矽/氮化矽/氧化矽。

依照本發明的實施例所述之非揮發性記憶體的製造方法，其中移除每一個導體塊所曝露出來的部分側壁以形成浮置閘極的方法，例如是利用一乾式蝕刻法或一濕式蝕刻法。

依照本發明的實施例所述之非揮發性記憶體的製造方法，上述之研磨終止層的材質例如是氮化矽或氮氧化矽。

依照本發明的實施例所述之非揮發性記憶體的製造方法，更包括在上述的溝渠的形成之前，於研磨終止層上形成一硬罩幕層，而硬罩幕層的材質例如是非晶碳。在一實施例中，上述之溝渠的形成方法，例如是：先在硬罩幕層上形成一圖案化光阻層。然後，利用圖案化光阻層為罩

97年3月5日修(更)正替換頁

幕，蝕刻硬罩幕層、研磨終止層、第一導體材料層、絕緣層與部分基底，以形成溝渠。

本發明另提出一種非揮發性記憶體的製造方法。此方法為先提供一基底，基底具有記憶胞區以及週邊電路區。然後，在基底上依序形成絕緣層、第一導體材料層與研磨終止層。之後，在記憶胞區之研磨終止層、第一導體材料層、絕緣層與部分基底中形成多個第一溝渠，並將第一導體材料層切割成多個導體塊。繼之，在週邊電路區中之研磨終止層、第一導體材料層、絕緣層與部分基底中，形成多個第二溝渠。接著，形成一介電材料層，覆蓋研磨終止層以及填滿第一溝渠與第二溝渠。之後，進行一化學研磨製程，直至曝露出研磨終止層表面。然後，移除記憶胞區之部分介電材料層至其表面略高於絕緣層的表面，以於記憶胞區形成多個溝渠隔離結構。繼之，移除每一個導體塊所曝露出來的部分側壁，以形成多個浮置閘極。其中，每一個浮置閘極的寬度自其底部往頂部遞減。

依照本發明的實施例所述之非揮發性記憶體的製造方法，此方法更包括，在記憶胞區的浮置閘極與溝渠隔離結構上形成一閘間絕緣層，以及形成第二導體材料層以覆蓋閘間絕緣層以及週邊電路區。

依照本發明的實施例所述之非揮發性記憶體的製造方法，上述之閘間絕緣層的材質例如是氧化矽、氧化矽/氮化矽或氧化矽/氮化矽/氧化矽。

依照本發明的實施例所述之非揮發性記憶體的製造

97年3月5日修(更)正替換頁

表面略高於閘極介電層的表面。

在一實施例中，非揮發性記憶體更包括閘間絕緣層以及導體材料層。其中，閘間絕緣層配置在浮置閘極上與溝渠隔離結構上。導體材料層配置在閘間絕緣層上。上述之閘間絕緣層的材質例如是氧化矽、氧化矽/氮化矽或氧化矽/氮化矽/氧化矽。

本發明所形成的浮置閘極的寬度會自其底部往頂部遞減，故而能夠增加相鄰的兩個浮置閘極之間的間隙，以避免後續填入之膜層產生孔隙，而影響整個元件效能。另外，本發明不是使用習知的平坦式浮置閘極結構製程，因此不會導致控制閘極與浮置閘極間的耦合率(coupling ratio)降低的問題，而可符合現今趨勢元件縮小化的要求。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

以下，將以製造非揮發性記憶體的流程為例進一步說明本發明，但此例並非用以限定本發明的範圍。圖 4A 至圖 4I 為本發明實施例的非揮發性記憶體的製造方法的流程剖面示意圖。本發明實施例的製造方法是與週邊電路區的製程進行整合，以形成一種在同一晶圓上同時結合記憶胞區與週邊電路區的非揮發性記憶體，此製造方法亦內含僅具有記憶胞區之非揮發性記憶體的製造方法。

首先，請參照圖 4A，提供基底 400，基底 400 例如為

97年3月5日修(更)正替換頁

作為閘間介電層 424。閘間介電層 424 的材質例如是氧化矽/氮化矽/氧化矽。閘間介電層 424 的形成方法，例如是先以熱氧化法形成第一層氧化矽層，接著再進行化學氣相沈積製程以於氧化矽層上形成一層氮化矽層，之後再於氮化矽層上形成第二層氧化矽層。當然，閘間介電層 424 的材質也可以是氧化矽、氧化矽/氮化矽或其他的介電材料。

繼之，於基底 400 上方形成導體材料層 426，導體材料層 426 覆蓋閘間介電層 424 以及週邊電路區 404 的溝渠隔離結構 421 與導體材料層 408。上述，導體材料層 426 作為記憶胞區 402 之控制閘極，以及與週邊電路區 404 之導體材料層 408 共同作為元件的閘極結構。同樣地，導體材料層 426 的材質以及形成方法例如與導體材料層 408 相同

在一實施例中，還可選擇性地於導體材料層 426 上形成金屬矽化物層 428，以降低元件的電阻值。金屬矽化物層 428 的材質例如為矽化鎢、矽化鈦、矽化鈷、矽化鉭、矽化鎳、矽化鉑或矽化鈮。金屬矽化物層 428 的形成方法例如是化學氣相沈積製程。

接下來，以圖 4I 說明利用上述之方法所形成之本發明的非揮發性記憶體，其中非揮發性記憶體之各構件的材質及其形成方法已於上述中做詳細說明，故於此不再贅述。

本實施例之非揮發性記憶體包括，基底 400、浮置閘極 409、閘極介電層(絕緣層 406)、溝渠隔離結構 423、閘間絕緣層(閘間介電層 424)以及導體材料層 426。其中，浮

97年3月5日修正本

十、申請專利範圍：

1.一種非揮發性記憶體的製造方法，包括：

在一基底上依序形成一絕緣層、一第一導體材料層與一研磨終止層；

在該研磨終止層、該第一導體材料層、該絕緣層與部分該基底中形成多數個溝渠，並將該第一導體材料層切割成多數個導體塊；

形成一介電材料層，覆蓋該研磨終止層且填滿該些溝渠；

進行一化學研磨製程，直至曝露出該研磨終止層表面；

移除部分該介電材料層至其表面略高於該絕緣層的表面，以形成多數個溝渠隔離結構；以及

移除每一該些導體塊所曝露出來的部分側壁，以形成多數個浮置閘極，其中每一該些浮置閘極的寬度自其底部往頂部遞減。

2.如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，更包括：

在該些浮置閘極與該些溝渠隔離結構上形成一閘間絕緣層；以及

形成一第二導體材料層，覆蓋該閘間絕緣層。

3.如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該閘間絕緣層的材質包括氧化矽、氧化矽/氮化矽或氧化矽/氮化矽/氧化矽。

4.如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中移除每一該些導體塊所曝露出來的部分側壁以形成該些浮置閘極的方法，包括利用一乾式蝕刻法或一濕式蝕刻法。

5.如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該研磨終止層的材質包括氮化矽或氮氧化矽。

6.如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，更包括在該些溝渠的形成之前，於該研磨終止層上形成一硬罩幕層。

7.如申請專利範圍第 6 項所述之非揮發性記憶體的製造方法，其中該硬罩幕層的材質包括非晶碳。

8.如申請專利範圍第 6 項所述之非揮發性記憶體的製造方法，其中該些溝渠的形成方法包括：

在該硬罩幕層上形成一圖案化光阻層；以及

利用該圖案化光阻層為罩幕，蝕刻該硬罩幕層、該研磨終止層、該第一導體材料層、該絕緣層與部分該基底，以形成該些溝渠。

9.一種非揮發性記憶體的製造方法，包括：

提供一基底，該基底具有一記憶胞區以及一週邊電路區；

在一基底上依序形成一絕緣層、一第一導體材料層與一研磨終止層；

在該記憶胞區之該研磨終止層、該第一導體材料層、該絕緣層與部分該基底中形成多數個第一溝渠，並將該第

一 導體材料層切割成多數個導體塊；

在該週邊電路區中之該研磨終止層、該第一導體材料層、該絕緣層與部分該基底中，形成多數個第二溝渠；

形成一介電材料層，覆蓋該研磨終止層以及填滿該些第一溝渠與該些第二溝渠；

進行一化學研磨製程，直至曝露出該研磨終止層表面；

移除該記憶胞區之部分該介電材料層至其表面略高於該絕緣層的表面，以於該記憶胞區形成多數個溝渠隔離結構；以及

移除每一該些導體塊所曝露出來的部分側壁，以形成多數個浮置閘極，其中每一該些浮置閘極的寬度自其底部往頂部遞減。

10.如申請專利範圍第 9 項所述之非揮發性記憶體的製造方法，更包括：

在該記憶胞區的該些浮置閘極與該些溝渠隔離結構上形成一閘間絕緣層；以及

形成一第二導體材料層，覆蓋該閘間絕緣層以及該週邊電路區。

11.如申請專利範圍第 10 項所述之非揮發性記憶體的製造方法，其中該閘間絕緣層的材質包括氧化矽、氧化矽/氮化矽或氧化矽/氮化矽/氧化矽。

12.如申請專利範圍第 9 項所述之非揮發性記憶體的製造方法，其中移除每一該些導體塊所曝露出來的部分側

壁以形成該些浮置閘極的方法，包括利用一乾式蝕刻法或一濕式蝕刻法。

13.如申請專利範圍第 9 項所述之非揮發性記憶體的製造方法，更包括在該些第一溝渠的形成之前，於該研磨終止層上形成一硬罩幕層。

14.如申請專利範圍第 13 項所述之非揮發性記憶體的製造方法，其中該些第一溝渠的形成方法包括：

在該記憶胞區的該硬罩幕層上形成一圖案化光阻層；以及

利用該圖案化光阻層為罩幕，蝕刻該硬罩幕層、該研磨終止層、該第一導體材料層、該絕緣層與部分該基底，以形成該些溝渠。

15.如申請專利範圍第 13 項所述之非揮發性記憶體的製造方法，其中該些第二溝渠的形成方法包括：

在該些第一溝渠形成之後，形成一抗反射層，覆蓋該硬罩幕層且填滿該些溝渠；

形成一圖案化光阻層，以曝露出該週邊電路區的部分該抗反射層；以及

以該圖案化光阻層為罩幕，蝕刻該抗反射層、該硬罩幕層、該研磨終止層、該第一導體材料層、該穿隧介電層與部分該基底，以形成該些第二溝渠。

16.如申請專利範圍第 13 項所述之非揮發性記憶體的製造方法，其中該硬罩幕層的材質包括非晶碳。

17.如申請專利範圍第 9 項所述之非揮發性記憶體的

製造方法，其中該研磨終止層的材質包括氮化矽或氮氧化矽。

18.一種非揮發性記憶體，包括：

一基底；

多數個浮置閘極，配置於該基底上，其中每一該些浮置閘極的寬度自其底部往頂部遞減；

多數個閘極介電層，分別配置於每一該些浮置閘極與該基底之間；以及

多數個溝渠隔離結構，分別配置於相鄰的二浮置閘極之間的該基底中，其中每一該些溝渠隔離結構的表面略高於該閘極介電層的表面。

19.如申請專利範圍第 18 項所述之非揮發性記憶體，更包括：

一閘間絕緣層，配置在該些浮置閘極上與該些溝渠隔離結構上；以及

一導體材料層，配置在該閘間絕緣層上。

20.如申請專利範圍第 19 項所述之非揮發性記憶體，其中該閘間絕緣層的材質包括氧化矽、氧化矽/氮化矽或氧化矽/氮化矽/氧化矽。