

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3798133号

(P3798133)

(45) 発行日 平成18年7月19日(2006.7.19)

(24) 登録日 平成18年4月28日(2006.4.28)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006.01)

HO 1 L 29/78 6 1 6 J

HO 1 L 21/336 (2006.01)

HO 1 L 29/78 6 1 6 T

GO 2 F 1/1368 (2006.01)

HO 1 L 29/78 6 1 8 C

HO 1 L 29/78 6 2 7 C

GO 2 F 1/1368

請求項の数 7 (全 11 頁)

(21) 出願番号 特願平9-320858
 (22) 出願日 平成9年11月21日(1997.11.21)
 (65) 公開番号 特開平11-154752
 (43) 公開日 平成11年6月8日(1999.6.8)
 審査請求日 平成16年1月8日(2004.1.8)

(73) 特許権者 595059056
 株式会社アドバンスト・ディスプレイ
 熊本県菊池郡西合志町御代志997番地
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (72) 発明者 橋口 隆史
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内

審査官 山本 雄一

(56) 参考文献 特開平07-176747 (JP, A)
 特開平01-144682 (JP, A)
 特開平04-198923 (JP, A)

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよびこれを用いた液晶表示装置並びにTF Tアレイ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

透明絶縁性基板上に形成されたゲート電極、

上記ゲート電極上にゲート絶縁膜を介して設けられた真性半導体層と、この真性半導体層上のソース/ドレイン接点領域に設けられたn型の不純物を含む半導体層、

上記真性半導体層および上記不純物を含む半導体層と共に半導体素子を形成するソース電極およびドレイン電極を備え、

上記ソース電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のソース側接合エッジ部と、上記ドレイン電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のドレイン側接合エッジ部との間の上記真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタであって、

上記ソース電極および上記ドレイン電極の上記チャンネル側のエッジ部を、上記ソース側接合エッジ部および上記ドレイン側接合エッジ部よりも上記チャンネルの内側に向かって突出させ、上記チャンネル上に間隔をおいて突出する庇を形成したことを特徴とする薄膜トランジスタ。

【請求項2】

透明絶縁性基板上に形成されたゲート電極、

上記ゲート電極上にゲート絶縁膜を介して設けられた真性半導体層と、この真性半導体層上のソース/ドレイン接点領域に設けられたn型の不純物を含む半導体層、

上記真性半導体層および上記不純物を含む半導体層と共に半導体素子を形成するソース

10

20

電極およびドレイン電極を備え、

上記ソース電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のソース側接合エッジ部と、上記ドレイン電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のドレイン側接合エッジ部との間の上記真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタであって、

上記ソース電極、上記ドレイン電極および上記不純物を含む半導体層の上記チャンネル側のエッジ部を、上記ソース側接合エッジ部および上記ドレイン側接合エッジ部よりも上記チャンネルの内側に向かって突出させ、上記チャンネル上に間隔をおいて突出する庇を形成したことを特徴とする薄膜トランジスタ。

【請求項3】

請求項1または請求項2に記載の薄膜トランジスタを含むスイッチング素子およびこのスイッチング素子を経てそれぞれ制御される表示素子を有するTFTアレイ基板と、上記TFTアレイ基板との間に液晶を挟持する対向電極基板と、上記スイッチング素子の駆動回路を備えたことを特徴とする液晶表示装置。

【請求項4】

ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のドレイン側接合エッジ部との間の上記真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレイ基板の製造方法であって、

透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程、

上記ゲート電極線上にゲート絶縁膜を介して上記真性半導体層およびソース/ドレイン接点領域となるn型の上記不純物を含む半導体層を連続して成膜し、アイランド状にパターンニングする工程、

透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程、

A1、Cr等の金属薄膜をスパッタリング法等で成膜し、異方性エッチングにより上記ソース電極および上記ドレイン電極を形成する工程、

上記チャンネル上の不要な上記不純物を含む半導体層を等方性エッチングにより除去する工程を含み、上記ソース電極および上記ドレイン電極の上記チャンネル側のエッジ部を、上記ソース側接合エッジ部および上記ドレイン側接合エッジ部よりも上記チャンネルの内側に向かって突出させ、上記チャンネル上に間隔をおいて突出する庇を形成することを特徴とするTFTアレイ基板の製造方法。

【請求項5】

ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のドレイン側接合エッジ部との間の上記真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレイ基板の製造方法であって、

透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程、

上記ゲート電極線上にゲート絶縁膜を介して上記真性半導体層およびソース/ドレイン接点領域となるn型の上記不純物を含む半導体層を連続して成膜し、アイランド状にパターンニングする工程、

透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程、

A1、Cr等の金属薄膜をスパッタリング法等で成膜し、パターン形成により上記ソース電極および上記ドレイン電極を形成する工程、

上記チャンネル上の不要な上記不純物を含む半導体層と、その下部の上記真性半導体層の一部を異なる速度でエッチングする工程を含み、上記ソース電極および上記ドレイン電極の上記チャンネル側のエッジ部を、上記ソース側接合エッジ部および上記ドレイン側接合エ

10

20

30

40

50

ツジ部よりも上記チャンネルの内側に向かって突出させ、上記チャンネル上に間隔をおいて突出する庇を形成することを特徴とするTFTアレ基板の製造方法。

【請求項6】

ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のドレイン側接合エッジ部との間の上記真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレ基板の製造方法であって、

透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程、

上記ゲート電極線上にゲート絶縁膜を介して上記真性半導体層およびソース/ドレイン接点領域となるn型の上記不純物を含む半導体層を連続して成膜し、アイランド状にパターンニングする工程、

透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程、

A1、Cr等の金属薄膜をスパッタリング法等で成膜し、異方性エッチングにより上記ソース電極および上記ドレイン電極を形成し、さらに、上記チャンネル上の不要な上記不純物を含む半導体層を異方性エッチングにより除去する工程、

上記チャンネル部の上記真性半導体層の一部を等方性エッチングにより除去する工程を含み、上記ソース電極、上記ドレイン電極および上記不純物を含む半導体層の上記チャンネル側のエッジ部を、上記ソース側接合エッジ部および上記ドレイン側接合エッジ部よりも上記チャンネルの内側に向かって突出させ、上記チャンネル上に間隔をおいて突出する庇を形成することを特徴とするTFTアレ基板の製造方法。

【請求項7】

ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する上記真性半導体層と上記不純物を含む半導体層との間のドレイン側接合エッジ部との間の上記真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレ基板の製造方法であって、

透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程、

上記ゲート電極線上にゲート絶縁膜を介して上記真性半導体層およびソース/ドレイン接点領域となるn型の上記不純物を含む半導体層を連続して成膜し、アイランド状にパターンニングする工程、

透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程、

A1、Cr等の金属薄膜をスパッタリング法等で成膜し、ドライエッチングにより上記ソース電極および上記ドレイン電極を形成する工程、

上記チャンネル上の不要な上記不純物を含む半導体層をウエットエッチングにより除去する工程を含み、上記ソース電極、上記ドレイン電極および上記不純物を含む半導体層の上記チャンネル側のエッジ部を、上記ソース側接合エッジ部および上記ドレイン側接合エッジ部よりも上記チャンネルの内側に向かって突出させ、上記チャンネル上に間隔をおいて突出する庇を形成することを特徴とするTFTアレ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタおよびこれを用いた液晶表示装置並びにTFTアレ基板の製造方法に関し、特にアクティブマトリクス型液晶表示装置に使用される薄膜トランジスタのオフ電流の低減に関するものである。

【0002】

【従来の技術】

フラットパネルディスプレイ、中でもアクティブマトリクス型液晶表示装置は、高度情

10

20

30

40

50

報化社会、マルチメディアの時代において中核となるデバイスの一つとして期待されている。アクティブマトリクス型液晶表示装置は、各画素をスイッチング素子である薄膜トランジスタ（以後TFTと称す）により駆動させるため、画素のコントラストを十分にとることができるという利点がある。図6(a)は、従来のTFTを用いたアクティブマトリクス型液晶表示装置の画素の構造を示す平面図、図6(b)は、図6(a)のA-Bで切断した場合の逆スタガー型TFTの構造を示す断面図である。図において、1は透明絶縁性基板であるガラス基板、2はガラス基板1上に形成されたゲート電極線、3は窒化シリコン(SiN_x)膜等よりなるゲート絶縁膜、4はゲート電極2上にゲート絶縁膜3を介して設けられ、その中央部がチャンネルとなる真性半導体層であるアモルファスシリコン層（以下i-a-Si層と記す）、5はi-a-Si層4上のソース/ドレイン接点領域に設けられ、n型の不純物であるリンを含むn+アモルファスシリコン層（以下n-a-Si層と記す）、6、7はi-a-Si層4およびn-a-Si層5と共に半導体素子を形成するソース電極線およびドレイン電極、8はITO等の透明導電膜よりなる画素電極、9はゲート電極線2と接続された保持容量電極をそれぞれ示す。

10

【0003】

従来の逆スタガー型TFTの製造方法を図7を用いて説明する。まず、ガラス基板1上に低抵抗で高融点材料であるCr等の金属膜をスパッタリング法等で成膜し、写真製版およびエッチングによるパターン形成を行いゲート電極2を形成する（図7(a)）。次に、 SiN_x 膜よりなるゲート絶縁膜3を介して、チャンネルとなるi-a-Si層4、ソース/ドレイン接点領域となるn-a-Si層5をプラズマCVD（Chemical Vapor Deposition）法により連続成膜し（図7(b)）、i-a-Si層4およびn-a-Si層5をアイランド状にパターニングする（図7(c)）。次に、CrおよびAl等を主成分とする金属膜をスパッタリング法等で成膜し、パターン形成を行い、ソース電極線6、ドレイン電極7を形成し、これらをマスクとしてチャンネル上の不要なn-a-Si層5をドライエッチング等により除去し、逆スタガー型TFTが形成される（図7(d)）。

20

【0004】

【発明が解決しようとする課題】

液晶表示装置では、液晶を挟む電極間に蓄積される電荷をTFTにより制御し、電極間の電界により液晶の配向を変化させ、ガラス基板下のバックライト（背面光）の透過を制御させることにより画面表示を行う。そのため、必要な電荷を一定時間保持させなければならない。この保持期間中に電荷が変動すると、表示特性に影響を与える。保持期間中の電荷変動を最小限に抑制するためには、TFTのオフ電流、すなわちId-Vg特性におけるVg時のドレイン電流を小さくしなければならない。TFTでは、真性半導体層であるイントリンシックなアモルファスシリコン層（i-a-Si層4）が使用されており、その真性キャリア密度が小さいため、オフ電流は小さいとされている。しかしながら、従来の逆スタガー型TFTの構造では、n-a-Si層5/i-a-Si層4接合部界面の不純物であるリンのプロファイルが急峻であるために、ドレイン電極7側、特にドレインエッジ部側において発生する電界が非常に大きくなる。その電界強度は $1\text{E}6\text{V/cm}$ になり、アバランシェ破壊の領域となる。そのため、深い負のゲートバイアスが印加された場合には大きなオフ電流が流れることになる。この機構によるオフ電流を減少させるためには、電界の緩和が有効であり、オフ電流の低減は安定した良好な表示特性を得るために重要な課題であった。

30

40

【0005】

本発明は、上記のような問題点を解消するためになされたもので、チャンネルエッチ型薄膜トランジスタのn-a-Si層/i-a-Si層接合部における電界集中を抑制し、オフ電流を低減することにより、コントラスト比および画像安定性の向上を図り、表示品質の高い液晶表示装置を得ることを目的とする。

【0006】

【課題を解決するための手段】

本発明に係わる薄膜トランジスタは、透明絶縁性基板上に形成されたゲート電極と、こ

50

のゲート電極上にゲート絶縁膜を介して設けられた真性半導体層と、この真性半導体層上のソース/ドレイン接点領域に設けられたn型の不純物を含む半導体層と、真性半導体層および不純物を含む半導体層と共に半導体素子を形成するソース電極およびドレイン電極を備え、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタであって、ソース電極およびドレイン電極のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成したものである。

また、透明絶縁性基板上に形成されたゲート電極と、このゲート電極上にゲート絶縁膜を介して設けられた真性半導体層と、この真性半導体層上のソース/ドレイン接点領域に設けられたn型の不純物を含む半導体層と、真性半導体層および不純物を含む半導体層と共に半導体素子を形成するソース電極およびドレイン電極を備え、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタであって、ソース電極、ドレイン電極および不純物を含む半導体層のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成したものである。

さらに、本発明に係わる液晶表示装置は、上記いずれかの薄膜トランジスタを含むスイッチング素子およびこのスイッチング素子を経てそれぞれ制御される表示素子を有するTFTアレ基板と、TFTアレ基板との間に液晶を挟持する対向電極基板と、スイッチング素子の駆動回路を備えたものである。

【0007】

また、本発明に係わるTFTアレ基板の製造方法は、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレ基板の製造方法であって、透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程と、ゲート電極線上にゲート絶縁膜を介して真性半導体層およびソース/ドレイン接点領域となるn型の不純物を含む半導体層を連続して成膜し、アイランド状にパターニングする工程と、透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程と、Al、Cr等の金属薄膜をスパッタリング法等で成膜し、異方性エッチングによりソース電極およびドレイン電極を形成する工程と、チャンネル上の不要な不純物を含む半導体層を等方性エッチングにより除去する工程を含み、ソース電極およびドレイン電極のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成するものである。

【0008】

また、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレ基板の製造方法であって、透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程と、ゲート電極線上にゲート絶縁膜を介して真性半導体層およびソース/ドレイン接点領域となるn型の不純物を含む半導体層を連続して成膜し、アイランド状にパターニングする工程と、透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程と、Al、Cr等の金属薄膜をスパッタリング法等で成膜し、パターン形成によりソース電極およびドレイン電極を形成する工程と、チャンネル上の不要な不純物を含む半導体層と、その下部の真性半導体層の一部を異なる速度でエッチングする工程を含み、ソース電極およびド

10

20

30

40

50

レイン電極のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成するものである。

【0009】

また、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレ基板の製造方法であって、透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程と、ゲート電極線上にゲート絶縁膜を介して真性半導体層およびソース/ドレイン接点領域となるn型の不純物を含む半導体層を連続して成膜し、アイランド状にパターニングする工程と、透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程と、Al、Cr等の金属薄膜をスパッタリング法等で成膜し、異方性エッチングによりソース電極およびドレイン電極を形成し、さらに、チャンネル上の不要な不純物を含む半導体層を異方性エッチングにより除去する工程と、チャンネル部の真性半導体層の一部を等方性エッチングにより除去する工程を含み、ソース電極、ドレイン電極および不純物を含む半導体層のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成するものである。

【0010】

さらに、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタを備えたTFTアレ基板の製造方法であって、透明絶縁性基板上に金属薄膜を成膜し、パターン形成によりゲート電極線を形成する工程と、ゲート電極線上にゲート絶縁膜を介して真性半導体層およびソース/ドレイン接点領域となるn型の不純物を含む半導体層を連続して成膜し、アイランド状にパターニングする工程と、透明導電膜をスパッタリング法等で成膜し、パターン形成により画素電極を形成する工程と、Al、Cr等の金属薄膜をスパッタリング法等で成膜し、ドライエッチングによりソース電極およびドレイン電極を形成する工程と、チャンネル上の不要な不純物を含む半導体層をウエットエッチングにより除去する工程を含み、ソース電極、ドレイン電極および不純物を含む半導体層のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成するものである。

【0011】

【発明の実施の形態】

実施の形態1.

以下に、本発明の実施の形態を図について説明する。図1(a)は、本発明の実施の形態1であるアクティブマトリクス型液晶表示装置の一画素の構造を示す平面図、図1(b)は、図1(a)のA-Bで切断した場合の逆スタガー型TFTの構造を示す断面図である。図において、1は透明絶縁性基板であるガラス基板、2はガラス基板1上に形成されたゲート電極線、3は窒化シリコン(SiN_x)膜等よりなるゲート絶縁膜、4はゲート電極2上にゲート絶縁膜3を介して設けられ、その中央部がチャンネルとなる真性半導体層であるi-a-Si層、5はi-a-Si層4上のソース/ドレイン接点領域に設けられたn型の不純物であるリンを含むn-a-Si層、6、7は上記i-a-Si層4およびn-a-Si層5と共に半導体素子を形成するソース電極線およびドレイン電極、8はITO等の透明導電膜よりなる画素電極、9はゲート電極線2と接続された保持容量電極をそれぞれ示す。本実施の形態では、ソース電極6側に位置するi-a-Si層4とn-a-Si層5との間の接合エッジ部(ソース側接合エッジ部)と、ドレイン電極7側に位置するi-a-Si層4とn-a-Si層5との間の接合エッジ部(ドレイン側接合エッジ部)

との間の $i - a - Si$ 層 4 にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタにおいて、ソース電極 6 およびドレイン電極 7 のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成したことを特徴とする。

【0012】

本実施の形態による逆スタガー型 T F T を採用した T F T アレイ基板の製造方法を図 2 を用いて説明する。まず、ガラス基板 1 上に低抵抗で高融点材料である Cr 等の金属膜をスパッタリング法等で成膜し、写真製版およびエッチングによるパターン形成によりゲート電極線 2 を形成する。次に、 SiN_x 膜よりなるゲート絶縁膜 3 を介して、チャンネルとなる $i - a - Si$ 層 4、ソース/ドレイン接点領域となる $n - a - Si$ 層 5 をプラズマ C V D (Chemical Vapor Deposition) 法により連続成膜する。この時、ゲート絶縁膜 3 の膜厚は 400 nm、 $i - a - Si$ 層 4 の膜厚は 150 nm 程度とする。次に、 $i - a - Si$ 層 4 および $n - a - Si$ 層 5 をアイランド状にパターンニングし、透明導電膜からなる画素電極 (図示せず) を形成する。続いて Al / Cr からなる金属膜をスパッタリング法等により成膜し (図 2 (a))、異方性エッチングによりソース電極線 6、ドレイン電極 7 を形成し (図 2 (b))、これらをマスクとしてチャンネル上の不要な $n - a - Si$ 層 5 を等方性エッチングにより除去 (バックチャンネルエッチング) した後、保護膜 (図示せず) を形成する。以上の工程により、ソース電極 6 およびドレイン電極 7 のチャンネル側のエッジ部が、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出した庇構造を有する逆スタガー型 T F T が形成される (図 2 (c))。

【0013】

本実施の形態によれば、ソース電極 6 およびドレイン電極 7 のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成することで、電界集中をドレイン側エッジ部から移動させ、 $i - a - Si$ 層 4 / $n - a - Si$ 層 5 接合部への電界集中によるトンネル効果を抑制し、オフ電流を低減することができる。その結果、保持容量電極が小型化でき、高開口率化が図られる。さらに、本実施の形態による T F T を含むスイッチング素子およびこのスイッチング素子を経てそれぞれ制御される表示素子を有する T F T アレイ基板と対向電極基板の間に液晶を挟持し、スイッチング素子の駆動回路を備えた液晶表示装置においては、オフ電流の低減によりオン電流 / オフ電流比が向上し、コントラスト比、画像安定性の向上が図られる。

【0014】

実施の形態 2 .

図 3 は、本発明の実施の形態 2 による逆スタガー型 T F T の構造を示す断面図である。上記実施の形態 1 では、ソース電極 6 およびドレイン電極 7 の形成に異方性エッチング、バックチャンネルエッチングに等方性エッチングを行うことで、ソース電極 6 およびドレイン電極 7 のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成した。本実施の形態では、ソース電極 6 およびドレイン電極 7 形成後、チャンネル上の不要な $n - a - Si$ 層 5 と、その下部の $i - a - Si$ 層 4 の一部を異なる速度でエッチングすることで、図 3 に示すような庇構造を形成するものである。このような庇構造にすることにより、 $i - a - Si$ 層 4 / $n - a - Si$ 層 5 接合部への電界の集中を抑制し、オフ電流を低減することができ、上記実施の形態 1 と同様の効果が得られる。

【0015】

実施の形態 3 .

図 4 は、本発明の実施の形態 3 による逆スタガー型 T F T の構造を示す断面図である。上記実施の形態 1 では、ソース電極 6 およびドレイン電極 7 の形成に異方性エッチング、バックチャンネルエッチングに等方性エッチングを行うことで、ソース電極 6 およびドレイン電極 7 のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形

成した。本実施の形態では、Al/Cr等の金属薄膜をスパッタリング法等で成膜し、異方性エッチングによりソース電極線6およびドレイン電極7を形成し、さらに、チャンネル上の不要なn-a-Si層5を異方性エッチングにより除去した後、チャンネル部のi-a-Si層4の一部を等方性エッチングにより除去することで、図4に示すように、ソース電極6、ドレイン電極7およびn-a-Si層5のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成するものである。このような庇構造にすることにより、i-a-Si層4/n-a-Si層5接合部への電界の集中を抑制し、オフ電流を低減することができ、上記実施の形態1、2と同様の効果が得られる。

【0016】

10

実施の形態4.

図5は、本発明の実施の形態4による逆スタガー型TF Tの構造を示す断面図である。上記実施の形態1~3では、エッチング方法および速度を変えることにより、チャンネル上に庇を形成した。本実施の形態では、ソース電極6およびドレイン電極7をドライエッチングにより形成し、チャンネル上の不要なn-a-Si層5をウエットエッチングにより除去することにより、i-a-Si層4とn-a-Si層5の界面にアンダーカットが生じることを利用して、図5に示すように、ソース電極6、ドレイン電極7およびn-a-Si層5のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成するものである。本実施の形態によれば、i-a-Si層4/n-a-Si層5接合部への電界の集中を抑制し、オフ電流を低減することができ、上記実施の形態1~3と同様の効果が得られる。

20

【0017】

【発明の効果】

以上のように、本発明によれば、ソース電極側に位置する真性半導体層と不純物を含む半導体層との間のソース側接合エッジ部と、ドレイン電極側に位置する真性半導体層と不純物を含む半導体層との間のドレイン側接合エッジ部との間の真性半導体層にチャンネルが存在するチャンネルエッチ型の薄膜トランジスタにおいて、ソース電極およびドレイン電極のチャンネル側のエッジ部を、ソース側接合エッジ部およびドレイン側接合エッジ部よりもチャンネルの内側に向かって突出させ、チャンネル上に間隔をおいて突出する庇を形成したので、真性半導体層とn型の不純物を含む半導体層の接合部への電界集中によるトンネル効果が抑制され、オフ電流を低減することができる。その結果、オン電流/オフ電流比が向上し、コントラスト比、画像安定性の向上が図られ、表示品質の高い液晶表示装置が得られる。

30

【図面の簡単な説明】

【図1】 本発明の実施の形態1であるアクティブマトリクス型液晶表示装置の一画素の構造を示す平面図と逆スタガー型TF Tの構造を示す断面図である。

【図2】 本発明の実施の形態1である逆スタガー型TF Tの製造方法を示す図である。

【図3】 本発明の実施の形態2である逆スタガー型TF Tの構造を示す断面図である。

【図4】 本発明の実施の形態3である逆スタガー型TF Tの構造を示す断面図である。

40

【図5】 本発明の実施の形態4である逆スタガー型TF Tの構造を示す断面図である。

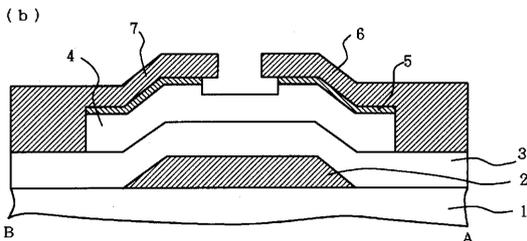
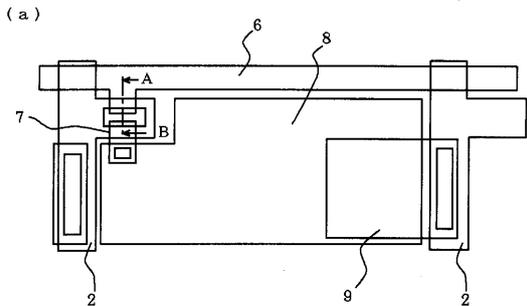
【図6】 従来のアクティブマトリクス型液晶表示装置の一画素の構造を示す平面図と逆スタガー型TF Tの構造を示す断面図である。

【図7】 従来の逆スタガー型TF Tの製造方法を示す図である。

【符号の説明】

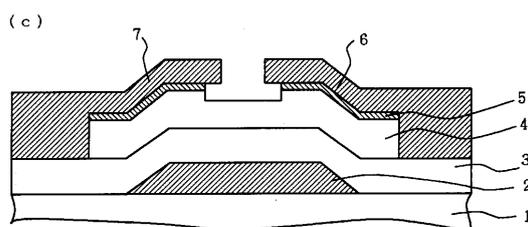
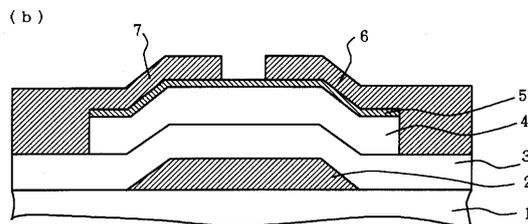
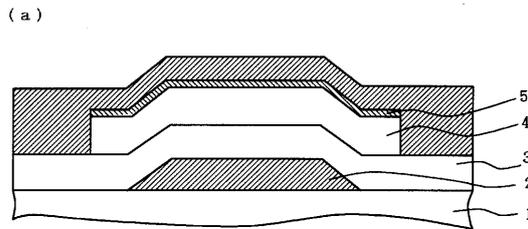
- 1 ガラス基板、2 ゲート電極線、3 ゲート絶縁膜、
- 4 i-a-Si層、5 n-a-Si層、6 ソース電極線、
- 7 ドレイン電極、8 画素電極、9 保持容量電極。

【図1】

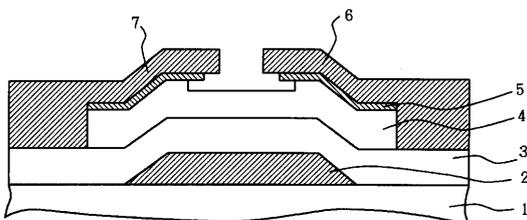


- 1: ガラス基板
- 2: ゲート電極線
- 3: ゲート絶縁膜
- 4: i-a-Si層
- 5: n-a-Si層
- 6: ソース電極線
- 7: ドレイン電極
- 8: 画素電極
- 9: 保持容量電極

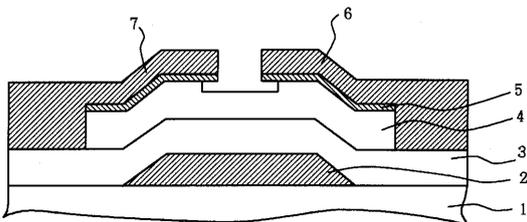
【図2】



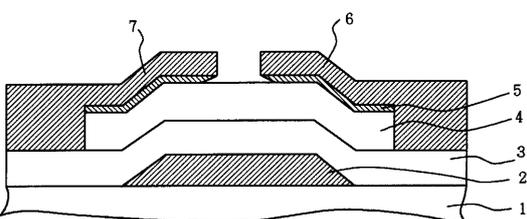
【図3】



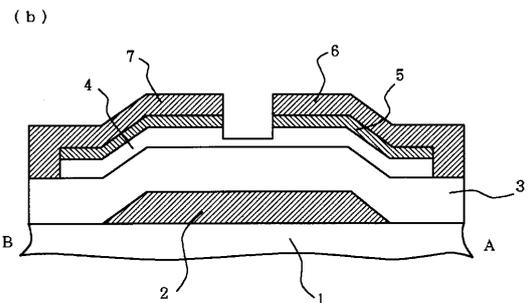
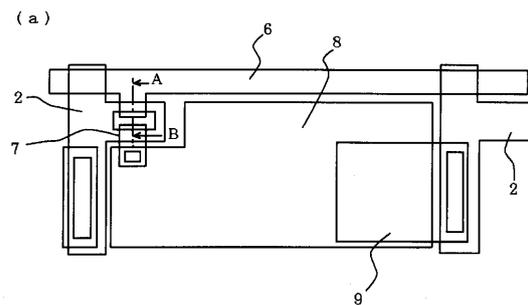
【図4】



【図5】

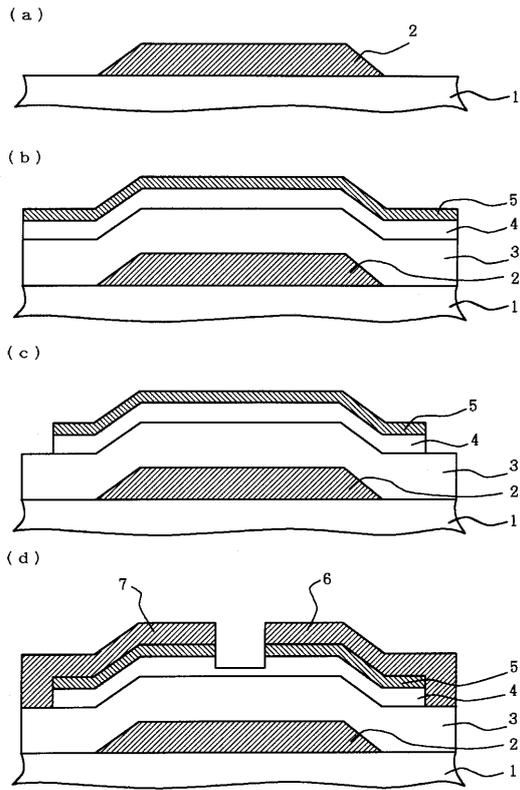


【図6】



- Al/Cr
- n-Si層
- i-Si層
- SiN層

【 図 7 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 21/336

H01L 29/786