

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|--|-------------------------------------|--|
| (51) 。 Int. Cl. ⁶ H01L 27/06 | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2005년06월07일 10-0460806 2004년12월01일 |
|--|-------------------------------------|--|

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-1997-0081586 | (65) 공개번호 | 10-1999-0061328 |
| (22) 출원일자 | 1997년12월31일 | (43) 공개일자 | 1999년07월26일 |

| | |
|-----------|---|
| (73) 특허권자 | 삼성전자주식회사 경기도 수원시 영통구 매탄동 416 |
| (72) 발명자 | 김요정 경기도 용인시 기흥읍 고매리 385-1 세원아파트 101-1606 |
| (74) 대리인 | 김능균 |

심사관 : 김기현

(54) 반도체 소자

요약

본 발명은 커패시터 어레이의 구조에 관한 것으로서, 특히 커패시터 어레이에 기록된 데이터를 u-Law 방식으로 코딩/디코딩하는 코덱 제품에서 커패시터 어레이의 몰딩 컴파운드 유·무에 따라 변화하는 코덱 제품의 이득 특성 변화를 개선하기 위하여 커패시터 어레이의 패턴 상부에 완충 역할을 하는 더미 메탈층을 덮어 몰딩 컴파운드의 압력으로 인해 증가하는 기생 커패시터로 인해 이득 특성이 변화하는 것을 방지하거나, 패키지 타입에 따라 오프-셋 전압을 결정하는 커패시터 어레이의 커패시터 사이즈를 적절하게 변경함으로써, 몰딩 유·무에 따른 이득 특성의 변화를 제거한 반도체 소자에 관한 것이다.

대표도

도 4

명세서

도면의 간단한 설명

- 도 1 은 종래의 u-Law 방식에 의한 커패시터 어레이의 회로를 나타낸 개략적인 도면이다.
- 도 2 는 상기 도 1 의 오프-셋 전압용 커패시터의 단위 구조를 나타낸 평면도이다.
- 도 3 은 종래의 조건하에서의 이득 트래킹 특성을 나타낸 그래프이다.
- 도 4 는 본 발명의 일실시예에 의한 u-Law 방식에 의한 커패시터 어레이의 회로를 나타낸 개요도이다.
- 도 5 는 본 발명의 일실시예에 의한 상기 도 4 의 오프-셋 전압용 커패시터의 단위 구조를 나타낸 평면도이다.
- 도 6 은 본 발명의 다른 실시예에 의한 상기 도 4 의 오프-셋 전압용 커패시터의 단위 구조를 나타낸 평면도이다.
- 도 7 은 본 발명의 또다른 실시예에 의한 커패시터 어레이의 제조 구조를 나타낸 레이아웃 도면이다.
- 도 8 은 본 발명의 조건하에서의 이득 트래킹 특성을 나타낸 그래프이다.

* 도면의 주요 부분에 대한 부호의 설명

20 : 반도체 기판. 30 : 오프-셋 전압을 결정하는 일부 커패시터.

33 : 제 1 전극. 35 : 제 2 전극.

37 : 제 3 전극. 41 : 제 1 메탈층.

43, 45 : 제 2 메탈층. 50 : 다수의 커패시터 어레이.

80 : 더미 메탈층.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 커패시터 어레이의 구조에 관한 것으로서, 특히 커패시터 어레이에 기록된 데이터를 u-Law 방식으로 코딩/디코딩하는 코덱 제품에 사용하는 반도체 소자에 관한 것이다.

통상적으로 코덱 제품의 D/A 컨버터에서 코딩 및 디코딩하는 방법에 따라 A-Law 방식과 u-Law 방식으로 나눌수 있으며, 상기 A-Law 방식과 u-Law 방식은 여러가지 차이가 있지만, A-Law 방식은 디지털 신호 "0"을 컨버팅시 아날로그 신호 "0"을 출력하고, u-Law 방식은 오프-셋 전압이 있어 디지털 신호 "0"를 컨버팅시 일정 레벨의 출력값을 갖는다.

상기 u-Law 방식의 오프-셋 전압은 칩 내의 커패시터 어레이 중 가장자리에 위치한 특정 커패시터 어레이로서 형성하고, 그 면적비율로 오프-셋 전압을 결정하는 데 그 면적비가 상당히 크다.

하지만, 상기 커패시터 어레이를 패키징 전, 후 즉, 몰딩 컴파운드의 유·무에 따라 오프-셋 전압값이 변하게 된다.

이러한 오프-셋 전압의 변화는 패키지 진행시 몰딩 컴파운드의 눌림 압력으로 커패시터 어레이에 존재하는 기생 커패시터가 면적비로 계산되므로 면적비가 상당히 큰 오프-셋 전압 어레이 커패시터의 값이 변화하여 u-Law 방식의 특성이 변하게 된다.

상기 오프-셋 전압의 변화는 이득 특성을 변화시켜 코덱 제품의 품질을 저하시킨다.

도 1 은 종래의 u-Law 방식에 의한 커패시터 어레이의 회로를 나타낸 개요도로서, 오프-셋 전압을 결정하는 일부 커패시터 어레이(1)와, 소정의 데이터를 저장하고 있는 다수의 커패시터 어레이(10)와, 소정의 입력 제어신호(Vin)에 따라 상기 커패시터 어레이(1,10)로부터 출력되는 신호와 소정의 비교전압(Vref)을 입력받아 비교한 후 그에 대응되는 신호를 출력하는 비교수단(15)으로 구성되어 있다.

즉, 상기 일부 커패시터 어레이(1)와 다수의 커패시터 어레이(10)의 상호 면적비로 오프-셋(off-set) 전압 및 이득 특성을 결정하고, 몰딩(Molding)시 컴파운드(Compounds)의 눌림 압력으로 인해 커패시터 어레이 간의 기생(Parasitic) 커패시터가 증가하고 상기 기생 커패시터로 인해 오프-셋 전압을 결정하는 커패시터 어레이(1)와 다수의 커패시터 어레이(10) 간의 면적비가 더 크게 변화하여 u-Law 커패시터 어레이의 오프-셋 전압 및 이득 특성이 변하게 된다.

도 2 는 상기 도 1 의 오프-셋 전압용 커패시터의 단위 구조를 나타낸 평면도로서, 반도체 기판(3)과, 상기 기판(3)상에 형성된 제 1 전극(5)과, 상기 제 1 전극(5)과 이격되어 형성된 제 2 전극(7)과, 상기 제 1 전극(5)과 제 2 전극(7) 사이에 형성된 절연막(미도시)과, 상기 제 1 전극(5)과 전기적으로 연결된 제 1 메탈층(8)과, 상기 제 2 전극(7)과 전기적으로 연결된 제 2 메탈층(9)으로 형성된다.

상기와 같은 커패시터의 평면 구조는 도 1의 오프-셋 전압용 커패시터 어레이(1) 중 0.055 커패시터 유닛(0.055 Cu:Capacitor unit)의 평면을 도시한 도면으로서 제 1 전극(5)에 하나의 제 2 전극(7)이 형성되어 커패시터 단위를 형성한다.

도 3 은 종래의 조건하에서의 이득 트래킹 특성을 나타낸 그래프로서, 패키지 전 몰딩 컴파운드를 사용하기 전과 패키지 후 몰딩 컴파운드를 사용한 후의 이득 특성을 나타낸 그래프이다.

그래프에서 보는 바와 같이 패키지 전에는 커패시터 어레이의 출력 이득값이 국제통신규약(ITU)의 허용오차 범위 내에 들어가는 안정적인 이득값을 가지지만, 패키지 후 몰딩 컴파운드를 사용한 후에는 -47.1dBm에서 허용오차 범위(±0.38dB)를 현저하게 벗어나는 불안정한 이득값(㉔)을 출력하는 것을 볼수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여, 커패시터 어레이에 기록된 데이터를 u-Law 방식으로 코딩/디코딩하는 코덱 제품에서 상기 커패시터 어레이의 몰딩 컴파운드의 유, 무에 따라 오프셋 전압을 결정하는 특정 커패시터의 이득 특성이 저하되는 것을 공정 및 커패시터 구조상으로 보상한 반도체 소자를 제공하는 데 있다.

상기 목적을 달성하기 위하여 본 발명의 일실시에 의한 반도체 소자의 구조는, u-Law 방식으로 코딩 및 디코딩하는 반도체의 오프-셋 전압을 결정하는 단위 커패시터에 있어서, 반도체 기판상에 형성된 제 1 전극과, 상기 제 1 전극과 이격되어 형성된 제 2 전극과, 상기 제 1 전극과 이격되어 형성된 제 3 전극과, 상기 제 1 전극과 제 2 및 제 3 전극 사이에 형성된 절연막과, 상기 제 1 전극과 전기적으로 연결된 제 1 메탈층, 및 상기 제 2 전극과 전기적으로 연결된 제 2 메탈층으로 형성된다.

또한, 상기 목적을 달성하기 위하여 본 발명의 다른 실시예에 의한 반도체 소자의 구조는, u-Law 방식으로 코딩 및 디코딩하는 반도체의 오프-셋 전압을 결정하는 단위 커패시터에 있어서, 반도체 기판상에 형성된 제 1 전극과, 상기 제 1 전극과 이격되어 형성된 제 2 전극과, 상기 제 1 전극과 이격되어 형성된 제 3 전극과, 상기 제 1 전극과 제 2 및 제 3 전극 사이에 형성된 절연막과, 상기 제 1 전극과 전기적으로 연결된 제 1 메탈층, 및 상기 제 2 및 제 3 전극과 전기적으로 연결된 제 2 메탈층으로 형성된다.

또한, 상기 목적을 달성하기 위하여 본 발명의 또다른 실시예에 의한 반도체 소자의 구조는, 반도체 기판상에 형성되는 커패시터 어레이와, 상기 커패시터 어레이의 상부에 형성되는 절연막, 및 상기 절연막 상부에 형성되어 몰딩시 완충 역할을 하는 더미 메탈층으로 형성된다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 보다 상세하게 살펴보고자 한다.

도 4 는 본 발명의 일실시에 의한 u-Law 방식에 의한 커패시터 어레이의 회로를 나타낸 개요도로서, 오프-셋 전압을 결정하는 일부 커패시터 어레이(30)와, 소정의 데이터를 저장하고 있는 다수의 커패시터 어레이(50)와, 소정의 입력 제어 신호(Vin)에 따라 상기 커패시터 어레이로부터 출력되는 신호와 소정의 비교전압(Vref)을 입력받아 비교한 후 그에 대응되는 신호를 출력하는 비교수단(70)으로 구성되어 있다.

즉, 본 발명은 동도면과 같이 오프-셋 전압을 결정하는 커패시터 어레이(30)에 커패시터(33,37)를 하나 더 설치함으로써, 몰딩시 컴파운드의 눌림 압력으로 인해 어레이 간의 기생 커패시터가 증가하고 상기 기생 커패시터로 인해 오프-셋 전압을 결정하는 커패시터 어레이(30)와 다수의 커패시터 어레이(50)간의 면적비가 더 크게 증가하는 것을 방지하여 u-Law 커패시터 어레이의 오프-셋 전압 및 이득 특성이 변하는 것을 보상하게 된다.

도 5 는 본 발명의 일실시에 의한 상기 도 4 의 오프-셋 전압용 커패시터의 단위 구조를 나타낸 평면도로서, 반도체 기판(20)과, 상기 기판(20)상에 형성된 제 1 전극(33)과, 상기 제 1 전극(33)과 이격되어 형성된 제 2 전극(35)과, 상기 제 1 전극(33)과 이격되어 형성된 제 3 전극(37)과, 상기 제 1 전극(33)과 제 2 및 제 3 전극(35,37) 사이에 형성된 절연막(미도시)과, 상기 제 1 전극(33)과 전기적으로 연결된 제 1 메탈층(41)과, 상기 제 2 전극(35)과 전기적으로 연결된 제 2 메탈층(43)으로 형성된다.

즉, 상기와 같이 제 1 전극(33)의 상부에 제 2 및 제 3 전극(35, 37)을 각각 이격하여 형성하고, 제 1 및 제 2 전극(33, 35)만 각각 메탈층(41, 43)으로 연결하고 제 3 전극(37)은 전기적으로 연결하지 않는다.

상기와 같은 커패시터 구조는 몰딩 컴파운드를 사용하지 않는 세라믹 패키지에 사용하는 것이 바람직하다.

도 6 은 본 발명의 다른 실시예에 의한 상기 도 4 의 오프-셋 전압용 커패시터의 단위 구조를 나타낸 평면도로서, 반도체 기판(20)과, 상기 기판(20)상에 형성된 제 1 전극(33)과, 상기 제 1 전극(33)과 이격되어 형성된 제 2 전극(35)과, 상기 제 1 전극(33)과 이격되어 형성된 제 3 전극(37)과, 상기 제 1 전극(33)과 제 2 및 제 3 전극(35, 37) 사이에 형성된 절연막(미도시)과, 상기 제 1 전극(33)과 전기적으로 연결된 제 1 메탈층(41)과, 상기 제 2 및 제 3 전극(35, 37)과 전기적으로 연결된 제 2 메탈층(45)으로 형성된다.

즉, 상기와 같이 제 1 전극(33)의 상부에 제 2 및 제 3 전극(35, 37)을 각각 이격하여 형성하고 제 1 메탈층(41)은 제 1 전극(33)과 전기적으로 연결되고 제 2 메탈층(45)은 제 2 및 제 3 전극(35, 37)과 전기적으로 연결된다.

상기와 같은 구조는 몰딩 컴파운드를 사용하여 패키지는 커패시터 공정에 사용하는 것이 바람직하고, 상기 제 3 전극(37)은 몰딩시 발생하는 커패시터 어레이의 기생 커패시터로 인해 증가하는 면적비를 상대적으로 감소시켜 오프-셋 전압이 변하는 것을 방지할 수 있다.

도 7 은 본 발명의 또다른 실시예에 의한 커패시터 어레이의 제조 구조를 나타낸 레이아웃 도면으로서, 반도체 기판(20)상에 형성되고 오프-셋 전압을 결정하는 일부 커패시터 어레이(30)와, 소정의 데이터를 저장하고 있는 다수의 커패시터 어레이(50)와, 상기 커패시터 어레이(30, 50)의 상부에 형성되는 절연막(미도시)과, 상기 절연막 상부에 형성되어 몰딩시 완충 역할을 하는 더미 메탈층(80)으로 구성되어 있다.

상기 더미 메탈층(80)은 커패시터 어레이(30, 50)가 형성된 반도체 칩의 몰딩시 커패시터 어레이에 가해지는 컴파운드의 압력을 감소시키는 완충(Buffer) 역할의 메탈층으로서, 패키지 발생되는 기생 커패시터의 증가 및 오프-셋 전압의 변화를 방지할 수 있다.

도 8 은 본 발명의 조건하에서의 이득 트래킹 특성을 나타낸 그래프로서, 패키지 전 몰딩 컴파운드를 사용하기 전과 패키지 후 몰딩 컴파운드를 사용한 후의 이득 특성을 나타낸 그래프이다.

그래프에서 보는 바와 같이 패키지 전 또는 패키지 후 커패시터 어레이의 몰딩 컴파운드의 유·무에 관계없이 커패시터 어레이의 출력 이득값이 국제통신규약(ITU)의 허용오차 범위 내에 들어가는 안정적인 이득값을 가지는 것을 볼 수 있다.

발명의 효과

따라서, 상술한 바와 같이 본 발명은, 몰딩 컴파운드의 여부에 따라 변화하는 코텍 제품의 이득 특성 변화를 개선하기 위하여 커패시터 어레이의 패턴 상부에 더미 메탈층을 덮거나, 패키지 타입에 따라 오프-셋 전압을 결정하는 커패시터 어레이의 커패시터 사이즈를 변경하므로써, 몰딩 유·무에 따른 이득 특성의 변화를 제거할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

u-Law 방식으로 코딩 및 디코딩하는 반도체의 오프-셋 전압을 결정하는 단위 커패시터에 있어서,
 반도체 기판상에 형성된 제 1 전극;
 상기 제 1 전극과 이격되어 형성된 제 2 전극;
 상기 제 1 전극과 이격되어 형성된 제 3 전극;
 상기 제 1 전극과 제 2 및 제 3 전극 사이에 형성된 절연막; 상기 제 1 전극과 전기적으로 연결된 제 1 메탈층; 및
 상기 제 2 전극과 전기적으로 연결된 제 2 메탈층으로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 2.

제 1 항에 있어서, 상기 커패시터 어레이 구조는,
 몰딩 컴파운드 공정을 실시하지 않는 공정에서 사용하는 커패시터 어레이 구조인 것을 특징으로 하는 반도체 소자.

청구항 3.

u-Law 방식으로 코딩 및 디코딩하는 반도체의 오프-셋 전압을 결정하는 단위 커패시터에 있어서,
 반도체 기판상에 형성된 제 1 전극;
 상기 제 1 전극과 이격되어 형성된 제 2 전극;
 상기 제 1 전극과 이격되어 형성된 제 3 전극;
 상기 제 1 전극과 제 2 및 제 3 전극 사이에 형성된 절연막;
 상기 제 1 전극과 전기적으로 연결된 제 1 메탈층; 및
 상기 제 2 및 제 3 전극과 전기적으로 연결된 제 2 메탈층으로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 4.

제 3 항에 있어서, 상기 커패시터 어레이 구조는,
 몰딩 컴파운드 공정을 실시하는 공정에서 사용하는 커패시터 어레이 구조인 것을 특징으로 하는 반도체 소자.

청구항 5.

반도체 기판상에 형성되는 커패시터 어레이;

상기 커패시터 어레이의 상부에 형성되는 절연막; 및

상기 절연막 상부에 형성되어 몰딩시 완충 역할을 하는 더미 메탈층으로 형성되는 것을 특징으로 하는 반도체 소자.

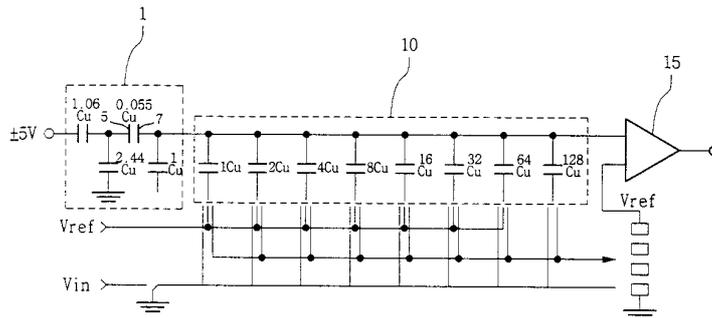
청구항 6.

제 5 항에 있어서, 상기 커패시터 어레이 구조는,

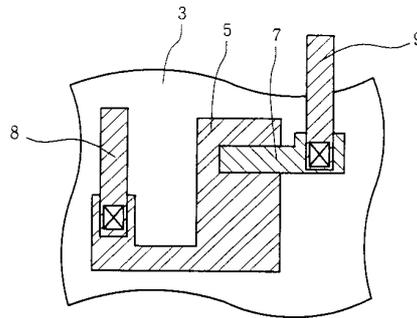
몰딩 컴파운드 공정을 실시하지 않는 공정에서 사용하는 커패시터 어레이 구조인 것을 특징으로 하는 반도체 소자.

도면

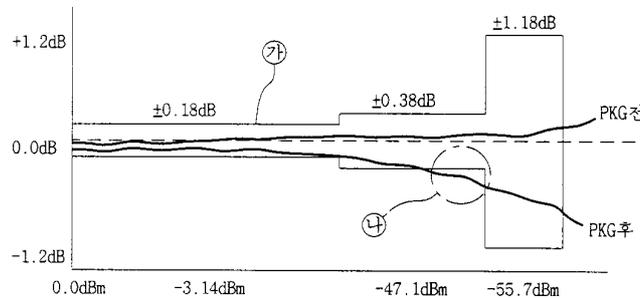
도면1



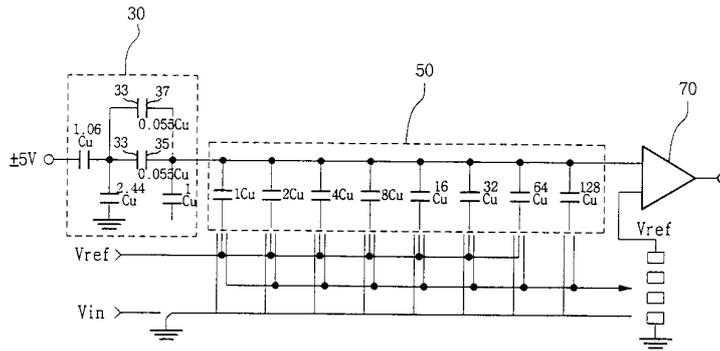
도면2



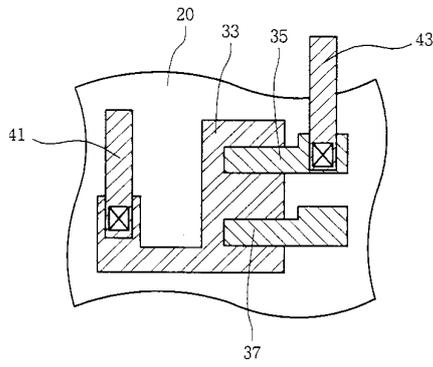
도면3



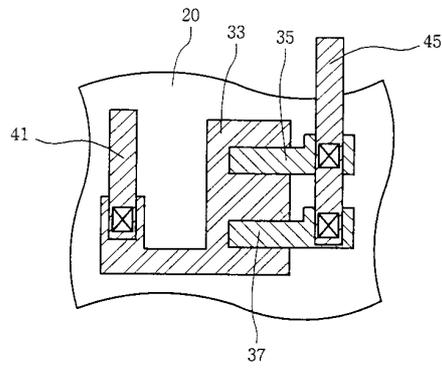
도면4



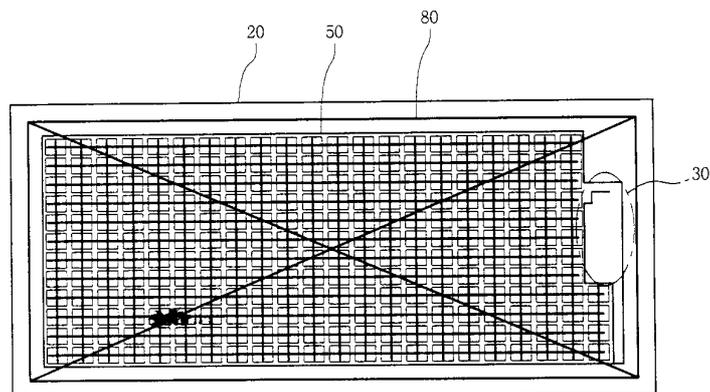
도면5



도면6



도면7



도면8

