



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I548001 B

(45) 公告日：中華民國 105 (2016) 年 09 月 01 日

(21) 申請案號：100121871

(22) 申請日：中華民國 100 (2011) 年 06 月 22 日

(51) Int. Cl. : H01L21/336 (2006.01)

H01L21/324 (2006.01)

(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
 新竹市新竹科學工業園區力行二路 3 號

(72) 發明人：盧景森 LU, CHING SEN (TW)；洪文瀚 HUNG, WEN HAN (TW)；陳再富 CHEN,  
 TSAI FU (TW)；鄭子銘 CHENG, TZYU MING (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

TW 201011860

TW 201013850

CN 101179028B

CN 101276758A

審查人員：古朝璟

申請專利範圍項數：13 項 圖式數：2 共 16 頁

(54) 名稱

金氧半電晶體製造方法

METHOD FOR FABRICATING METAL-OXIDE-SEMICONDUCTOR FIELD-EFFECT TRANSISTOR

(57) 摘要

本發明提出一種金氧半電晶體製造方法，此方法包含下列步驟：提供基板，基板上至少完成閘極結構、第一間隙壁、第二間隙壁以及源汲極結構，其中第二間隙壁包含內層與外層；對第二間隙壁進行厚度縮減而留下內層；於內層與源汲極結構表面上形成應力膜後進行回火製程；以及除去應力膜。

A method for fabricating a metal-oxide-semiconductor field-effect transistor includes the following steps. Firstly, a substrate is provided. A gate structure, a first spacer, a second spacer and a source/drain structure are formed over the substrate. The second spacer includes an inner layer and an outer layer. Then, a thinning process is performed to reduce the thickness of the second spacer, thereby retaining the inner layer of the second spacer. After a stress film is formed on the inner layer of the second spacer and the source/drain structure, an annealing process is performed. Afterwards, the stress film is removed.

指定代表圖：

符號簡單說明：

120 . . . 蝕刻阻擋層

121 . . . 功函數金屬  
結構

122 . . . 金屬閘極

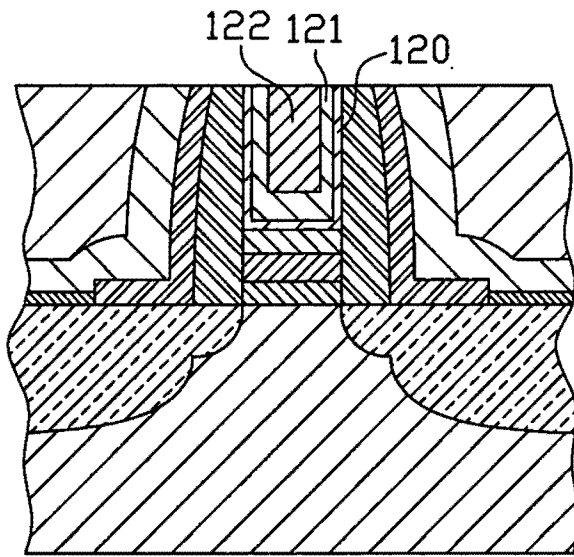


圖 1G

# 發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100/21871

※ 申請日：100.6.22

※IPC 分類：H01L 21/336 (2006.01)

H01L 21/324 (2006.01)

一、發明名稱：(中文/英文)

金氧半電晶體製造方法 / METHOD FOR FABRICATING  
METAL-OXIDE-SEMICONDUCTOR FIELD-EFFECT TRANSISTOR

二、中文發明摘要：

本發明提出一種金氧半電晶體製造方法，此方法包含下列步驟：提供基板，基板上至少完成閘極結構、第一間隙壁、第二間隙壁以及源汲極結構，其中第二間隙壁包含內層與外層；對第二間隙壁進行厚度縮減而留下內層；於內層與源汲極結構表面上形成應力膜後進行回火製程；以及除去應力膜。

三、英文發明摘要：

A method for fabricating a metal-oxide-semiconductor field-effect transistor includes the following steps. Firstly, a substrate is provided. A gate structure, a first spacer, a second spacer and a source/drain structure are formed over the substrate. The second spacer includes an inner layer and an outer layer. Then, a thinning process is performed to reduce the thickness of the second spacer, thereby retaining the inner layer of the second spacer. After a stress film is formed on the inner layer of the second spacer and the source/drain structure, an annealing process is performed. Afterwards, the stress film is removed.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1G ) 圖。

(二)本代表圖之元件符號簡單說明：

蝕刻阻擋層 120

功函數金屬結構 121

金屬閘極 122

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本案係為一種金氧半電晶體製造方法，尤指應用於半導體製程中之金氧半電晶體製造方法。

### 【先前技術】

隨著閘極長度縮小化遇到瓶頸以及新材料尚未被發現與驗證，遷移率(mobility)調整工程成為改善積體電路性能的一個重要貢獻者。例如，金氧半電晶體的通道晶格應變(strain)已經普遍被用來增強遷移率，其中進行晶格應變的矽所能夠提供的電洞遷移率與電子遷移率約可以達到無晶格應變的矽的 4 倍與 1.8 倍。

因此，設計者可透過對 N 通道金氧半電晶體之通道施加拉伸應力(tensile stress)來改善電子遷移率，或者是對 P 通道金氧半電晶體之通道施加壓縮應力(compression stress)來改善電洞遷移率，而應力記憶技術(Stress Memorization Techniques，簡稱 SMT)便是被發展出來眾多遷移率調整工程技術中的一種。然而，利用現有應力記憶技術所形成的半導體元件仍無法獲致令人滿意的元件效能。因此，利用改良的應力記憶技術製造金氧半電晶體便是發展本案之主要目的。

### 【發明內容】

本發明提出一種金氧半電晶體製造方法，此方法包含下列步

驟：提供一基板，基板上至少完成一閘極結構、一第一間隙壁、一第二間隙壁以及一源汲極結構，其中第二間隙壁包含一內層與一外層；對第二間隙壁進行厚度縮減而留下內層；於內層與源汲極結構表面上形成一應力膜後進行一回火製程；以及除去應力膜。

在本發明之一實施例中，上述基板為一矽基板，上述閘極結構包含一閘極介電層、一阻障金屬、一假多晶矽閘極以及一硬罩幕，上述第一間隙壁之材質可為氮化矽或是氧化矽/氮化矽之多層結構，上述第二間隙壁之內層材料為氧化矽，上述第二間隙壁之外層材料為氮化矽。

在本發明之一實施例中，上述閘極介電層包含一中間層以及一高介電係數介電層，上述高介電係數介電層之材料為氧化鉛，上述中間層之材料為氧化矽，上述阻障金屬之材料為氮化鈦，上述硬罩幕包含一氮化矽層與一氧化矽層。

在本發明之一實施例中，完成上述源汲極結構之方法包含下列步驟：進行一源汲極結構摻質植入製程，並將上述矽基板之晶相改變成非晶相。

在本發明之一實施例中，對上述第二間隙壁進行厚度縮減之方法包含下列步驟：以熱磷酸對上述第二間隙壁進行一濕蝕刻，用以去除上述外層而留下上述內層。

在本發明之一實施例中，於除去上述應力膜後更包含下列步驟：於上述基板上方形成一接觸蝕刻停止層及一內層介電層；利用一化學機械研磨製程去除部分接觸蝕刻停止層、部分內層介電層及上述硬罩幕而露出上述假多晶矽閘極；將露出之上述假多晶矽閘極去除而形成一空間；以及填入一金屬閘極結構於上述空間中。

在本發明之一實施例中，填入上述金屬閘極結構之方法包

含下列步驟：填入一蝕刻阻擋層；填入一功函數金屬結構；以及填入一金屬閘極。

在本發明之一實施例中，上述蝕刻阻擋層之材料為氮化鉭(TaN)，上述功函數金屬之材料為氮化鈦(TiN)或鋁化鈦(TiAl)，上述金屬閘極之材料為鋁。

在本發明之一實施例中，於除去上述應力膜後更包含下列步驟：在源汲極結構表面形成一金屬矽化物。

在本發明之一實施例中，上述應力膜之材料為氮化矽，或是由一緩衝氧化矽層加上一氮化矽膜來完成。

在本發明之一實施例中，上述金氧半電晶體為一 P 通道金氧半電晶體，且上述應力膜為一壓縮應力膜。

在本發明之一實施例中，上述金氧半電晶體為一 N 通道金氧半電晶體，且上述應力膜為一拉伸應力膜。

在本發明之一實施例中，除去上述應力膜之方法包含下列步驟：對上述應力膜進行一濕蝕刻。

在本發明之一實施例中，更包含下列步驟：於上述源汲極結構之上方形成一接觸孔，露出上述源汲極結構表面；以及於上述接觸孔露出之上述源汲極結構表面形成一金屬矽化物。

### 【實施方式】

請參見圖 1A~圖 1G，其係申請人為改善應力記憶技術所發展出之半導體製程流程示意圖。首先，圖 1A 中表示出於矽基板 1 上進行金氧半電晶體之前段製程後所完成之剖面結構，其中閘極結構主要由閘極介電層(gate dielectric layer)10、阻障金屬(barrier metal)11、假多晶矽閘極(dummy poly)12 以及硬罩幕 13 來構成。

其中閘極介電層 10 之多層結構主要由介質層(interfacial layer)100 以及高介電係數介電層 101 來完成，常見的高介電係數介電層 101 材料為氧化鈺( $\text{HfO}_2$ )，而介質層 100 材料可為氧化矽( $\text{SiO}_2$ )。阻障金屬 11 材料可為氮化鈦( $\text{TiN}$ )，硬罩幕 13 則可由氮化矽層( $\text{SiN}$ )132 與氧化矽 131 來構成。

至於閘極結構之側壁形成有第一間隙壁 15 與第二間隙壁 16，並可利用閘極結構與間隙壁為罩幕來對矽基板 1 進行輕摻雜汲極(LDD)17 與源汲極結構 18 之摻質植入。而上述第一間隙壁 15 之材質可為氮化矽或是氧化矽/氮化矽之多層結構，至於第二間隙壁 16 則由一內層 160 與一外層 161 來構成，內層 160 之材料可為氧化矽，外層 161 之材料可為氮化矽。而進行上述輕摻雜汲極(LDD)17 與源汲極結構 18 之摻質植入時，會將矽基板 1 之晶相改變成非晶相，如此可完成應力記憶技術之前期作業。

接著如圖 1B 所示，利用濕蝕刻來將第二間隙壁 16 進行厚度縮減，以第二間隙壁 16 之外層 161 之材料為氮化矽為例，可用熱磷酸( $\text{H}_3\text{PO}_4$ )來除去氮化矽，而利用磷酸對於氮化矽與氧化矽之高蝕刻選擇比特性，因而留下第二間隙壁 16 之內層 160 的”L”型氧化矽層。

然後如圖 1C 所示，於進行應力記憶技術中應力膜 14 的沉積，常見的應力膜材料為氮化矽，或是由緩衝氧化矽層(buffer oxide)加上氮化矽層來完成。由於在不同的沉積條件下，氮化矽薄膜可被控制成拉伸應力膜或是壓縮應力膜，例如，用以增強 P 通道之電洞遷移率的壓縮應力膜可透過簡單的化學氣相沉積法(CVD)來完成，而用以增強 N 通道之電子遷移率之拉伸應力膜則需要經過多個沉積-硬化(curing)的製程循環來完成。而於應力膜 14 沉積完成後，便對晶相改變成非晶相之輕摻雜汲極 17 與源汲極結構 18



進行回火製程，如此一來，經過回火製程之輕摻雜汲極 17 與源汲極結構 18 將回復為晶相並記憶應力膜 14 所提供的應力。

接著如圖 1D 所示，再利用濕蝕刻將應力膜 14 去除而露出”L”型氧化矽層 160，以氮化矽完成之應力膜 14 為例，可用熱磷酸 ( $H_3PO_4$ )來進行去除。此時還可接著進行源汲極結構 18 表面的自行對準金屬矽化製程而形成金屬矽化物 180，當然，金屬矽化物 180 也可在先前第二間隙壁 16 形成後便接著完成。

然後再如圖 1E 所示，於整個基板表面上方形成接觸蝕刻停止層 (CESL) 191 及內層介電層 (ILD) 192。然後利用化學機械研磨製程來將閘極結構上方之硬罩幕打開而露出假多晶矽閘極 12，進而形成如圖 1F 之所示之狀態。

然後可將露出之假多晶矽閘極 (dummy poly) 12 利用濕蝕刻去除後再而填入金屬閘極結構，金屬閘極結構可包含圖中所示之蝕刻阻擋層 120、功函數金屬結構 121 與金屬閘極 122，進而完成如圖 1G 所示之後閘極 (Gate-last)-高介電係數介電層金屬閘極 (HKMG) 的金氧半電晶體。其中蝕刻阻擋層 120 可為氮化鈮 (TaN)，P 通道金氧半電晶體之功函數金屬可為氮化鈦 (TiN)，而 N 通道金氧半電晶體之功函數金屬可為鋁化鈦 (TiAl)，至於金屬閘極可用鋁 (Al) 來完成。而由於本實施例回蝕去除第二間隙壁 16 中之氮化矽層 161，使得應力膜 14 更有效率地施加應力給需要記憶應力的輕摻雜汲極 17 與源汲極結構 18。因此本案所完成之金氧半電晶體的通道將得到最佳的遷移率調整。

而除了上述後閘極-金氧半電晶體之外，本案技術也可應用於先閘極 (Gate-first) 金氧半電晶體之製作上，其技術本身並無不同，只是不需要進行將假多晶矽閘極 12 去除後再而填入功函數金屬 121 與金屬閘極 122 等製程。另外，高介電係數介電層 101 除了以

上述方法先完成外，也可先不製作，等到將假多晶矽閘極 12 去除再依序填入高介電係數介電層 101 及蝕刻阻擋層 120、功函數金屬 121、金屬閘極 122。至於源汲極結構 18 表面之金屬矽化物 180，除可利用上述步驟完成之外，也可如圖 2 所示，於接觸孔 20 完成後，再利用接觸孔 20 露出之源汲極結構 18 表面來完成，如此將可有利於輕摻雜汲極 17 與源汲極結構 18 得到更好的應力記憶效應。

綜上所述，在本發明對技術進行改良後，已可有效改善習用手段的問題。雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1A~圖 1G，其係申請人為改善應力記憶技術所發展出之金氧半導體製程流程示意圖。

圖 2，其係申請人為改善應力記憶技術所發展出之另一實施例之金氧半導體示意圖。

### 【主要元件符號說明】

基板 1

閘極介電層 10

介質層 100

高介電係數介電層 101

阻障金屬 11  
假多晶矽閘極 12  
硬罩幕 13  
氮化矽層 132  
氧化矽 131  
應力膜 14  
第一間隙壁 15  
第二間隙壁 16  
內層 160  
外層 161  
輕摻雜汲極 17  
源汲極結構 18  
蝕刻阻擋層 120  
功函數金屬結構 121  
金屬閘極 122  
金屬矽化物 180  
接觸蝕刻停止層 191  
內層介電層 192  
接觸孔 20

## 七、申請專利範圍：

1.一種金氧半電晶體製造方法，該方法包含下列步驟：

提供一基板，該基板上至少完成一閘極結構、一第一間隙壁、一第二間隙壁以及一源汲極結構，其中該第二間隙壁包含一內層與一外層；

對該第二間隙壁進行厚度縮減而留下該內層；

於該內層與該源汲極結構表面上形成一應力膜後進行一回火製程；

除去該應力膜；

於該基板上方形成一接觸蝕刻停止層及一內層介電層；

利用一化學機械研磨製程去除部分接觸蝕刻停止層、部分內層介電層及該硬罩幕而露出該假多晶矽閘極；

將露出之該假多晶矽閘極去除而形成一空間；以及

填入一金屬閘極結構於該空間中。

2.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中該基板為一矽基板，該閘極結構包含一閘極介電層、一阻障金屬、一假多晶矽閘極以及一硬罩幕，該第一間隙壁之材質可為氮化矽或是氧化矽/氮化矽之多層結構，該第二間隙壁之內層材料為氧化矽，該第二間隙壁之外層材料為氮化矽。

3.如申請專利範圍第2項所述之金氧半電晶體製造方法，其中該閘極介電層包含一中間層以及一高介電係數介電層，該高介電係數介電層之材料為氧化鈣，該中間層之材料為氧化矽，該阻障金屬之材料為氮化鈦，該硬罩幕包含一氮化矽層與一氧化矽層。

- 4.如申請專利範圍第2項所述之金氧半電晶體製造方法，其中完成該源汲極結構之方法包含下列步驟：進行一源汲極結構摻質植入製程，並將該矽基板之晶相改變成非晶相。
- 5.如申請專利範圍第2項所述之金氧半電晶體製造方法，其中對該第二間隙壁進行厚度縮減之方法包含下列步驟：以熱磷酸對該第二間隙壁進行一濕蝕刻，用以去除該外層而留下該內層。
- 6.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中填入該金屬閘極結構之方法包含下列步驟：
  - 填入一蝕刻阻擋層；
  - 填入一功函數金屬結構；以及
  - 填入一金屬閘極。
- 7.如申請專利範圍第6項所述之金氧半電晶體製造方法，其中該蝕刻阻擋層之材料為氮化鉭(TaN)，該功函數金屬之材料為氮化鈦(TiN)或鋁化鈦(TiAl)，該金屬閘極之材料為鋁。
- 8.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中於除去該應力膜後更包含下列步驟：在源汲極結構表面形成一金屬矽化物。
- 9.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中該應力膜之材料為氮化矽，或是由一緩衝氧化矽層加上一氮化矽膜來完成。

10.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中該金氧半電晶體為一P通道金氧半電晶體，且該應力膜為一壓縮應力膜。

11.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中該金氧半電晶體為一N通道金氧半電晶體，且該應力膜為一拉伸應力膜。

12.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中除去該應力膜之方法包含下列步驟：對該應力膜進行一濕蝕刻。

13.如申請專利範圍第1項所述之金氧半電晶體製造方法，其中更包含下列步驟：

於該源汲極結構之上方形成一接觸孔，露出該源汲極結構表面；以及

於該接觸孔露出之該源汲極結構表面形成一金屬矽化物。

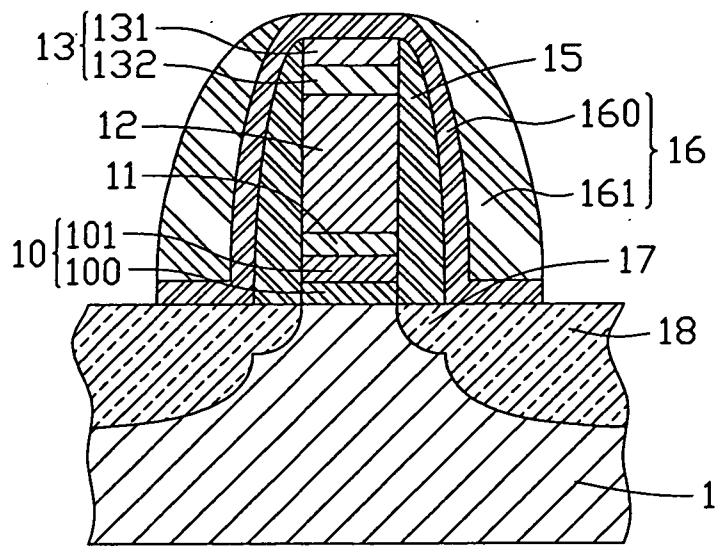


圖 1A

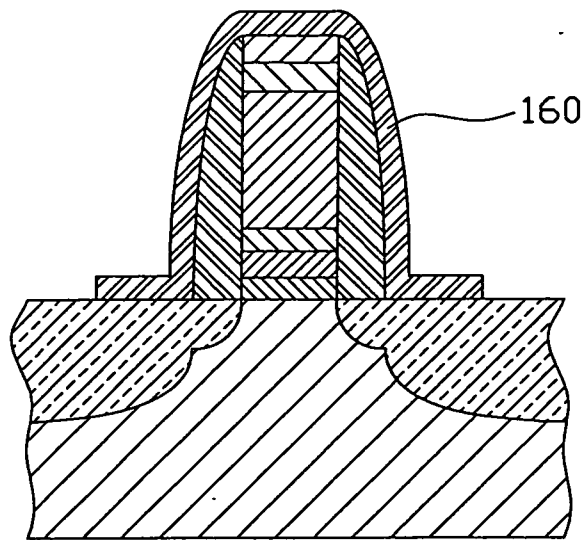


圖 1B

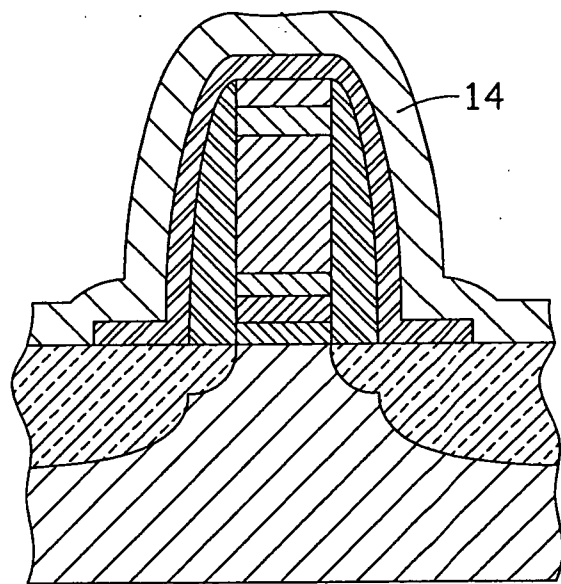


圖 1C

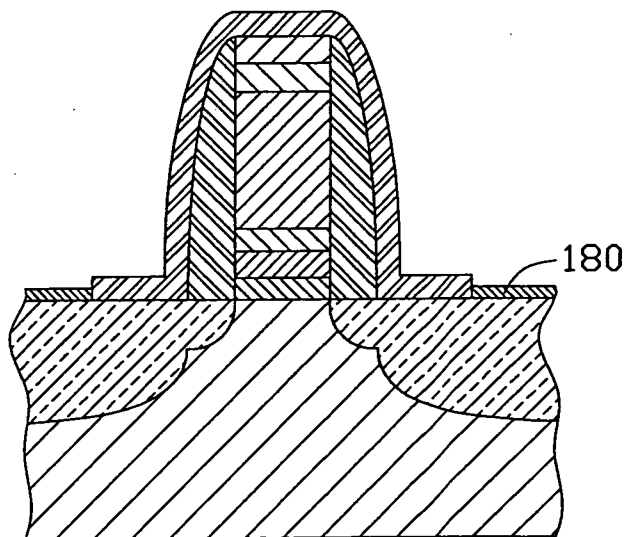


圖 1D



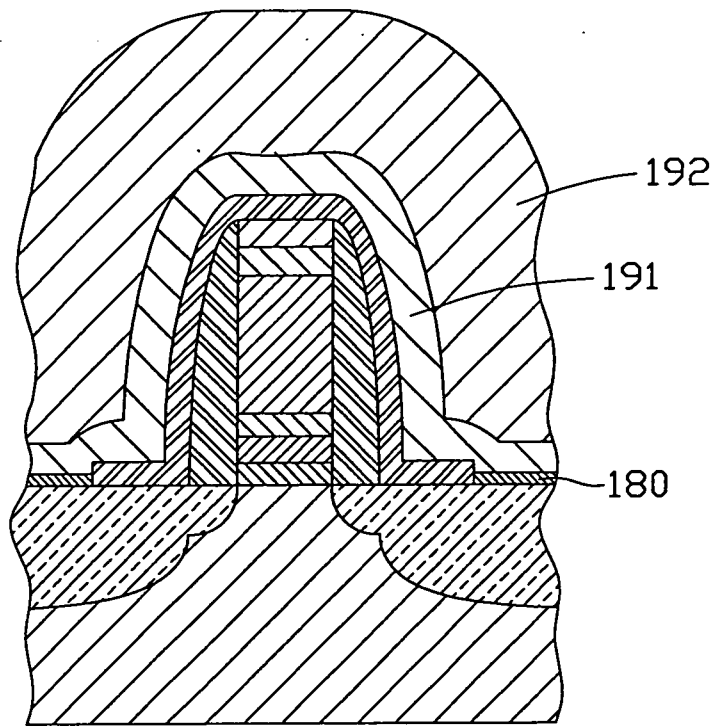


圖 1E

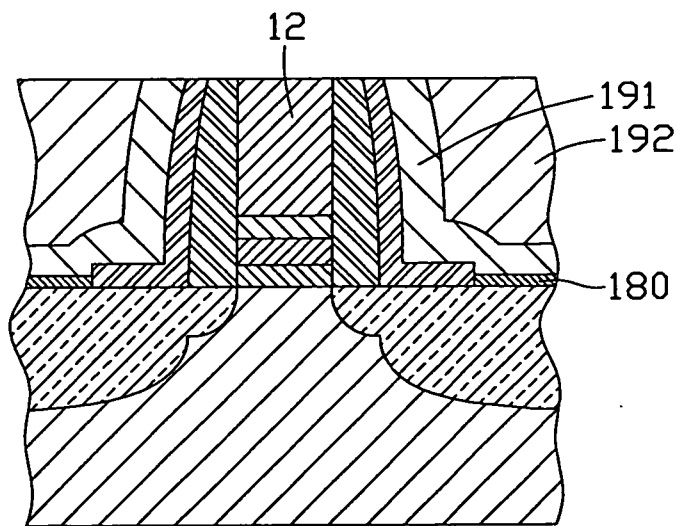


圖 1F

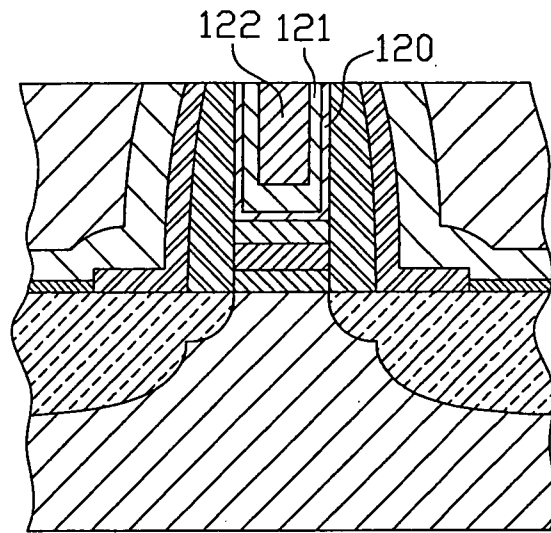


圖 1G

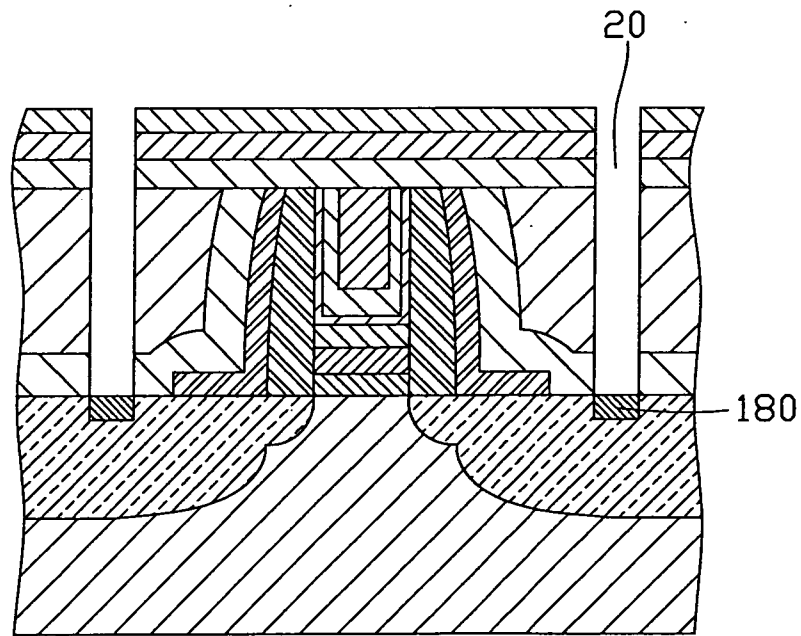


圖 2