

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5201388号
(P5201388)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int. Cl.		F I			
HO2M	7/21	(2006.01)	HO2M	7/21	A
HO2M	3/28	(2006.01)	HO2M	3/28	F

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2007-249685 (P2007-249685)	(73) 特許権者	000006507
(22) 出願日	平成19年9月26日 (2007.9.26)		横河電機株式会社
(65) 公開番号	特開2009-81952 (P2009-81952A)		東京都武蔵野市中町2丁目9番32号
(43) 公開日	平成21年4月16日 (2009.4.16)	(72) 発明者	鈴木 雅彦
審査請求日	平成22年6月9日 (2010.6.9)		東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		(72) 発明者	安田 和則
			東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		(72) 発明者	鈴木 基仁
			東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		審査官	永田 和彦

最終頁に続く

(54) 【発明の名称】 同期整流駆動回路

(57) 【特許請求の範囲】

【請求項1】

トランスの2次側コイルに接続されている整流側電界効果トランジスタと還流側電界効果トランジスタとを有し、前記整流側電界効果トランジスタは、ゲート電極が前記トランスの2次側コイルの正極端子に接続され、ドレイン電極が前記トランスの2次側コイルの負極端子に接続され、前記還流側電界効果トランジスタは、ドレイン電極が前記トランスの2次側コイルの正極端子に接続され、ゲート電極が前記トランスの2次側コイルの負極端子に接続されている同期整流回路において、

前記還流側電界効果トランジスタのゲート電極と前記トランスの2次側コイルの負極端子との間に接続されている第一の駆動回路、または、前記整流側電界効果トランジスタのゲート電極と前記トランスの2次側コイルの正極端子との間に接続されている第二の駆動回路、
を有し、

前記第一の駆動回路は、駆動対象である前記還流側電界効果トランジスタがオンしているときの前記還流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を一定値に制御し、

前記第二の駆動回路は、駆動対象である前記整流側電界効果トランジスタがオンしているときの前記整流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を一定値に制御し、

前記第一の駆動回路または第二の駆動回路は、

前記トランスの２次側コイルの負極端子からの電流のみを用いて、前記還流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を発生させる定電圧源、または前記トランスの２次側コイルの正極端子からの電流のみを用いて、前記整流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を発生させる定電圧源として機能することを特徴とする同期整流駆動回路。

【請求項２】

前記第一の駆動回路または第二の駆動回路は、
駆動対象の電界効果トランジスタのゲート電極 - ソース電極の間の電圧を設定するツェナーダイオードと、

前記ツェナーダイオードのツェナー電圧に基づいて駆動対象の電界効果トランジスタのゲート電極 - ソース電極の間の電圧を前記一定値に制御するゲート電圧クランプ回路と、
を有することを特徴とする請求項１記載の同期整流駆動回路。

10

【請求項３】

前記ゲート電圧クランプ回路は、
駆動対象の電界効果トランジスタのゲート電極 - ソース電極の間の電圧を前記一定値に制御するレギュレータと、

駆動対象の電界効果トランジスタのゲートを駆動するためのゲート抵抗と、
を有することを特徴とする請求項２記載の同期整流駆動回路。

【請求項４】

前記還流側電界効果トランジスタがオフしたときに前記還流側電界効果トランジスタのゲート電荷を逃がす第一のダイオード、または、前記整流側電界効果トランジスタがオフしたときに前記整流側電界効果トランジスタのゲート電荷を逃がす第二のダイオードを備えることを特徴とする請求項１～３のいずれか１項に記載の同期整流駆動回路。

20

【請求項５】

前記第一のダイオードは前記第一の駆動回路と並行に接続されることを特徴とする請求項４に記載の同期整流駆動回路。

【請求項６】

前記第二のダイオードは前記第二の駆動回路と並行に接続されることを特徴とする請求項４に記載の同期整流駆動回路。

【請求項７】

前記ツェナーダイオードは前記レギュレータを構成する電界効果トランジスタのゲート電極と駆動対象の電界効果トランジスタのソース電極との間に接続され、

前記レギュレータを構成する電界効果トランジスタのソース電極は、前記ゲート抵抗を介して駆動対象の電界効果トランジスタのゲート電極に接続されることを特徴とする請求項３に記載の同期整流駆動回路。

30

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、同期整流駆動回路に関し、詳しくはスイッチング電源等において用いられる同期整流駆動回路に関する。

40

【背景技術】

【０００２】

図４は、従来の同期整流回路の一例を示す構成図である。図において、MOSFETのゲート電圧に、トランスの巻線電圧をトリガとして利用する構成になっている。

【０００３】

図４は、同期整流回路において、直流電圧１が印加されるトランス４と、トランス４の一次巻線に流れる電流をオン・オフするスイッチング素子３と、スイッチング素子３にオン・オフ制御信号を印加する１次制御部と、二次巻線に誘起されるスイッチング信号を整流平滑化する二次側回路とを備えた構成になっている。

【０００４】

50

動作としては、フォワード動作 19 とフライホイール動作 20 の 2 種類である。

【 0 0 0 5 】

このような構成からなる同期整流回路において、先ず、フォワード動作 19 は次の通りである。

1 次側のスイッチング素子 3 が ON することにより、トランス 4 の A - B ピンに電圧がかかるため、電流が流れる。そして、トランス 4 の A - B ピンのエネルギーが、トランス 4 の 2 次側の巻線に誘起される。トランス 4 の A - B ピンのエネルギーがトランス 4 の 2 次巻線に誘起されることにより、2 次側コイルの正極端子 C にトランス 4 の巻線比に相当する電圧が発生する。2 次側コイルの正極端子 C にトランス 4 の巻線比に相当する電圧が発生した瞬間、正極端子 C の電圧が Hi になることにより、整流側電界効果トランジスタ（以下、同期整流（フォワード）MOSFET 5 という）のゲート電圧がしきい値以上になる。同期整流（フォワード）MOSFET 5 のゲート電圧がしきい値以上に達することにより、同期整流（フォワード）MOSFET 5 のソース-ドレイン間が導通し、2 次側インダクタ 8 に向かって電流が流れる。

10

【 0 0 0 6 】

次に、フライホイール動作 20 は、次の通りである。

1 次側のスイッチング素子 3 が OFF することにより、トランス 4 の電圧が反転する。そして、トランス 4 の電圧が反転することにより、トランス 4 の正極端子 C の電圧は降下する。トランス 4 の正極端子 C の電圧が降下することにより、同期整流（フォワード）MOSFET 5 のゲート電圧はしきい値以下になる。同期整流（フォワード）MOSFET 5 のゲート電圧がしきい値以下になることにより、同期整流（フォワード）MOSFET 5 は OFF する。同期整流（フォワード）MOSFET 5 が OFF することにより、トランス 4 の負極端子 D が逆に Hi に反転する。トランス 4 の負極端子 D が Hi に反転することにより、還流側電界効果トランジスタ（以下、同期整流（フライホイール）MOSFET 7 という）のゲートの電圧がしきい値以上になる。同期整流（フライホイール）MOSFET 7 のゲートの電圧がしきい値以上に達することにより、同期整流（フライホイール）MOSFET 7 のソース-ドレイン間が導通し、2 次側インダクタ 8 に向かって電流が流れる。

20

【 0 0 0 7 】

したがって、このフォワード動作 19 とフライホイール動作 20 を繰り返すことで、出力電圧 10 を供給する。また、フォワード動作 19 とフライホイール動作 20 をすることで、通常のダイオード整流と同等の動作をし、整流素子の損失を低減することができるようになった。

30

【 0 0 0 8 】

図 5 は、従来の同期整流回路の一例を示す構成図である。

図 5 に示すように、同期整流回路において、トランス 29 の 1 次側コイルに接続されている 1 次側のスイッチング回路としてのアクティブクランプ回路と、トランス 29 の 2 次側コイルに接続されている整流回路とを備えた構成になっている。

【 0 0 0 9 】

1 次側のアクティブクランプ回路は、主スイッチ 25 と、補助スイッチ 27 と、クランプコンデンサ 28 とを備えた構成になっている。トランス 29 の 1 次側コイルには、直流電圧 1 が接続されている。トランス 29 の 1 次側コイルの負極端子と直流電圧 1 との間に主スイッチ 25 が接続されている。補助スイッチ 27 とクランプコンデンサ 28 との直列接続体が、トランス 29 の 1 次側コイルに並列に接続されている。主スイッチ 25 のゲート電極には、ゲート信号発生回路 24 が接続されている。また、補助スイッチ 27 のゲート電極には、ゲート信号発生回路 26 が接続されている。主スイッチ 25 のゲート電極および補助スイッチ 27 のゲート電極には、ゲート信号発生回路 24 およびゲート信号発生回路 26 により交互にゲート信号が与えられて交互にオンされる。

40

【 0 0 1 0 】

2 次側の整流回路は、整流側 FET 30 と、還流側 FET 31 と、平滑用コイル 32 と

50

、平滑用コンデンサ33と、負荷34と、直流バイアスカットコンデンサ35と、ゲート電圧クランプ用FET36と、ゲート電圧クランプ用電源37と、直流バイアスカットコンデンサ38と、ゲート電圧クランプ用FET39とを備えた構成になっている。

【0011】

整流側FET30は、ドレイン電極がトランス29の2次側コイルの負極端子に接続されている。還流側FET31のドレイン電極は、トランス29の2次側コイルの正極端子と直流バイアスカットコンデンサ38に接続されている。還流側FET31のゲート電極は、トランス29の2次側コイルの負極端子に直流バイアスカットコンデンサ35とゲート電圧クランプ用FET36とを介して接続されている。ゲート電圧クランプ用FET36のドレイン電極には直流バイアスカットコンデンサ35が接続されている。ゲート電圧クランプ用FET36のソース電極には還流側FET31のゲート電極が接続されている。ゲート電圧クランプ用FET39のゲート電極にはゲート電圧クランプ用電源37が接続されている。ゲート電圧クランプ用FET39のドレイン電極とトランス29の正極端子の間に直流バイアスカットコンデンサ38が接続されている。平滑用コイル32は、還流側FET31のドレイン電極と負荷34との間に接続されている。平滑用コンデンサ33は、負荷34と並列に接続されている。平滑用コイル32と平滑用コンデンサ33とは、平滑回路を構成している。ゲート電圧クランプ用FET36とゲート電圧クランプ用電源37とは、ゲート電圧クランプ回路を構成している。

10

【0012】

これにより、還流側FET31と同様に整流側FET30のターンオフを速くすることができる。

20

【0013】

このような構成からなる同期整流回路において、1次側のアクティブクランプ回路の主スイッチ25と補助スイッチ27とが交互にオンされると、トランス29の2次側コイルには、トランス巻数比に比例した矩形波電圧が発生する。発生した矩形波電圧を整流側FET30と還流側FET31とで整流する。発生した矩形波電圧を整流後、さらに平滑回路を構成する平滑用コイル32と平滑用コンデンサ33で平滑して出力する。

【0014】

還流側FET31は、トランス29の負極の端子電圧をゲート電圧に利用する。このトランス29の負極の端子電圧に直流バイアスカットコンデンサ35を接続すると、直流バイアスカットコンデンサ35の一方の端子電圧は正負に振れる電圧波形となる。負側に振れることで、還流側FET31のターンオフを速くすることができる。

30

【0015】

さらに、直流バイアスカットコンデンサ35と還流側FET31のゲート電極との間にゲート電圧クランプ回路を挿入することにより、端子電圧の正電圧を低く抑えることができる。これにより、端子電圧が負へ振れる時間を短くし、還流側FET31のターンオフを速くすることができる。

【0016】

上記構成により、整流側FET30及び還流側FET31のターンオフを早くすることで、整流側FET30及び還流側FET31のサージ電圧および電圧の損失を防止することができる。

40

【0017】

【特許文献1】特許第3022535号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかしながら、図4のような同期整流回路においては、下記のような問題点がある。

DC/DCコンバータは、9V/17A 150Wと高電圧、大電流であるため、トランスの2次側コイル電圧が高く、直接整流側電界効果トランジスタ及び還流側電界効果トランジスタのゲートを駆動すると、ゲート耐圧をオーバーしてしまうという問題がある。

50

【 0 0 1 9 】

また、上記図 4 の従来例に示される同期整流回路においては、整流側電界効果トランジスタのゲート容量 C_{iss} をゲート抵抗経由で放電させるため整流側電界効果トランジスタの OFF が遅くなるという問題がある。

同様に、還流側電界効果トランジスタのゲート容量 C_{iss} をゲート抵抗経由で放電させるため還流側電界効果トランジスタの OFF が遅くなるという問題がある。

【 0 0 2 0 】

そして、現在、所望されている製品が低背（高さ 9 mm 以下）であるため、トランスに別巻線を追加するには狭小であるという問題がある。

【 0 0 2 1 】

次に、図 5 のような同期整流回路においては、下記のような問題点がある。
整流側 FET 及び還流側 FET とトランス巻線間に接続されるのが直流バイアスカットコンデンサのみで、ゲートに直列に接続するゲート抵抗がないため、整流側 FET 及び還流側 FET の寄生共振（発振）が発生する可能性がある。

整流側 FET 及び還流側 FET の発振が発生した場合、整流側 FET 及び還流側 FET にゲート抵抗を挿入して対策するが、ゲート抵抗を介して整流側 FET 及び還流側 FET のゲート電圧を放電させるため、ターンオフが遅くなってしまいう問題がある。

【 0 0 2 2 】

また、ゲートクランプ用電源用に別途電源を設けなければならない。

【 0 0 2 3 】

本発明は、上記のような従来装置の欠点をなくし、電圧の高い 2 次巻線電圧を利用して、整流側電界効果トランジスタ及び還流側電界効果トランジスタのゲート耐圧以下でゲートを駆動すること、かつ整流側電界効果トランジスタ及び還流側電界効果トランジスタのターンオフを早くすることにより、整流側電界効果トランジスタ及び還流側電界効果トランジスタが同時にオンすることを防止すること、かつ発振防止のゲート抵抗がある場合においても、ターンオフを早くすることができる同期整流駆動回路を実現することを目的としたものである。

【課題を解決するための手段】

【 0 0 2 4 】

上記のような目的を達成するために、本発明の請求項 1 では、トランスの 2 次側コイルに接続されている整流側電界効果トランジスタと還流側電界効果トランジスタとを有し、前記整流側電界効果トランジスタは、ゲート電極が前記トランスの 2 次側コイルの正極端子に接続され、ドレイン電極が前記トランスの 2 次側コイルの負極端子に接続され、前記還流側電界効果トランジスタは、ドレイン電極が前記トランスの 2 次側コイルの正極端子に接続され、ゲート電極が前記トランスの 2 次側コイルの負極端子に接続されている同期整流回路において、前記還流側電界効果トランジスタのゲート電極と前記トランスの 2 次側コイルの負極端子との間に接続されている第一の駆動回路、または、前記整流側電界効果トランジスタのゲート電極と前記トランスの 2 次側コイルの正極端子との間に接続されている第二の駆動回路、を有し、前記第一の駆動回路は、駆動対象である前記還流側電界効果トランジスタがオンしているときの前記還流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を一定値に制御し、前記第二の駆動回路は、駆動対象である前記整流側電界効果トランジスタがオンしているときの前記整流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を一定値に制御し、前記第一の駆動回路または第二の駆動回路は、前記トランスの 2 次側コイルの負極端子からの電流のみを用いて、前記還流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を発生させる定電圧源、または前記トランスの 2 次側コイルの正極端子からの電流のみを用いて、前記整流側電界効果トランジスタのゲート電極 - ソース電極の間の電圧を発生させる定電圧源として機能することを特徴とする。

【 0 0 2 5 】

請求項 2 では、請求項 1 の同期整流駆動回路において、前記第一の駆動回路または第二

10

20

30

40

50

の駆動回路は、駆動対象の電界効果トランジスタのゲート電極 - ソース電極の間の電圧を設定するツェナーダイオードと、前記ツェナーダイオードのツェナー電圧に基づいて駆動対象の電界効果トランジスタのゲート電極 - ソース電極の間の電圧を前記一定値に制御するゲート電圧クランプ回路と、を有することを特徴とする。

【0026】

請求項3では、請求項2の同期整流駆動回路において、前記ゲート電圧クランプ回路は、駆動対象の電界効果トランジスタのゲート電極 - ソース電極の間の電圧を前記一定値に制御するレギュレータと、駆動対象の電界効果トランジスタのゲートを駆動するためのゲート抵抗と、を有することを特徴とする。

【0027】

請求項4では、請求項1～3のいずれかの同期整流駆動回路において、前記還流側電界効果トランジスタがオフしたときに前記還流側電界効果トランジスタのゲート電荷を逃がす第一のダイオード、または、前記整流側電界効果トランジスタがオフしたときに前記整流側電界効果トランジスタのゲート電荷を逃がす第二のダイオードを備えることを特徴とする。

【0028】

請求項5では、請求項4の同期整流駆動回路において、前記第一のダイオードは前記第一の駆動回路と並行に接続されることを特徴とする。

【0029】

請求項6では、請求項4の同期整流駆動回路において、前記第二のダイオードは前記第二の駆動回路と並行に接続されることを特徴とする。

【0030】

請求項7では、請求項3の同期整流駆動回路において、前記ツェナーダイオードは前記レギュレータを構成する電界効果トランジスタのゲート電極と駆動対象の電界効果トランジスタのソース電極との間に接続され、前記レギュレータを構成する電界効果トランジスタのソース電極は、前記ゲート抵抗を介して駆動対象の電界効果トランジスタのゲート電極に接続されることを特徴とする。

【発明の効果】

【0031】

本願において開示される発明のうち代表的なものによって得られる効果を説明すれば下記の通りである。

【0032】

すなわち、本発明に従うと、同期整流駆動回路において、トランスの2次側コイル電圧が高い場合においても、所望するゲート電圧になるように制御することで、安全に整流側電界効果トランジスタ及び還流側電界効果トランジスタを動作させることができるため、整流側電界効果トランジスタ及び還流側電界効果トランジスタのゲート耐圧を超えることなく、2次側コイル電圧を駆動のトリガ電圧とすることができる。このため、トリガ用別巻線を巻くスペースのない小型、低背トランスの場合においても、巻線電圧を利用して同期整流回路を駆動することができるようになる。

【0033】

また、整流側電界効果トランジスタのターンオフ時にゲート抵抗を介さずに、ダイオードを介すことによりゲート電圧を下げるため、整流側電界効果トランジスタのOFFを速くすることができる。

そして、還流側電界効果トランジスタのターンオフ時にゲート抵抗を介さずに、ダイオードを介すことによりゲート電圧を下げるため、還流側電界効果トランジスタのOFFを速くすることができる。

【0034】

次に、ゲート電圧を一定にするように、サージ電圧時及び矩形波の電圧時の際に降圧させる電圧を可変することにより、常に問題なくゲートを駆動することができる。

10

20

30

40

50

【 0 0 3 5 】

そして、入力電圧範囲が広い場合においても 2 次側コイル電圧を駆動のトリガ電圧とすることができる。

【 発明を実施するための最良の形態 】

【 0 0 3 6 】

以下、図面を用いて、本発明の同期整流駆動回路を説明する。

【 実施例 1 】

【 0 0 3 7 】

図 1 は、本発明の同期整流駆動回路の一実施例を示す構成図である。図において、前記図 4 と同様のものは同一符号を付して示す。

10

【 0 0 3 8 】

図 1 に示すように、トランス 4 を介して 1 次側コンデンサ 2 にて平滑された電圧をスイッチング素子 3 及びアクティブクランプ MOS F E T 2 3 で駆動し、整流側電界効果トランジスタ（以下、同期整流（フォワード）MOS F E T 5 という）と還流側電界効果トランジスタ（以下、同期整流（フライホイール）MOS F E T 7 という）を用いて同期整流をして、2 次側インダクタ 8 と 2 次側コンデンサ 9 にて整流平滑して出力電圧 1 0 を供給する構成になっている。

【 0 0 3 9 】

また、図 1 において、同期整流駆動回路は、1 次側制御部と、2 次側整流平滑部と、第一のゲート電圧駆動回路 6 a と第二のゲート電圧駆動回路 6 b を有している。

20

1 次側制御部において、トランス 4 は、少なくとも 1 次側メイン巻線 2 1 と 2 次側出力巻線 2 2 を有し、2 次側で整流平滑された出力電圧 1 0 をセンシングする 2 次側制御部とスイッチング素子 3 のオン・オフを制御する構成になっている。

【 0 0 4 0 】

2 次側整流平滑部は、同期整流（フォワード）MOS F E T 5 と同期整流（フライホイール）MOS F E T 7 で同期整流をし、そのゲートトリガ信号はトランス 4 の 2 次側出力巻線 2 2 を利用する。同期整流 MOS F E T （フライホイール）7 のゲートと 2 次側出力巻線 2 2 の負極端子 D 間には、ゲート駆動電圧を調整する第一のゲート電圧駆動回路 6 a を有し、同期整流（フォワード）MOS F E T 5 のゲートと 2 次側出力巻線 2 2 の正極端子 C 間には、ゲート駆動電圧を調整する第二のゲート電圧駆動回路 6 b を有する構成になっている。

30

【 0 0 4 1 】

また、図 2 に示すように、第一のゲート電圧駆動回路 6 a は、第一のゲート電圧クランプ回路 6 c と、電圧設定用ツェナーダイオード 1 6 と、同期整流（フライホイール）MOS F E T 7 のオフ時に、ゲート電荷を無くすためのダイオード 1 2 を有する構成になっている。

同様に、図 2 に示すように、第一のゲート電圧駆動回路 6 b は、第二のゲート電圧クランプ回路 6 d と、電圧設定用ツェナーダイオード 1 5 と、同期整流（フォワード）MOS F E T 5 のオフ時に、ゲート電荷を無くすためのダイオード 1 1 を有する構成になっている。

40

【 0 0 4 2 】

そして、図 2 に示すように、第一のゲート電圧クランプ回路 6 c は、ゲート抵抗 1 8 と、電圧をクランプするレギュレータ 1 4 とを有する構成になっている。

同様に、図 2 に示すように、第二のゲート電圧クランプ回路 6 d は、ゲート抵抗 1 7 と、電圧をクランプするレギュレータ 1 3 とを有する構成になっている。

【 0 0 4 3 】

次に、本発明の第 1 の実施形態である同期整流駆動回路の動作を図 2 および図 3 に基づいて説明する。

【 0 0 4 4 】

図 3 は、スイッチング素子 3 によって動作するフォワード動作 1 9 及びフライホイール動

50

作 20 の動作波形の例である。

【 0 0 4 5 】

フォワード動作 19 は、以下のような動作をする。

1 次側制御部は、スイッチング素子 3 のオンの期間に、2 次側はフォワード動作 19 となる。この時、トランス 4 の 2 次巻線の正極端子 C にはトランス 4 の巻線比に比例した電圧が発生する。図 2 の場合、電源電圧が 48 Vdc、トランス 4 の巻線比が 8 : 4 なので、 $48 \text{ V} / 8 \text{ T}_s \times 4 \text{ T}_s = 24 \text{ V}$ の矩形波が発生する。

図 3 の動作波形により、同期整流 (フォワード) MOSFET 5 と同期整流 (フライホイール) MOSFET 7 の電圧は低減されているが、サージ電圧があるのでピーク電圧は更に高い電圧になっていることがわかる。同期整流に使用している同期整流 (フォワード) MOSFET 5 と同期整流 (フライホイール) MOSFET 7 は、低オン抵抗 (R_{on}) である必要があるため、 $60 \text{ V} (V_{ds}) / 50 \text{ A} (I_d) / 16 \text{ m} (R_{on})$ を採用している。

10

【 0 0 4 6 】

この同期整流 (フォワード) MOSFET 5 及び同期整流 (フライホイール) MOSFET 7 のゲート耐圧は 20 V_{max} であることにより、2 次巻線電圧で直接同期整流 (フォワード) MOSFET 5 及び同期整流 (フライホイール) MOSFET 7 を駆動することが出来ない。

【 0 0 4 7 】

トランス 4 の 2 次巻線正極端子 C に電圧が発生することにより、ツェナーダイオード 15 に電流が流れ、ツェナー電圧の 7.5 V (図 2 の場合、 7.5 V) にクランプされる。この電圧で、レギュレータ 13 のゲート電圧を、 7.5 V 一定にするために、レギュレータ 13 のドレインに入ってきた 2 次巻線正極端子 C の電圧 (約 24 V) をレギュレータ 13 によりカットすることで、レギュレータ 13 のソースには 5.5 V 程度の電圧が出力される。(ゲート電圧 $7.5 \text{ V} - V_{gs} 2 \text{ V} = 5.5 \text{ V}$)

20

この電圧は、同期整流 (フォワード) MOSFET 5 のゲート耐圧より十分低いため、安全に同期整流 (フォワード) MOSFET 5 を駆動することができる。安全に同期整流 (フォワード) MOSFET 5 を駆動することにより、同期整流 (フォワード) MOSFET 5 は ON 状態になる。

同期整流 (フォワード) MOSFET 5 が ON することにより、図 2 のフォワード動作 19 の電流が 2 次側回路に流れ、出力電圧 10 を供給する。

30

この時、トランス 4 の 2 次巻線負極端子 D の電圧は、同期整流 (フォワード) MOSFET 5 が ON していることにより、2 次側回路の GND と導通し、 0 V になっている。

【 0 0 4 8 】

次に、トランス 4 の 2 次巻線負極端子 D の電圧は、 0 V であることにより、ツェナーダイオード 16、レギュレータ 14 のドレイン、ソースも 0 V となる。

つまり、同期整流 (フライホイール) MOSFET 7 は、OFF 状態になる。

スイッチング素子 3 が OFF に反転することにより、トランス 4 の 2 次巻線正極端子 C の電圧は降下してくる。トランス 4 の 2 次巻線正極端子 C の電圧が同期整流 (フォワード) MOSFET 5 のゲート電圧より低くなることにより、ダイオード 11 が導通し、ゲート電圧を OFF 電圧まで急速に引き下げる。

40

そして、同期整流 (フォワード) MOSFET 5 のゲートが OFF 電圧まで下がることにより、同期整流 (フォワード) MOSFET 5 は OFF する。

【 0 0 4 9 】

次に、フライホイール動作 20 は、以下のような動作をする。

1 次側制御部のスイッチング素子 3 が OFF に反転することにより、今度はトランス 4 の 2 次巻線負極端子 D の電圧が、上昇する。

トランス 4 の 2 次巻線負極端子 D の電圧が発生することにより、ツェナーダイオード 16 に電流が流れ、ツェナー電圧 (図 2 の場合、 7.5 V) にクランプされる。

この電圧で、レギュレータ 14 のゲート電圧を 7.5 V 一定にするために、レギュレータ 14 のドレインに入ってきた 2 次巻線負極端子 D の電圧をレギュレータ 14 でカットする

50

ことにより、ソースには5.5V程度の電圧が出力される。(ゲート電圧 $7.5V - V_{gs} = 2V = 5.5V$)

レギュレータ14で出力される電圧は、同期整流(フライホイール)MOSFET7のゲート耐圧より十分低いいため、安全に同期整流(フライホイール)MOSFET7を駆動することができる。安全に同期整流(フライホイール)MOSFET7を駆動することにより、同期整流(フライホイール)MOSFET7はON状態になる。

同期整流(フライホイール)MOSFET7がONすることにより、フライホイール動作20に移行し、フライホイール動作20の電流が2次側回路に流れ、出力電圧10を供給する。

【0050】

再び、1次側制御部のスイッチング素子3がONに反転することにより、トランス4の2次巻線負極端子Dの電圧は降下し、正極端子Cの電圧が上昇するため、動作がフライホイール動作20からフォワード動作19へ移行する。

上記フォワード動作19と上記フライホイール動作20を繰り返す。

したがって、このフォワード動作19とフライホイール動作20を繰り返すことで、出力電圧10を供給する。

【0051】

すなわち、トランス4の2次側コイル電圧が高い場合において、所望するゲート電圧にレベルシフトすることにより、安全に同期整流(フォワード)MOSFET5及び同期整流(フライホイール)MOSFET7を動作させることができる。安全に同期整流(フォワード)MOSFET5及び同期整流(フライホイール)MOSFET7を動作することにより、同期整流(フォワード)MOSFET5及び同期整流(フライホイール)MOSFET7のゲート耐圧を超えることなく、2次側コイル電圧を駆動のトリガ電圧とすることができる。

【0052】

また、同期整流(フォワード)MOSFET5のターンオフ時には、ゲート抵抗17を介さずに、ダイオード11を介すことによりゲート電圧を下げるため、同期整流(フォワード)MOSFET5のOFFを速くすることができる。

同様に、同期整流(フライホイール)MOSFET7のターンオフ時には、ゲート抵抗18を介さずに、ダイオード12を介すことによりゲート電圧を下げるため、同期整流(フライホイール)MOSFET7のOFFを速くすることができる。

【0053】

次に、ゲート電圧を一定にするように、サージ電圧時及び矩形波の電圧時の際に降圧させる電圧を可変することにより、常に問題なくゲートを駆動することができる。このため、トリガ用別巻線を巻くスペースのない小型、低背トランスの場合においても、巻線電圧を利用して同期整流回路を駆動することができるようになる。

また、入力電圧範囲が広い場合においても2次側コイル電圧を駆動のトリガ電圧とすることができる。

【図面の簡単な説明】

【0054】

【図1】図1は本発明の同期整流駆動回路の一実施例を示す構成図である。

【図2】図2は本発明の同期整流駆動回路の一実施例を示す構成図である。

【図3】図3は本発明の同期整流駆動回路の図1のタイムチャートである。

【図4】図4は従来の同期整流回路の一例を示す構成図である。

【図5】図5は従来の同期整流回路の一例を示す構成図である。

【符号の説明】

【0055】

- 1 直流電圧
- 2 1次側コンデンサ
- 3 スwitchング素子

10

20

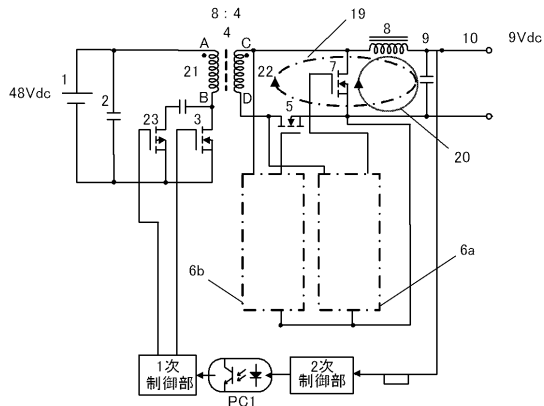
30

40

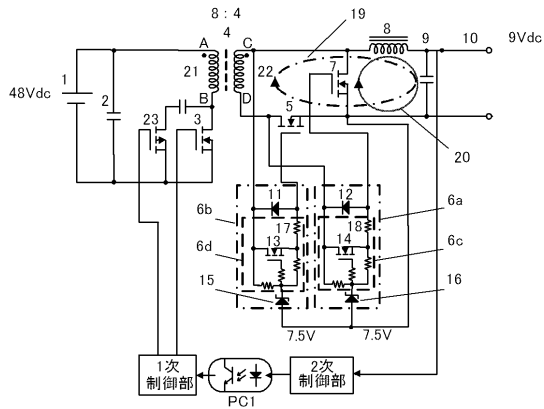
50

4	トランス	
5	同期整流（フォワード）M O S F E T	
6 a	第一のゲート電圧駆動回路	
6 b	第二のゲート電圧駆動回路	
6 c	第一のゲート電圧クランプ回路	
6 d	第二のゲート電圧クランプ回路	
7	同期整流（フライホイール）M O S F E T	
8	2次側インダクタ	
9	2次側コンデンサ	
10	出力電圧	10
11、12	ダイオード	
13、14	レギュレータ	
15、16	ツェナーダイオード	
17、18	ゲート抵抗	
19	フォワード動作	
20	フライホイール動作	
21	1次側メイン巻線	
22	2次側メイン巻線	
23	アクティブクランプM O S F E T	
24	ゲート信号発生回路	20
25	主スイッチ	
26	ゲート信号発生回路	
27	補助スイッチ	
28	コンデンサ	
29	トランス	
30	整流側F E T	
31	還流側F E T	
32	平滑用コイル	
33	平滑用コンデンサ	
34	負荷	30
35	直流バイアスカットコンデンサ	
36	ゲート電圧クランプ用F E T	
37	ゲート電圧クランプ用電源	
38	直流バイアスカットコンデンサ	
39	ゲート電圧クランプ用F E T	

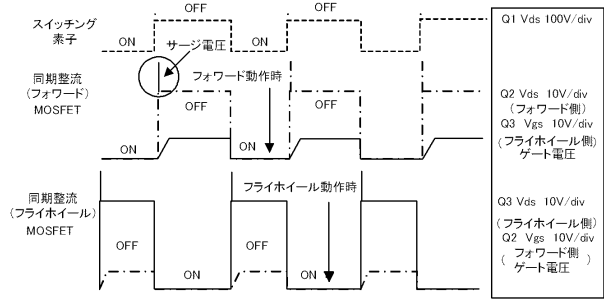
【図1】



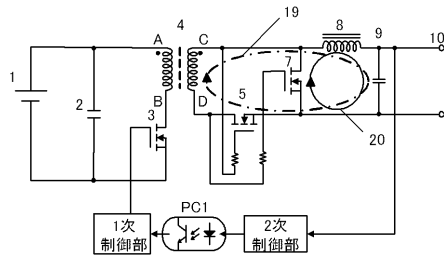
【図2】



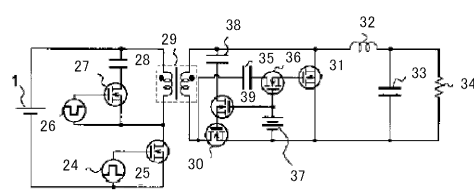
【図3】



【図4】



【図5】



フロントページの続き

(56)参考文献 特許第3022535(JP, B1)
特開平9-84337(JP, A)
特開2002-345239(JP, A)
特開2000-217353(JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00 - 3/44, 7/00 - 7/40