

100-3-30

年	月	日	修正	替換	頁
100	3	30			

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96127233

※ 申請日期：96.7.26.

※IPC 分類：H01L 27/10

一、發明名稱：(中文/英文)

固態電解質記憶元件及其製造方法 / SOLID STATE
ELECTROLYTES MEMORY DEVICE AND
METHOD OF FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院 / INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE

代表人：(中文/英文) 蔡清彥 / CHING-YEN TSAY

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號 / NO. 195, SECTION 4, CHUNG HSING
ROAD, CHUTUNG, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國 / TW

三、發明人：(共 1 人)

姓名：(中文/英文)

林哲歆 / LIN, CHA-HSIN

國籍：(中文/英文) 中華民國 / TW

年 月 日修正替換頁
100.3.30

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種固態電解質記憶元件的製造方法。此方法包括在基底上形成絕緣層。接著，在絕緣層上形成導電層。之後，在導電層中形成至少兩個開口，其部分重疊連通，以使導電層形成至少一對自動對準的尖端電極。其後，在開口中填入固態電解質。

六、英文發明摘要：

A method of fabricating a solid state electrolytes memory device is provided. An insulator layer is formed on a substrate. A conductive layer is formed on the insulator layer. At least two openings communicate with each other are formed in the conductive layer so that the conductive forms a pair of self-aligned tip electrodes. Thereafter, solid state electrolytes are filled in the openings.

七、指定代表圖：

(一)本案指定代表圖為：圖 2C。

(二)本代表圖之元件符號簡單說明：

104：導電層

110：開口

112a、112b：尖端電極

114：固態電解質

A、B、C、D：區域

年 月 日修正替換頁
100. 3. 30

I-I 剖面線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種記憶元件及其製造方法，且特別是有關於一種固態電解質記憶元件及其製造方法。

【先前技術】

非揮發性記憶體的需求自 1999 年起就有突破性的成長，這是因為近幾年陸續出現相當廣泛的應用，如隨身碟、數位相機儲存卡、手機記憶體等，因而創造出一個其他技術無法涵蓋的全新市場。

目前的非揮發性記憶產品為快閃記憶體，但是現有的快閃記憶體元件架構在 65nm 技術世代以後將逐漸面臨物理極限的挑戰。另外，快閃記憶體也面臨諸多特性上的限制，例如操作速度太慢與操作週期不長等，因此在應用上受到很大的限制。基於此，許多的技術因此被廣泛的研究和討論，然而這些技術也有一些隱憂，例如尺寸繼續微縮的潛力，切換所消耗的功率過大等等。因此，需要進一步開發更新、更有潛力的記憶體技術以滿足未來更廣大的記憶需求。

阻抗式隨機存取記憶體(Resistance Random Access Memory, RRAM)是目前廣為研究的一種記憶元件，其是使用過渡金屬氧化物來作為電阻轉換材料。然而，至今這些過渡金屬氧化物為何電阻會變化至今機制還不是很清楚，許多研究單位因此紛紛提出不同的解釋來說明過渡金屬氧化物內部發生的變化，例如絲狀電流路徑(filamentary

current path)理論、氧空缺重新排列理論等等，然而因為機制尚不明朗，因此，RRAM 元件有些特性如耐久性(endurance)問題無法很有效改善。例如，Spansion 公司所製作的 Cu_xO RRAM 只能操作 600 循環左右。

另一方面，也有些人研究固態電解質記憶體。固態電解質記憶體具有較好的耐久性表現。美國亞利桑那大學的固態實驗室的含 Ag 之 GeSe 材料研究已測試至 10^{10} 循環，因此，此項新的技術相當值得深入研究。

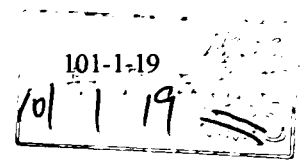
【發明內容】

本發明提供一種固態電解質記憶體，其可以有效控制固態電解質裡的金屬離子氧化還原反應在固態電解質產生導電路徑。

本發明提出一種固態電解質記憶元件的製造方法。此方法包括在基底上形成絕緣層。接著，在絕緣層上形成導電層。之後，在導電層中形成至少兩個開口，其部分重疊且連通，以使導電層形成至少一對自動對準的尖端電極。其後，在開口中填入固態電解質。

本發明提出一種固態電解質記憶元件，包括基底、絕緣層、導電層與固態電解質。絕緣層位於基底上。導電層位於絕緣層上，導電層中具有至少兩個開口，其部分重疊且連通，使導電層形成至少一對自動對準的尖端電極。固態電解質位於導電層的開口中。絕緣層、導電層以及固態電解質構成第一層記憶單元。

為讓本發明之上述和其他目的、特徵和優點能更明顯



易懂，下文特舉實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖 1A 至 1C 為依照本發明一實施例所繪示之一種固態電解質記憶元件之製造流程的剖面示意圖。圖 2A 至 2C 為圖 1A 至 1C 之一種固態電解質記憶元件之製造流程的上視圖。圖 3A 至 3C 為圖 1A 至 1C 之另一種固態電解質記憶元件之製造流程的上視圖。圖 4A 至 4C 為圖 1A 至 1C 之又一種固態電解質記憶元件之製造流程的上視圖。

請參照圖 1A 與 2A，在基底 100 上形成絕緣層 102。基底 100 例如是半導體基底如矽基底、半導體化合物基底如矽鍍基底或是絕緣層上有矽基底(SOI)。絕緣層 102 之材質例如是氧化矽、摻雜氟之玻璃(FSG)、硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、氮化矽或氮氧化矽。絕緣層 102 的形成方法例如是化學氣相沈積法(CVD)。接著，在絕緣層 102 上形成導電層 104。導電層 104 之材質包括金屬，例如是選自於銀、金、白金、銅、鎢、鎳、氮化鈦及其組合所組成之族群。導電層 104 的形成方法例如是濺鍍或是蒸鍍法。

其後，在導電層 104 上形成具有多個開口 106 圖案的光阻層 108。在開口 106 中，兩兩相鄰之開口 106 部分相重疊而連通，使光阻層 108 具有多對尖端。各開口 106 之形狀可以相同，例如是圓形、橢圓形或是多邊形。然而，各開口的形狀也可以不相同。

在一實施例中，請參照圖 2A，在單位面積內，具有四

101年(月)9日修(正)正

個圓形開口 106，其兩兩部分相重疊而連通，使留下之光阻層 108 具有四對尖端，如圖中 A、B、C、D 四處所示。

在另一實施例中，請參照圖 3A，在單位面積內，具有四個橢圓形開口 106，其兩兩部分相重疊而連通，使光阻層 108 具有四對尖端，如圖中 A、B、C、D 四處所示。

在又一實施例中，請參照圖 4A，在單位面積內，具有四個多邊形開口 106。多邊形開口 106 例如是五~十六邊形開口。在圖式中，僅以八邊形開口 106 來表示之，然其並非用以限定本發明。在開口 106 中，其兩兩部分相重疊而連通，使光阻層 108 具有四對尖端，如圖中 A、B、C、D 四處所示。

請參照圖 1B、2B、3B、4B，以光阻層 108 為罩幕，蝕刻開口 106 所裸露的導電層 104，使開口 106 的圖案轉移至導電層 104，而在導電層 104 中形成多個開口 110，裸露出絕緣層 102。同樣地，導電層 104 中的多個開口 110 亦是兩兩部分相重疊且連通。而且，在開口 110 相連通之處的導電層 104 會分別形成自動對準的兩個尖端電極 112a、112b。在一實施例中，在單位面積內的導電層 104 中，具有四個開口 110，其兩兩部分相重疊而連通，而在單位面積的中心之處形成具有四個尖端電極 112b 的共用電極 112，並且在開口 110 連通處形成與共用電極 112 的四個尖端電極 112b 自動對準的尖端電極 112a。之後，將光阻層 108 移除。

之後，請參照圖 1C、2C、3C 與 4C，在導電層 104

101年1月19日修(正)本

的開口 110 中填入固態電解質 (Solid state electrolytes) 114。固態電解質 114 例如是摻雜銀、銅、鉻或銱之硒化鍺(GeSe)、硫化鍺(GeS)、AgTeSe、AgTeS，或是 AgSeS。填入固態電解質 114 的方法例如是濺鍍、噴墨印刷法或是蒸鍍法。在一實施例中，在單位面積內的導電層 104 中，具有四個開口 110。導電層 104 中心處的共用電極 112 的四個尖端電極 112b、自動對準的尖端電極 112a 及其之間的固態電解質 114 構成具有四個儲存點的記憶元件。也就是在 A、B、C、D 處可分別儲存一位元。

請參照圖 5，完成上述形成絕緣層、形成圖案化導電層以及填入固態電解質之步驟可在基底 100 上形成第一層的記憶單元 500。在實際應用時，可以重複以上形成絕緣層、形成圖案化導電層以及填入固態電解質之步驟，在第一層的記憶單元 500 上形成第二層記憶單元 502 或更多層記憶單元 504。

通常，固態電解質需要很強的電場或電流來使電解質內部產生金屬團簇(metal cluster)排列。尖端電極可在固態電解質內很窄的局部區域形成很高電場，而使得電解質形成金屬團簇並使得金屬離子產生氧化還原反應，而在固態電解質產生導電路徑，進而使該記憶材料阻值產生一百萬倍的變化而達到資料儲存的目的是。因此，本發明之固態電解質記憶元件切換所消耗的功率較低。

此外，由於固態電解質兩側的電極除了都是尖端電極外，也相互“自動對準”，如此便可進一步控制金屬團簇形

101年1月19日

成的區域，故可以對元件的操作做更有效的控制。

本發明之固態電解質記憶元件可以在單一面積內儲存多位元，例如是4位元，因此可以滿足廣大的記憶需求。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至 1C 為依照本發明一實施例所繪示之一種固態電解質記憶元件之製造流程的剖面示意圖。

圖 2A 至 2C 為圖 1A 至 1C 之一種固態電解質記憶元件之製造流程的上視圖。

圖 3A 至 3C 為圖 1A 至 1C 之另一種固態電解質記憶元件之製造流程的上視圖。

圖 4A 至 4C 為圖 1A 至 1C 之又一種固態電解質記憶元件之製造流程的上視圖。

圖 5 是依照本發明實施例所繪示之一種多層記憶單元之固態電解質記憶元件的示意圖。

【主要元件符號說明】

- 100：基底
- 102：絕緣層
- 104：導電層
- 106、110：開口
- 108：光阻層

101-10.3 // //

112：共用電極

112a、112b：尖端電極

114：固態電解質

500、502、504：記憶單元

A、B、C、D：區域

I-I：剖面線

101年10月3日修(訂)正本

十、申請專利範圍：

1. 一種固態電解質記憶元件的製造方法，包括：
在一基底上形成一絕緣層；
在該絕緣層上形成一導電層；
在該導電層中形成至少兩個開口，其部分重疊且連通，以使該導電層形成至少一對尖端電極；以及
在該些開口中填入一固態電解質。
2. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中該些開口之形狀相同。
3. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中該些開口之形狀是選自於圓形、橢圓形、多邊形及其組合所組成之族群。
4. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中在該導電層中係形成四個開口，其兩兩部分重疊且連通，以使該導電層形成一具有四個尖端之共用電極以及四個自動對準該共用電極之四個尖端的四個尖端電極，構成具有四個儲存點的記憶元件。
5. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中該絕緣層之材質包括氧化矽、摻雜氟之玻璃、硼磷矽玻璃、磷矽玻璃、氮化矽或氮氧化矽。
6. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中該固態電解質包括摻雜銀、銅、鉻或銱之硒化鍺(GeSe)、硫化鍺(GeS)、AgTeSe、AgTeS，或是AgSeS。

7. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中該導電層之材質包括金屬。

8. 如申請專利範圍第 7 項所述之固態電解質記憶元件的製造方法，其中該金屬之材質選自於銀、金、白金、銅、鎢、鎳、氮化鈦及其組合所組成之族群。

9. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中在該導電層中形成至少兩個開口的方法包括：

在該導電層上形成一具有至少兩個部分重疊連通的開口圖案的光阻層；

以該光阻層為罩幕，蝕刻該導電層，以在該導電層中形成該至少兩個開口，其部分重疊且連通；以及

移除該光阻層。

10. 如申請專利範圍第 1 項所述之固態電解質記憶元件的製造方法，其中該至少一對尖端電極係為一對自動對準的尖端電極。

11. 一種固態電解質記憶元件，包括：

一絕緣層位於一基底上；

一導電層位於該絕緣層上，該導電層中具有至少兩個開口，其部分重疊且連通，使該導電層形成至少一對尖端電極；以及

一固態電解質位於該導電層的該些開口中，其中該絕緣層、該導電層以及該固態電解質構成一第一層記憶單元。

12. 如申請專利範圍第 11 項所述之固態電解質記憶元件，其中該些開口之形狀相同。

13. 如申請專利範圍第 11 項所述之固態電解質記憶元件，其中該些開口之形狀是選自於圓形、橢圓形、多邊形及其組合所組成之族群。

14. 如申請專利範圍第 11 項所述之固態電解質記憶元件，其中在該導電層中係具有四個開口，其兩兩部分重疊且連通，以使該導電層形成一具有四個尖端之共用電極以及四個自動對準該共用電極之四個尖端的四個尖端電極，構成具有四個儲存點的記憶元件。

15. 如申請專利範圍第 11 項所述之固態電解質記憶元件，其中該固態電解質包括摻雜銀、銅、鉻或銱之硒化鍺(GeSe)、硫化鍺(GeS)、AgTeSe、AgTeS，或是 AgSeS。

16. 如申請專利範圍第 11 項所述之固態電解質記憶元件，其中該導電層之材質包括金屬。

17. 如申請專利範圍第 16 項所述之固態電解質記憶元件，其中該金屬之材質選自於銀、金、白金、銅、鎢、鎳、氮化鈦及其組合所組成之族群。

18. 如申請專利範圍第 11 項所述之固態電解質記憶元件，更包括至少一第二層記憶單元位於該第一層記憶單元上。

19. 如申請專利範圍第 11 項所述之固態電解質記憶元件，其中該至少一對尖端電極係為一對自動對準的尖端電極。

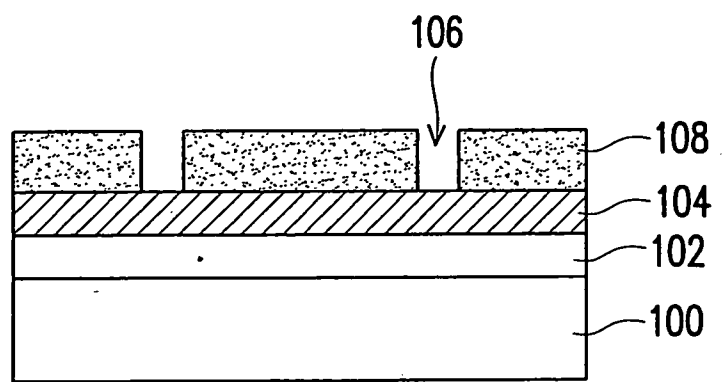


圖 1A

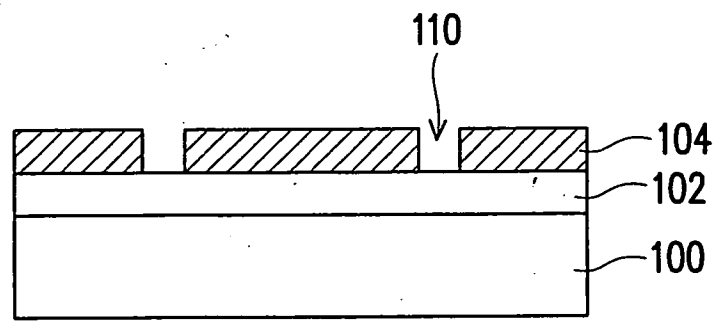


圖 1B

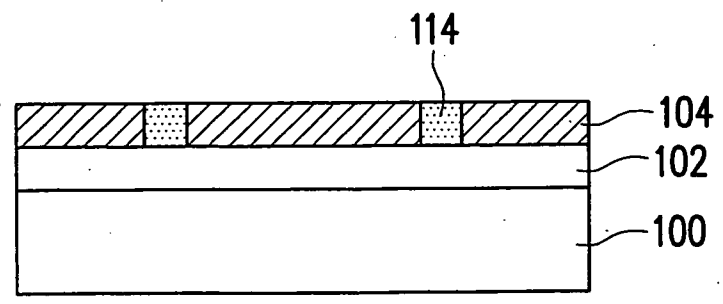


圖 1C

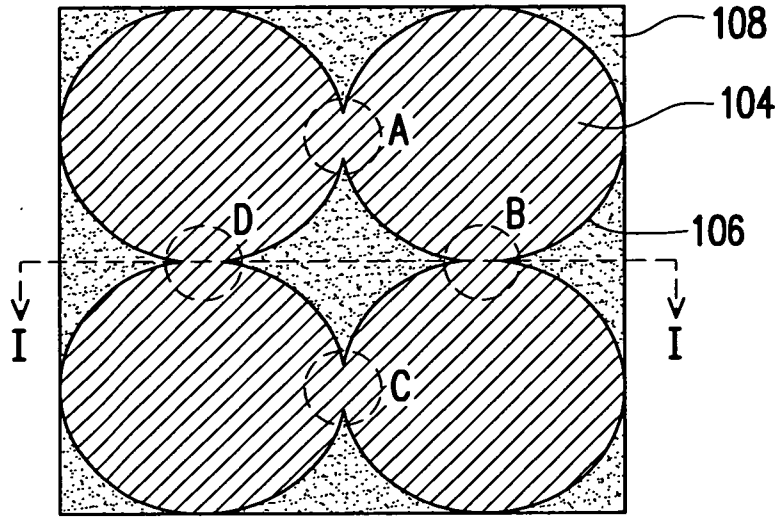


圖 2A

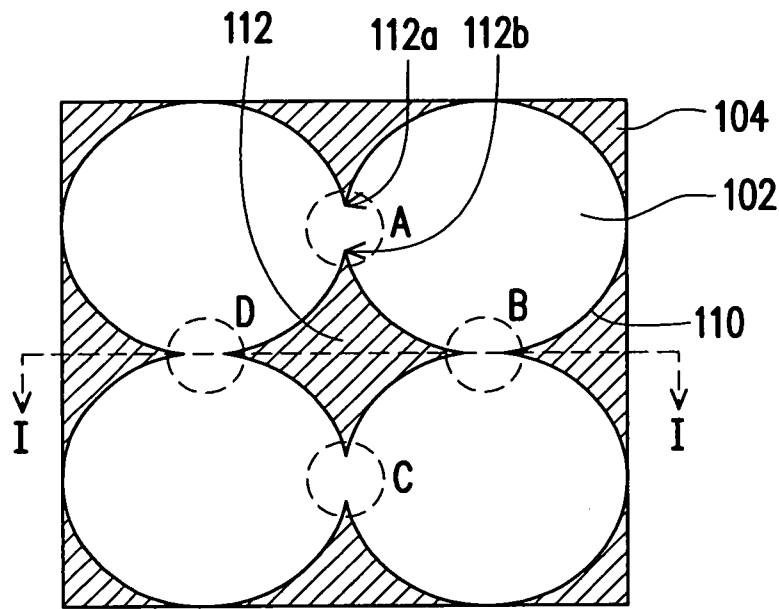


圖 2B

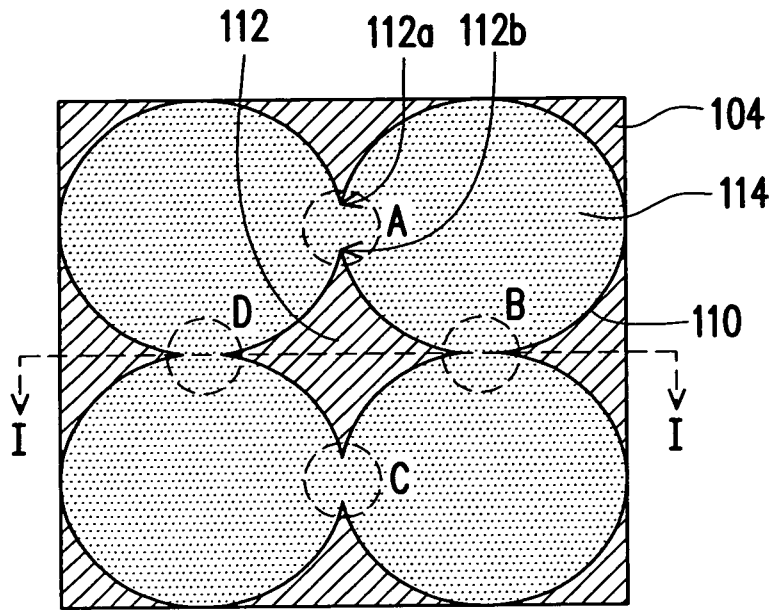


圖 2C

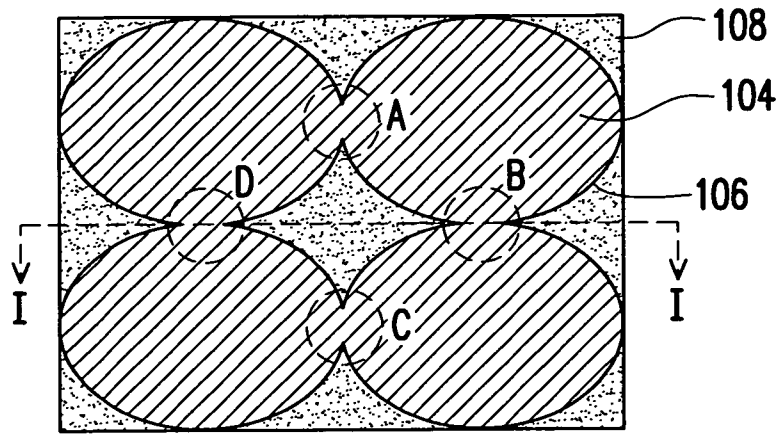


圖 3A

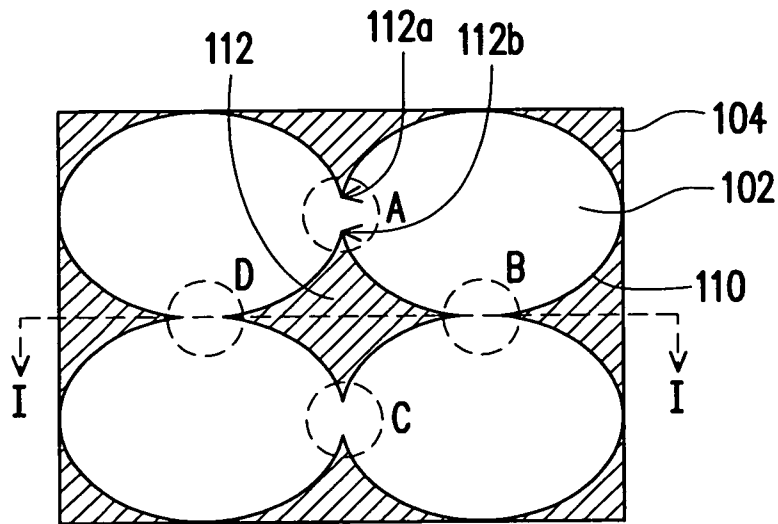


圖 3B

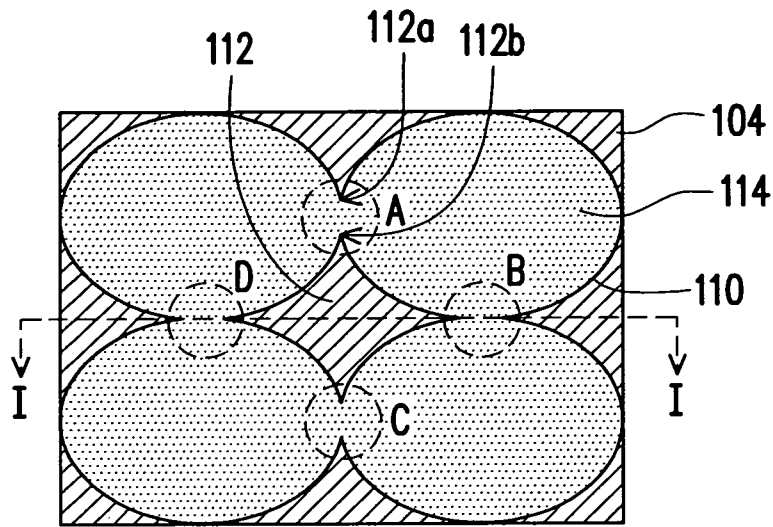


圖 3C

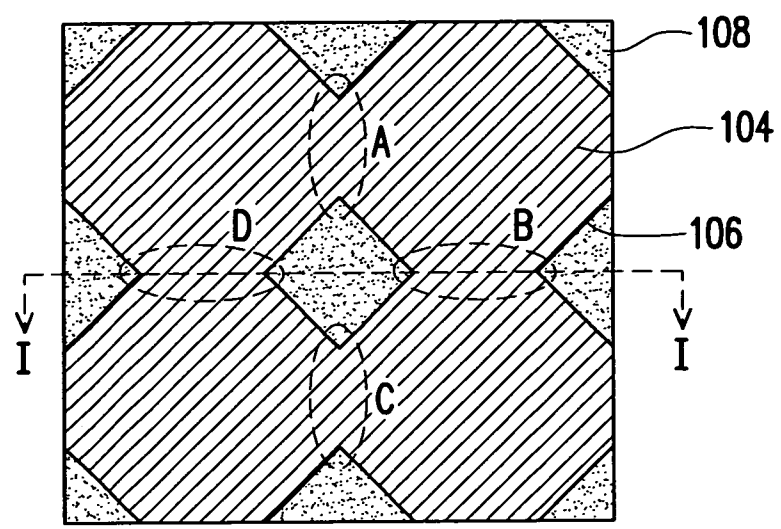


圖 4A

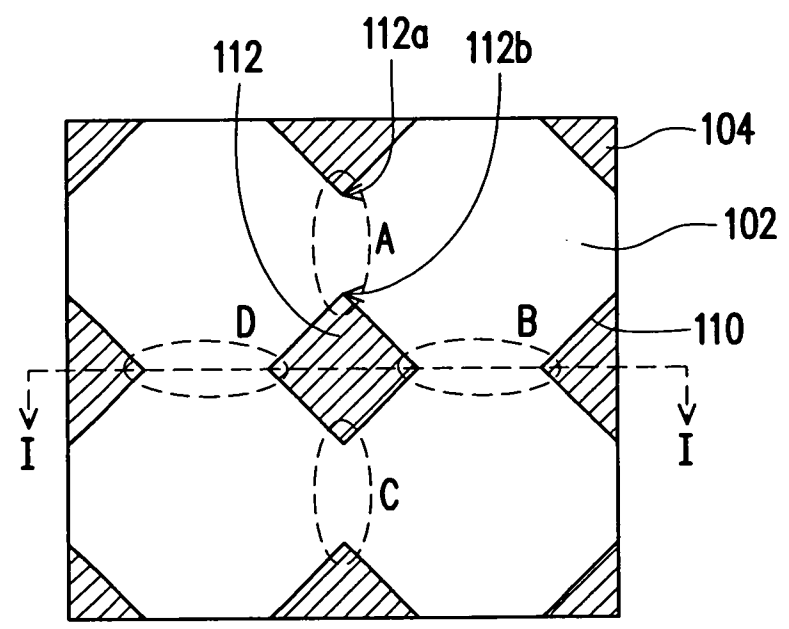


圖 4B

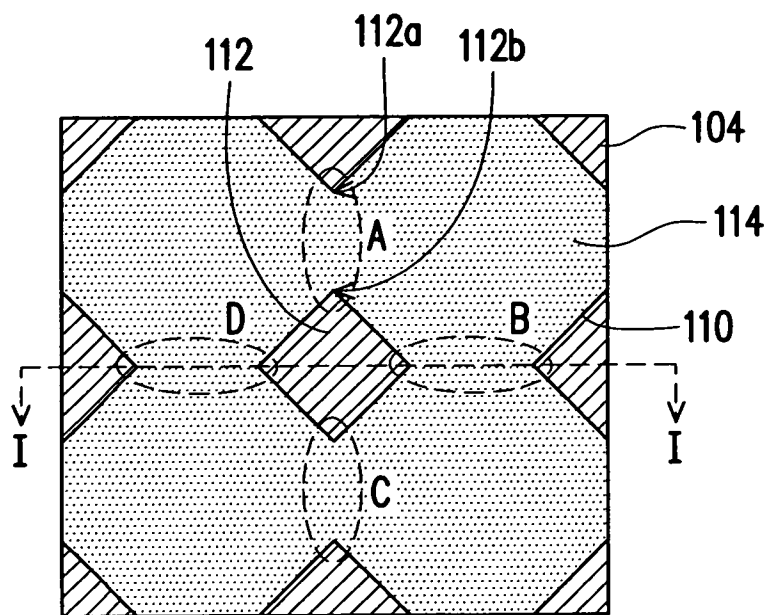


圖 4C

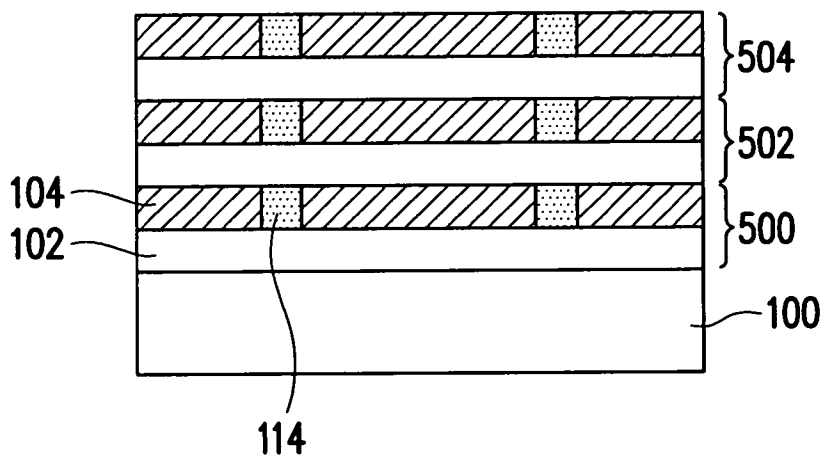


圖 5