



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월15일
(11) 등록번호 10-2532307
(24) 등록일자 2023년05월09일

(51) 국제특허분류(Int. Cl.)
H10K 59/00 (2023.01)
(52) CPC특허분류
H10K 59/1213 (2023.02)
H10K 59/1216 (2023.02)
(21) 출원번호 10-2017-0145375
(22) 출원일자 2017년11월02일
심사청구일자 2020년10월29일
(65) 공개번호 10-2019-0050329
(43) 공개일자 2019년05월13일
(56) 선행기술조사문헌
KR1020170006335 A*
KR1020140079093 A*
KR1020160128548 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이정훈
경기도 용인시 기흥구 삼성로 1 (농서동)
이승규
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 21 항

심사관 : 조성수

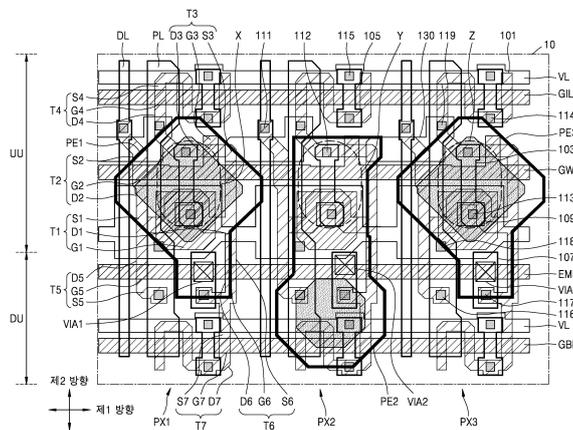
(54) 발명의 명칭 표시장치

(57) 요약

본 발명의 실시예들은 표시장치를 개시한다.

본 발명의 일 실시예에 따른 표시장치는 색 화소별 화소전극의 배치에 따라 박막트랜지스터를 커버하도록 화소전극을 설계한다.

대표도 - 도5



(52) CPC특허분류

H10K 59/123 (2023.02)

H10K 59/124 (2023.02)

H10K 59/35 (2023.02)

(72) 발명자

곽원규

경기도 용인시 기흥구 삼성로 1 (농서동)

이원세

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

기관 상의 제1 화소영역에 배치되고, 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체층 및 제1 게이트 전극을 포함하고, 상기 제1 화소영역에 배치된 제1 구동박막트랜지스터의 소스 영역 및 드레인 영역 중 하나와 상기 제1 구동박막트랜지스터의 게이트 전극에 연결된 제1 박막트랜지스터;

상기 기관 상의 상기 제1 화소영역에 인접한 제2 화소영역에 배치되고, 제2 소스 영역 및 제2 드레인 영역을 포함하는 제2 반도체층 및 제2 게이트 전극을 포함하고, 상기 제2 화소영역에 배치된 제2 구동박막트랜지스터의 소스 영역 및 드레인 영역 중 하나와 상기 제2 구동박막트랜지스터의 게이트 전극에 연결된 제2 박막트랜지스터;

상기 제1 화소영역에 배치되고, 제1 발광층이 배치된 제1 영역 및 상기 제1 영역으로부터 연장되고 제1 비아홀 상부에 배치된 제2 영역을 포함하는 제1 화소전극; 및

상기 제2 화소영역에 배치되고, 제2 발광층이 배치된 제3 영역 및 상기 제3 영역으로부터 연장되고 제2 비아홀 상부에 배치된 제4 영역을 포함하는 제2 화소전극;을 포함하고,

상기 제1 화소전극의 제1 영역이 상기 제1 박막트랜지스터의 제1 소스 영역 및 제1 드레인 영역 중 적어도 하나와 중첩하고,

상기 제2 화소전극의 제4 영역이 상기 제2 박막트랜지스터의 제2 소스 영역 및 제2 드레인 영역 중 적어도 하나와 중첩하는, 표시장치.

청구항 2

제1항에 있어서,

상기 제2 화소전극의 제4 영역의 사이즈가 상기 제1 화소전극의 제2 영역의 사이즈보다 큰, 표시장치.

청구항 3

제1항에 있어서,

상기 제2 화소전극의 제3 영역과 상기 제1 화소전극의 제1 영역은 대각선 방향으로 이격된, 표시장치.

청구항 4

제1항에 있어서,

상기 제1 화소전극의 제2 영역 및 상기 제2 화소전극의 제4 영역을 덮는 절연층;을 포함하는 표시장치.

청구항 5

제4항에 있어서,

상기 절연층은 상기 제1 화소전극의 제1 영역의 가장자리 및 상기 제2 화소전극의 제3 영역의 가장자리를 덮는, 표시장치.

청구항 6

제1항에 있어서,

상기 제1 화소영역에 배치되고, 상기 제1 박막트랜지스터와 연결된 제1 커패시터; 및

상기 제2 화소영역에 배치되고, 상기 제2 박막트랜지스터와 연결된 제2 커패시터;를 포함하는 표시장치.

청구항 7

제6항에 있어서,

상기 제1 화소전극의 제1 영역이 상기 제1 구동 박막트랜지스터 및 제1 커패시터와 적어도 일부 중첩하고,

상기 제2 화소전극의 제4 영역이 상기 제2 구동 박막트랜지스터 및 제2 커패시터와 적어도 일부 중첩하는, 표시장치.

청구항 8

제6항에 있어서,

상기 제1 커패시터는 상기 제1 구동 박막트랜지스터와 중첩하고,

상기 제2 커패시터는 상기 제2 구동 박막트랜지스터와 중첩하는, 표시장치.

청구항 9

제8항에 있어서,

상기 제1 커패시터는 제1 하부전극 및 제1 상부전극을 포함하고,

상기 제2 커패시터는 제2 하부전극 및 제2 상부전극을 포함하고,

상기 제1 하부전극이 상기 제1 구동 박막트랜지스터의 게이트 전극의 적어도 일부이고,

상기 제2 하부전극이 상기 제2 구동 박막트랜지스터의 게이트 전극의 적어도 일부인, 표시장치.

청구항 10

제9항에 있어서,

상기 제1 화소영역에 배치된 제1 데이터선;

상기 제1 데이터선 및 상기 제1 구동 박막트랜지스터와 연결된 제1 스위칭 박막트랜지스터; 및

상기 제1 스위칭 박막트랜지스터의 소스 영역 및 드레인 영역 중 적어도 하나와 중첩하는 차폐부재;를 더 포함하는 표시장치.

청구항 11

제10항에 있어서,

상기 차폐부재는 상기 제1 상부전극과 동일층에 배치된, 표시장치.

청구항 12

제10항에 있어서,

상기 차폐부재는 상기 제1 상부전극과 전기적으로 연결된 제1 전원선에 연결된, 표시장치.

청구항 13

제1항에 있어서,

상기 기판 상의 상기 제2 화소영역에 인접한 제3 화소영역에 배치되고, 제3 소스 영역 및 제3 드레인 영역을 포함하는 제3 반도체층 및 제3 게이트 전극을 포함하는 제3 박막트랜지스터; 및

상기 제3 화소영역에 배치되고, 제3 발광층이 배치된 제5 영역 및 상기 제5 영역으로부터 연장되고 제3 비아홀 상부에 배치된 제6 영역을 포함하는 제3 화소전극;을 더 포함하고,

상기 제3 화소전극의 제5 영역이 상기 제3 박막트랜지스터의 제3 소스 영역 및 제3 드레인 영역 중 적어도 하나와 중첩하는, 표시장치.

청구항 14

제13항에 있어서,

상기 제1 화소영역에, 제1 연결전극에 의해 상기 제1 박막트랜지스터와 연결된 상기 제1 구동 박막트랜지스터;
 상기 제2 화소영역에, 제2 연결전극에 의해 상기 제2 박막트랜지스터와 연결된 상기 제2 구동 박막트랜지스터;
 및
 상기 제3 화소영역에, 제3 연결전극에 의해 상기 제3 박막트랜지스터와 연결된 제3 구동 박막트랜지스터;를 포
 함하고,
 상기 제1 내지 제3 화소전극 각각은 상기 제1 내지 제3 연결전극 중 대응하는 연결전극과 중첩하는, 표시장치.

청구항 15

제14항에 있어서,
 상기 제1 내지 제3 연결전극은 상기 제1 내지 제3 화소전극의 상기 제1 영역, 제4 영역 및 제5 영역 중 대응하
 는 영역과 중첩하는, 표시장치.

청구항 16

삭제

청구항 17

제13항에 있어서,
 상기 제1 화소영역, 상기 제2 화소영역 및 상기 제3 화소영역은 각각 적색 화소영역, 청색 화소영역 및 녹색 화
 소영역에 대응하는, 표시장치.

청구항 18

기관 상의 제1 열에 배치되고, 제1 구동박막트랜지스터와 제1 박막트랜지스터를 포함하고, 상기 제1 박막트랜지
 스테가 상기 제1 구동박막트랜지스터의 소스 영역 및 드레인 영역 중 하나와 상기 제1 구동박막트랜지스터의 게
 이트 전극에 연결된, 제1 화소회로;

상기 기관 상의 상기 제1 열에 인접한 제2 열에 배치되고, 제2 구동박막트랜지스터와 제2 박막트랜지스터를 포
 함하고, 상기 제2 박막트랜지스터가 상기 제2 구동박막트랜지스터의 소스 영역 및 드레인 영역 중 하나와 상기
 제2 구동박막트랜지스터의 게이트 전극에 연결된, 제2 화소회로;

상기 제1 화소회로에 연결된 제1 화소전극;

상기 제2 화소회로에 연결된 제2 화소전극; 및

상기 제1 화소전극 및 상기 제2 화소전극 상부에 배치되고, 상기 제1 화소전극의 일부를 노출하는 제1 개구와
 상기 제2 화소전극의 일부를 노출하는 제2 개구를 구비하는 제1 절연층;을 포함하고,

상기 제1 화소전극이 상기 제1 개구에 대응하는 제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하
 고,

상기 제2 화소전극이 상기 제2 개구에 대응하는 제3 영역 및 상기 제3 영역으로부터 연장된 제4 영역을 포함하
 고,

상기 제1 화소전극의 제1 영역이 상기 제1 박막트랜지스터와 적어도 일부 중첩하고,

상기 제2 화소전극의 제4 영역이 상기 제2 박막트랜지스터와 적어도 일부 중첩하는, 표시장치.

청구항 19

제18항에 있어서,

상기 제1 화소전극의 제2 영역에 위치하는 제1 비아홀 및 상기 제2 화소전극의 제4 영역에 위치하는 제2 비아홀
 을 구비하고, 상기 제1 화소회로와 상기 제1 화소전극 사이 및 상기 제2 화소회로와 상기 제2 화소전극 사이에
 배치된 제2 절연층;을 포함하는, 표시장치.

청구항 20

삭제

청구항 21

제18항에 있어서,

상기 제1 화소전극의 제1 영역이 상기 제1 화소회로의 상기 제1 구동박막트랜지스터와 적어도 일부 중첩하고,

상기 제2 화소전극의 제4 영역이 상기 제2 화소회로의 상기 제2 구동박막트랜지스터와 적어도 일부 중첩하는, 표시장치.

청구항 22

제18항에 있어서,

상기 기관 상의 상기 제2 열에 인접한 제3 열에 배치되고, 제3 박막트랜지스터를 포함하는 제3 화소회로; 및

상기 제3 화소회로에 연결된 제3 화소전극;을 포함하고,

상기 제1 절연층이 상기 제3 화소전극의 일부를 노출하는 제3 개구를 구비하고,

상기 제3 화소전극이 상기 제3 개구에 대응하는 제5영역 및 상기 제5 영역으로부터 연장된 제6 영역을 포함하고,

상기 제3 화소전극의 제5 영역이 상기 제3 박막트랜지스터와 적어도 일부 중첩하는, 표시장치.

청구항 23

제22항에 있어서,

상기 제1 개구에 배치된 적색 발광층;

상기 제2 개구에 배치된 청색 발광층; 및

상기 제3 개구에 배치된 녹색 발광층;을 포함하는, 표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치는 표시소자 및 표시소자에 인가되는 전기적 신호를 제어하기 위한 전자소자들을 포함한다. 전자소자들은 박막트랜지스터(TFT; Thin Film Transistor), 커패시터 및 복수의 배선들을 포함한다.

[0003] 표시소자의 발광 여부 및 발광 정도를 정확하게 제어하기 위해, 하나의 표시소자에 전기적으로 연결되는 박막트랜지스터들의 개수가 증가하였으며, 이러한 박막트랜지스터들에 전기적 신호를 전달하는 배선들의 개수 역시 증가하였다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들은 표시 품질이 향상된 해상도가 높은 표시장치를 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시장치는, 기관 상의 제1 화소영역에 배치되고, 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체층 및 제1 게이트 전극을 포함하는 제1 박막트랜지스터; 상기 기관 상의 상기 제1 화

소영역에 인접한 제2 화소영역에 배치되고, 제2 소스 영역 및 제2 드레인 영역을 포함하는 제2 반도체층 및 제2 게이트 전극을 포함하는 제2 박막트랜지스터; 상기 제1 화소영역에 배치되고, 제1 발광층이 배치된 제1 영역 및 상기 제1 영역으로부터 연장되고 제1 비아홀 상부에 배치된 제2 영역을 포함하는 제1 화소전극; 및 상기 제2 화소영역에 배치되고, 제2 발광층이 배치된 제3 영역 및 상기 제3 영역으로부터 연장되고 제2 비아홀 상부에 배치된 제4 영역을 포함하는 제2 화소전극;을 포함한다.

- [0006] 상기 제1 화소전극의 제1 영역은 상기 제1 박막트랜지스터의 제1 소스 영역 및 제1 드레인 영역 중 적어도 하나와 중첩하고, 상기 제2 화소전극의 제4 영역은 상기 제2 박막트랜지스터의 제2 소스 영역 및 제2 드레인 영역 중 적어도 하나와 중첩한다.
- [0007] 상기 제2 화소전극의 제4 영역의 사이즈가 상기 제1 화소전극의 제2 영역의 사이즈보다 클 수 있다.
- [0008] 상기 제2 화소전극의 제3 영역과 상기 제1 화소전극의 제1 영역은 대각선 방향으로 이격될 수 있다.
- [0009] 상기 표시장치는, 상기 제1 화소전극의 제2 영역 및 상기 제2 화소전극의 제4 영역을 덮는 절연층;을 포함할 수 있다.
- [0010] 상기 절연층은 상기 제1 화소전극의 제1 영역의 가장자리 및 상기 제2 화소전극의 제3 영역의 가장자리를 덮을 수 있다.
- [0011] 상기 표시장치는, 상기 제1 화소영역에 배치되고, 상기 제1 박막트랜지스터와 연결된 제1 구동 박막트랜지스터 및 제1 커패시터; 및 상기 제2 화소영역에 배치되고, 상기 제2 박막트랜지스터와 연결된 제2 구동 박막트랜지스터 및 제2 커패시터;를 포함할 수 있다.
- [0012] 상기 제1 화소전극의 제1 영역은 상기 제1 구동 박막트랜지스터 및 제1 커패시터와 적어도 일부 중첩하고, 상기 제2 화소전극의 제4 영역이 상기 제2 구동 박막트랜지스터 및 제2 커패시터와 적어도 일부 중첩할 수 있다.
- [0013] 상기 제1 커패시터는 상기 제1 구동 박막트랜지스터와 중첩하고, 상기 제2 커패시터는 상기 제2 구동 박막트랜지스터와 중첩할 수 있다.
- [0014] 상기 제1 커패시터는 제1 하부전극 및 제1 상부전극을 포함하고, 상기 제2 커패시터는 제2 하부전극 및 제2 상부전극을 포함하고, 상기 제1 하부전극이 상기 제1 구동 박막트랜지스터의 게이트 전극의 적어도 일부이고, 상기 제2 하부전극이 상기 제2 구동 박막트랜지스터의 게이트 전극의 적어도 일부일 수 있다.
- [0015] 상기 표시장치는, 상기 제1 화소영역에 배치된 제1 데이터선; 상기 제1 데이터선 및 상기 제1 구동 박막트랜지스터와 연결된 제1 스위칭 박막트랜지스터; 및 상기 스위칭 박막트랜지스터의 소스 영역 및 드레인 영역 중 적어도 하나와 중첩하는 차폐부재;를 포함할 수 있다.
- [0016] 상기 차폐부재는 상기 제1 상부전극과 동일층에 배치될 수 있다.
- [0017] 상기 차폐부재는 상기 제1 상부전극과 전기적으로 연결된 제1 전원선에 연결될 수 있다.
- [0018] 상기 표시장치는, 상기 기판 상의 상기 제2 화소영역에 인접한 제3 화소영역에 배치되고, 제3 소스 영역 및 제3 드레인 영역을 포함하는 제3 반도체층 및 제3 게이트 전극을 포함하는 제3 박막트랜지스터; 및 상기 제3 화소영역에 배치되고, 제3 발광층이 배치된 제5 영역 및 상기 제5 영역으로부터 연장되고 제3 비아홀 상부에 배치된 제6 영역을 포함하는 제3 화소전극;을 더 포함하고, 상기 제3 화소전극의 제5 영역이 상기 제3 박막트랜지스터의 제3 소스 영역 및 제3 드레인 영역 중 적어도 하나와 중첩할 수 있다.
- [0019] 상기 표시장치는, 상기 제1 화소영역에, 제1 연결전극에 의해 상기 제1 박막트랜지스터와 연결된 제1 구동 박막트랜지스터; 상기 제2 화소영역에, 제2 연결전극에 의해 상기 제2 박막트랜지스터와 연결된 제2 구동 박막트랜지스터; 및 상기 제3 화소영역에, 제3 연결전극에 의해 상기 제3 박막트랜지스터와 연결된 제3 구동 박막트랜지스터;를 포함하고, 상기 제1 내지 제3 화소전극 각각은 상기 제1 내지 제3 연결전극과 중첩할 수 있다.
- [0020] 상기 제1 내지 제3 연결전극 중 적어도 하나는 상기 제1 내지 제3 화소전극의 상기 제1 영역, 제3 영역 및 제5 영역 중 대응하는 영역과 중첩할 수 있다.
- [0021] 상기 제1 내지 제3 연결전극 중 적어도 하나는 상기 제1 내지 제3 화소전극의 상기 제2 영역, 제4 영역 및 제6 영역 중 대응하는 영역과 중첩할 수 있다.
- [0022] 상기 제1 화소영역, 상기 제2 화소영역 및 상기 제3 화소영역은 각각 적색 화소영역, 청색 화소영역 및 녹색 화

소영역에 대응할 수 있다.

- [0023] 본 발명의 일 실시예에 따른 표시장치는, 기관 상의 제1 열에 배치되고, 제1 박막트랜지스터를 포함하는 제1 화소회로; 상기 기관 상의 상기 제1 열에 인접한 제2 열에 배치되고, 제2 박막트랜지스터를 포함하는 제2 화소회로; 상기 제1 화소회로에 연결된 제1 화소전극; 상기 제2 화소회로에 연결된 제2 화소전극; 및 상기 제1 화소전극 및 상기 제2 화소전극 상부에 배치되고, 상기 제1 화소전극의 일부를 노출하는 제1 개구와 상기 제2 화소전극의 일부를 노출하는 제2 개구를 구비하는 제1 절연층;을 포함한다.
- [0024] 상기 제1 화소전극이 상기 제1 개구에 대응하는 제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하고, 상기 제2 화소전극이 상기 제2 개구에 대응하는 제3 영역 및 상기 제3 영역으로부터 연장된 제4 영역을 포함하고, 상기 제1 화소전극의 제1 영역이 상기 제1 박막트랜지스터와 적어도 일부 중첩하고, 상기 제2 화소전극의 제4 영역이 상기 제2 박막트랜지스터와 적어도 일부 중첩한다.
- [0025] 상기 표시장치는, 상기 제1 화소전극의 제2 영역에 위치하는 제1 비아홀 및 상기 제2 화소전극의 제4 영역에 위치하는 제2 비아홀을 구비하고, 상기 제1 화소회로와 상기 제1 화소전극 사이 및 상기 제2 화소회로와 상기 제2 화소전극 사이에 배치된 제2 절연층;을 포함할 수 있다.
- [0026] 상기 제1 화소회로와 상기 제2 화소회로는 각각 구동 박막트랜지스터를 포함하고, 상기 제1 박막트랜지스터는 상기 제1 화소회로의 구동 박막트랜지스터의 게이트 전극, 및 소스 영역과 드레인 영역 중 하나와 연결되고, 상기 제2 박막트랜지스터는 상기 제2 화소회로의 구동 박막트랜지스터의 게이트 전극, 및 소스 영역과 드레인 영역 중 하나와 연결될 수 있다.
- [0027] 상기 제1 화소전극의 제1 영역은 상기 제1 화소회로의 구동 박막트랜지스터와 적어도 일부 중첩하고, 상기 제2 화소전극의 제4 영역은 상기 제2 화소회로의 구동 박막트랜지스터와 적어도 일부 중첩할 수 있다.
- [0028] 상기 표시장치는, 상기 기관 상의 상기 제2 열에 인접한 제3 열에 배치되고, 제3 박막트랜지스터를 포함하는 제3 화소회로; 및 상기 제3 화소회로에 연결된 제3 화소전극;을 포함하고, 상기 제1 절연층이 상기 제3 화소전극의 일부를 노출하는 제3 개구를 구비하고, 상기 제3 화소전극이 상기 제3 개구에 대응하는 제5 영역 및 상기 제5 영역으로부터 연장된 제6 영역을 포함하고, 상기 제3 화소전극의 제5 영역이 상기 제3 박막트랜지스터와 적어도 일부 중첩할 수 있다.
- [0029] 상기 표시장치는, 상기 제1 개구에 배치된 적색 발광층; 상기 제2 개구에 배치된 청색 발광층; 및 상기 제3 개구에 배치된 녹색 발광층;을 포함할 수 있다.

발명의 효과

- [0030] 본 발명의 실시예들에 따른 표시장치는 최적의 화소 배열 및 화소 내 박막트랜지스터의 외부 영향을 최소화하여 고품질의 영상을 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 표시장치의 화소 배열을 도시한 부분 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 도 1의 표시장치의 하나의 화소의 등가 회로도이다.
- 도 4 및 도 5는 본 발명의 일 실시예에 따른 도 3의 화소를 나타낸 평면도이다.
- 도 6은 본 발명의 일 실시예에 따른 화소전극의 배열을 나타내는 도면이다.
- 도 7은 도 6의 I-I'를 따라 절단한 단면도이다.
- 도 8은 도 6의 II-II'를 따라 절단한 단면도이다.
- 도 9는 도 6의 III-III'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과

함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

- [0033] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0034] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0035] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0036] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0037] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0038] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0039] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0040] 도 1은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 도면이다. 도 2는 본 발명의 일 실시예에 따른 표시장치의 화소 배열을 도시한 부분 평면도이다.
- [0041] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시장치(1)는 기관(10)을 구비한다. 기관(10)은 표시영역(DA)과 표시영역(DA) 외측의 주변영역(PA)을 포함한다.
- [0042] 기관(10)의 표시영역(DA)에는 복수의 화소(PX)들이 배치될 수 있다. 기관(10)의 주변영역(PA)에는 표시영역(DA)에 인가할 전기적 신호를 전달하는 다양한 배선들이 위치할 수 있다.
- [0043] 도 2를 참조하면, 표시영역(DA)에는 복수의 화소들이 배치될 수 있다. 예를 들어, 표시장치(1)는 복수의 제1 화소(PX1)들, 복수의 제2 화소(PX2)들 및 복수의 제3 화소(PX3)들을 포함할 수 있다. 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3)는 열 및 행 방향으로 소정 패턴에 따라 반복 배치될 수 있다.
- [0044] 제2 화소(PX2)는 이웃한 제1 화소(PX1) 및 제3 화소(PX3) 대비 작은 면적을 가질 수 있다. 제2 화소(PX2)는 청색의 빛을 발광하는 청색 화소(B)일 수 있다. 제2 화소(PX2)는 상호 이격되어 가상의 제1 직선(IL1) 상에 배열되어 있다. 제2 화소(PX2)는 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있으며, 다각형은 꼭지점이 라운드진 형태도 포함할 수 있다.
- [0045] 제2 화소(PX2)를 중심으로 하는 가상의 사각형(IS)의 마주보는 한 쌍의 제1 꼭지점(P1)에 제3 화소(PX3)가 위치하고, 가상의 사각형(IS)의 마주보는 한 쌍의 제2 꼭지점(P2)에 제1 화소(PX1)가 위치한다. 상기 사각형(IS)은 정사각형일 수 있다.
- [0046] 제1 화소(PX1)는 제2 화소(PX2) 및 제3 화소(PX3)와 이격되어 있으며, 가상의 정사각형(IS)의 제1 꼭지점(P1)과 이웃하는 제2 꼭지점(P2)에 위치한다. 제1 화소(PX1)는 이웃하는 제2 화소(PX2) 대비 더 큰 면적을 가질 수 있다. 제1 화소(PX1)는 적색의 빛을 발광하는 적색 화소(R)일 수 있다. 제1 화소(PX1)는 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있으며, 다각형은 꼭지점이 라운드진 형태도 포함할 수 있다.
- [0047] 제3 화소(PX3)는 제1 화소(PX1) 및 제2 화소(PX2)와 이격되어 있으며, 가상의 정사각형(IS)의 제1 꼭지점(P1)에 위치한다. 제3 화소(PX3)는 이웃하는 제2 화소(PX2) 대비 더 큰 면적을 가질 수 있다. 또한, 제3 화소(PX3)는 제1 화소(PX1)와 상이한 면적, 예를 들어, 제3 화소(PX3)는 제1 화소(PX1) 대비 더 큰 면적을 가질 수도 있다. 다른 실시예에서, 제3 화소(PX3)는 제1 화소(PX1)와 동일한 면적을 가질 수 있다. 제3 화소(PX3)는 녹색의 빛을 발광하는 녹색 화소(G)일 수 있다. 제3 화소(PX3)는 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있으며, 다각형은 꼭지점이 라운드진 형태도 포함할 수 있다.
- [0048] 복수의 제1 화소(PX1)들 및 복수의 제3 화소(PX3)들 각각은 가상의 제2 직선(IL2) 상에서 상호 교호적으로 배열

되며, 이로 인해 제1 꼭지점(P1)에 위치하는 복수의 제3 화소(PX3)들 및 제2 꼭지점(P2)에 위치하는 복수의 제1 화소(PX1)들 각각은 제2 화소(PX2)를 둘러싸고 있다.

- [0049] 복수의 화소들은 제1 방향으로 행마다 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3), 제2 화소(PX2)의 순으로 반복 배열된다.
- [0050] 유기발광소자(organic light-emitting device, OLED)에서 청색 화소(B)의 효율이 상대적으로 낮다. 따라서, 본 발명의 실시예에서는 하나의 적색 화소(R)와 녹색 화소(G)에 대해 두 개의 청색 화소(B)를 배치함으로써 표시장치의 효율을 향상시킬 수 있다.
- [0051] 도 3은 본 발명의 일 실시예에 따른 도 1의 표시장치의 하나의 화소의 등가 회로도이다.
- [0052] 화소(PX)는 빛을 발광하는 발광소자 및 복수의 배선들로부터 신호를 전달받아 발광소자를 구동하는 화소회로를 포함한다. 이하에서는 유기발광소자(OLED)를 발광소자로 갖는 화소(PX)를 예로서 설명한다. 도 3에 도시된 화소(PX)는 제1 화소(PX1) 내지 제3 화소(PX3) 각각에 동일하게 적용될 수 있다.
- [0053] 상기 배선들은 제1 주사신호(GI)를 전달하는 제1 주사선(GIL), 제2 주사신호(GW)를 전달하는 제2 주사선(GWL), 제3 주사신호(GB)를 전달하는 제3 주사선(GBL), 데이터 신호(DATA)를 전달하는 데이터선(DL), 및 제1 전원전압(ELVDD)을 전달하는 전원선(PL)을 포함할 수 있다. 한편, 본 발명은 이에 한정되지 않고, 도 3에 도시된 바와 같이 초기화 전압(Vint)을 전달하는 초기화선(VL), 및 발광 제어 신호(EM)를 전달하는 발광 제어선(EML)을 더 포함할 수 있다.
- [0054] 화소(PX)의 화소회로는 다수의 트랜지스터들(T1 내지 T7) 및 커패시터(Cst)를 포함할 수 있다.
- [0055] 제1 트랜지스터(T1)는 커패시터(Cst)의 제1 전극(Cst1)에 연결된 게이트 전극(G1), 제5 트랜지스터(T5)를 경유하여 전원선(PL)과 연결된 제1 전극(S1), 제6 트랜지스터(T6)를 경유하여 유기발광소자(OLED)의 화소전극과 전기적으로 연결된 제2 전극(D1)을 포함한다. 제1 트랜지스터(T1)는 구동 트랜지스터로서 역할을 하며, 제2 트랜지스터(T2)의 스위칭 동작에 따라 데이터신호(DATA)를 전달받아 유기발광소자(OLED)에 전류를 공급한다.
- [0056] 제2 트랜지스터(T2)는 제2 주사선(GWL)에 연결된 게이트 전극(G2), 데이터선(DL)에 연결된 제1 전극(S2), 제1 트랜지스터(T1)의 제1 전극(S1)에 연결된 제2 전극(D2)을 포함한다. 제2 트랜지스터(T2)는 제2 주사선(GWL)을 통해 전달받은 제2 주사신호(GW)에 따라 턴온되어 데이터선(DL)으로 전달된 데이터신호(DATA)를 제1 트랜지스터(T1)의 제1 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0057] 제3 트랜지스터(T3)는 제2 주사선(GWL)에 연결된 게이트 전극(G3), 제1 트랜지스터(T1)의 제2 전극(D1)에 연결된 제1 전극(S3), 커패시터(Cst)의 제1 전극(Cst1), 제4 트랜지스터(T4)의 제2 전극(D4) 및 제1 트랜지스터(T1)의 게이트 전극(G1)에 연결된 제2 전극(D3)을 포함한다. 제3 트랜지스터(T3)는 제2 주사선(GWL)을 통해 전달받은 제2 주사신호(GW)에 따라 턴온되어 제1 트랜지스터(T1)를 다이오드 연결시킨다.
- [0058] 제4 트랜지스터(T4)는 제1 주사선(GIL)에 연결된 게이트 전극(G4), 초기화선(VL)에 연결된 제1 전극(S4), 커패시터(Cst)의 제1 전극(Cst1), 제3 트랜지스터(T3)의 제2 전극(D3) 및 제1 트랜지스터(T1)의 게이트 전극(G1)에 연결된 제2 전극(D4)을 포함한다. 제4 트랜지스터(T4)는 제1 주사선(GIL)을 통해 전달받은 제1 주사신호(GI)에 따라 턴온되어 초기화 전압(Vint)을 제1 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 제1 트랜지스터(T1)의 게이트 전압을 초기화시키는 초기화 동작을 수행한다.
- [0059] 제5 트랜지스터(T5)는 발광 제어선(EML)에 연결된 게이트 전극(G5), 전원선(PL)에 연결된 제1 전극(S5), 제1 트랜지스터(T1)의 제1 전극(S1) 및 제2 트랜지스터(T2)의 제2 전극(D2)과 연결된 제2 전극(D5)을 포함한다.
- [0060] 제6 트랜지스터(T6)는 발광 제어선(EML)에 연결된 게이트 전극(G6), 제1 트랜지스터(T1)의 제2 전극(D1) 및 제3 트랜지스터(T3)의 제1 전극(S3)에 연결된 제1 전극(S6), 유기발광소자(OLED)의 화소전극에 연결된 제2 전극(D6)을 포함한다.
- [0061] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 발광 제어선(EML)을 통해 전달받은 발광 제어신호(EM)에 따라 동시에 턴온되어 유기발광소자(OLED)에 전류가 흐르게 된다.
- [0062] 제7 트랜지스터(T7)는 제3 주사선(GBL)과 연결된 게이트 전극(G7), 제6 트랜지스터(T6)의 제2 전극(D6) 및 유기발광소자(OLED)의 화소전극에 연결된 제1 전극(S7), 초기화선(VL)에 연결된 제2 전극(D7)을 포함한다. 제7 트랜지스터(T7)는 제3 주사선(GBL)을 통해 전달받은 제3 주사신호(GB)에 따라 턴온되어 초기화 전압(Vint)을 유기발광소자(OLED)의 화소전극에 전달하여 유기발광소자(OLED)의 화소전극의 전압을 초기화시키는 초기화 동작을 수

행한다.

- [0063] 제7 트랜지스터(T7)의 게이트 전극(G7)에 연결된 제3 주사선(GBL)은 다음 행 또는 이전 행의 제1 주사선(GIL) 또는 제2 주사선(GWL)일 수 있고, 제3 주사선호(GB)는 다음 행 또는 이전 행의 제1 주사선호(GI) 또는 제2 주사선호(GW)일 수 있다. 제7 트랜지스터(T7)는 생략될 수 있다.
- [0064] 커패시터(Cst)는 제1 트랜지스터(T1)의 게이트 전극(G1)에 연결된 제1 전극(Cst1) 및 전원선(PL)에 연결된 제2 전극(Cst2)을 포함한다. 커패시터(Cst)의 제1 전극(Cst1)은 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과도 연결된다.
- [0065] 유기발광소자(OLED)는 화소전극 및 화소전극에 대항하는 공통전극을 포함하고, 공통전극은 제2 전원전압(ELVS)을 인가받을 수 있다.
- [0066] 유기발광소자(OLED)의 화소전극과 공통전극 사이에는 중간층을 포함한다. 중간층은 광을 방출하는 유기 발광층을 구비하며, 그 외에 정공 주입층(HIL: hole injection layer), 정공 수송층(HTL: hole transport layer), 전자 수송층(ETL: electron transport layer) 및 전자 주입층(EIL: electron injection layer) 등 다수의 기능층들 중 적어도 하나가 더 배치될 수 있다. 그러나, 본 실시예는 이에 한정되지 아니하고, 화소전극과 발광층 사이 및/또는 발광층과 공통전극의 사이에 다양한 기능층이 더 배치될 수 있다.
- [0067] 유기 발광층은 적색광, 녹색광 또는 청색광을 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 유기 발광층은 백색광을 방출할 수도 있다. 이 경우, 유기 발광층은 적색광을 방출하는 발광 물질, 녹색광을 방출하는 발광 물질 및 청색광을 방출하는 발광 물질이 적층된 구조를 포함하거나, 적색광을 방출하는 발광 물질, 녹색광을 방출하는 발광 물질 및 청색광을 방출하는 발광 물질이 혼합된 구조를 포함할 수 있다.
- [0068] 유기발광소자(OLED)는 제1 트랜지스터(T1)로부터 구동전류(I_{OLED})를 전달받아 소정의 색으로 발광함으로써 화상을 표시할 수 있다.
- [0069] 도 4 및 도 5는 본 발명의 일 실시예에 따른 도 3의 화소를 나타낸 평면도이다. 도 6은 본 발명의 일 실시예에 따른 화소전극의 배열을 나타내는 도면이다. 도 7은 도 6의 I-I'를 따라 절단한 단면도이고, 도 8은 도 6의 II-II'를 따라 절단한 단면도이고, 도 9는 도 6의 III-III'를 따라 절단한 단면도이다.
- [0070] 도 4는 도 3의 화소회로를 나타낸 평면도이다. 도 4 및 도 7 내지 도 9를 함께 참조하면, 본 발명의 실시예에 따른 화소 배열은, 기관(10)의 제1 방향을 따라 제1 열의 제1 화소영역, 제2 열의 제2 화소영역, 제3 열의 제3 화소영역, 제4 열의 제4 화소영역이 반복하고, 제1 내지 제4 화소영역에 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3), 제4 화소(PX4)가 반복 배열된다. 제1 화소영역은 적색 화소(R)가 배치된 적색 화소영역이고, 제2 화소영역 및 제4 화소영역은 청색 화소(B)가 배치된 청색 화소영역이고, 제3 화소영역은 녹색 화소(G)가 배치된 녹색 화소영역일 수 있다.
- [0071] 도 4는 기관(10)의 제1 화소영역에 제1 화소(PX1)가 배치되고, 제1 화소영역에 인접한 제2 화소영역에 제2 화소(PX2)가 배치되고, 제2 화소영역에 인접한 제3 화소영역에 제3 화소(PX3)가 배치된 예를 도시하고 있다. 도시되지 않았으나, 제3 화소영역에 인접한 제4 화소영역에 제4 화소(PX4)가 배치될 수 있다.
- [0072] 제1 화소(PX1)는 제1 발광소자 및 제1 발광소자와 연결된 제1 화소회로를 포함한다. 제2 화소(PX2)는 제2 발광소자 및 제2 발광소자와 연결된 제2 화소회로를 포함한다. 제3 화소(PX3)는 제3 발광소자 및 제3 발광소자와 연결된 제3 화소회로를 포함한다.
- [0073] 제1 화소(PX1) 내지 제3 화소(PX3)는 각각 제1 방향으로 연장되는 복수의 배선들 및 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 배선들이 교차하는 지점에 배치된다. 제1 주사선(GIL), 제2 주사선(GWL), 제3 주사선(GBL), 초기화선(VL) 및 발광 제어선(EML)은 제1 방향으로 연장된다. 데이터선(DL) 및 전원선(PL)은 제2 방향으로 연장된다.
- [0074] 제1 화소회로 내지 제3 화소회로 각각의 제1 내지 제7 트랜지스터(T1 내지 T7)는 각각 소스 영역, 드레인 영역, 소스 영역과 드레인 영역 사이의 채널 영역을 포함하는 반도체층 및 채널 영역에 대응하는 위치에 반도체층과 절연 배치된 게이트 전극을 포함하는 박막 트랜지스터로 구현될 수 있다. 제1 화소회로 내지 제3 화소회로는 동일하므로, 이하에서는 화소(PX) 및 화소회로로 통일하여 설명한다.
- [0075] 기관(10) 상에 버퍼층(11)이 배치되고, 버퍼층(11) 상부에 제1 내지 제7 트랜지스터(T1 내지 T7)의 반도체층(101)이 배치된다. 버퍼층(11)은 생략될 수 있다.

- [0076] 반도체층(101)은, 예를 들어, 폴리 실리콘으로 이루어질 수 있다. 제1 내지 제7 트랜지스터(T1 내지 T7)는 반도체층(101)을 따라 형성될 수 있다. 제1 내지 제7 트랜지스터(T1 내지 T7) 각각의 반도체층은 동일층에 배치되며, 서로 연결되며 다양한 형상으로 굴곡질 수 있다. 제1 내지 제7 트랜지스터(T1 내지 T7) 각각의 반도체층은 불순물이 도핑되지 않은 채널 영역과, 불순물이 도핑된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이하에서 제1 내지 제7 트랜지스터(T1 내지 T7)의 반도체층을 101_1 내지 101_7로 기재하며, 도 4 및 도 5에서는 표시를 생략한다. 도 2에 도시된 트랜지스터의 제1 전극 및 제2 전극은 도 3에 도시된 소스 영역 및 드레인 영역에 각각 대응한다. 이하에서는 트랜지스터의 제1 전극 및 제2 전극은 소스 영역 및 드레인 영역과 각각 혼용되어 사용될 수 있다.
- [0077] 반도체층(101) 상부에 제1 절연층(12)이 배치되고, 제1 절연층(12) 상부에 제1 내지 제7 트랜지스터(T1 내지 T7)의 게이트 전극(G1 내지 G7)이 배치된다. 제1 내지 제7 트랜지스터(T1 내지 T7)의 게이트 전극(G1 내지 G7)과 동일층에 제1 주사선(GIL), 제2 주사선(GWL), 제3 주사선(GBL), 및 발광 제어선(EML)이 제1 방향으로 연장되며 배치된다.
- [0078] 제1 트랜지스터(T1)는 소스 영역(S1), 드레인 영역(D1) 및 소스 영역(S1)과 드레인 영역(D1) 사이의 채널 영역을 포함하는 반도체층(101_1) 및 게이트 전극(G1)을 포함한다. 제1 트랜지스터(T1)의 게이트 전극(G1)은 평면상 채널 영역과 중첩한다. 제1 트랜지스터(T1)의 반도체층(101_1)은 소스 영역(S1)과 드레인 영역(D1) 사이에서 굴곡을 가짐으로써 채널 영역을 길게 형성할 수 있어, 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)가 넓어질 수 있다. 제1 트랜지스터(T1)의 반도체층(101_1)의 형상은 'ㄷ', 'ㄴ', 'S', 'M', 'W' 등의 다양한 실시예가 가능하다.
- [0079] 제2 트랜지스터(T2)는 소스 영역(S2), 드레인 영역(D2) 및 소스 영역(S2)과 드레인 영역(D2) 사이의 채널 영역을 포함하는 반도체층(101_2) 및 게이트 전극(G2)을 포함한다. 제2 트랜지스터(T2)의 게이트 전극(G2)은 평면상 채널 영역과 중첩한다. 제2 트랜지스터(T2)의 소스 영역(S2)은 제1 절연층(12) 내지 제3 절연층(14)의 컨택홀(111)을 통해 데이터선(DL)과 전기적으로 연결된다. 제2 트랜지스터(T2)의 드레인 영역(D2)은 제1 트랜지스터(T1)의 소스 영역(S1)과 연결된다.
- [0080] 제3 트랜지스터(T3)는 소스 영역(S3), 드레인 영역(D3) 및 소스 영역(S3)과 드레인 영역(D3) 사이의 채널 영역을 포함하는 반도체층(101_3) 및 게이트 전극(G3)을 포함한다. 제3 트랜지스터(T3)의 게이트 전극(G3)은 평면상 채널 영역과 중첩하고, 제2 주사선(GWL)의 일부에 의해 형성된다. 제3 트랜지스터(T3)의 소스 영역(S3)은 제1 트랜지스터(T1)의 드레인 영역(D1)과 연결되고, 드레인 영역(D3)은 제1 트랜지스터(T1)의 게이트 전극(G1)과 연결전극(103)에 의해 전기적으로 연결된다. 연결전극(103)은 제3 트랜지스터(T3)의 드레인 영역(D3)을 노출하는 제1 절연층(12) 내지 제3 절연층(14)의 컨택홀(112)과 제1 트랜지스터(T1)의 게이트 전극(G1)을 노출하는 제2 절연층(13) 및 제3 절연층(14)의 컨택홀(113)을 통해 제3 트랜지스터(T3)의 드레인 영역(D3)과 제1 트랜지스터(T1)의 게이트 전극(G1)을 연결한다.
- [0081] 제4 트랜지스터(T4)는 소스 영역(S4), 드레인 영역(D4) 및 소스 영역(S4)과 드레인 영역(D4) 사이의 채널 영역을 포함하는 반도체층(101_4) 및 게이트 전극(G4)을 포함한다. 제4 트랜지스터(T4)의 게이트 전극(G4)은 평면상 채널 영역과 중첩하고, 제1 주사선(GIL)의 일부에 의해 형성된다. 제4 트랜지스터(T4)의 소스 영역(S4)은 연결전극(105)에 의해 초기화선(VL)과 전기적으로 연결되고, 드레인 영역(D4)은 제3 트랜지스터(T3)의 드레인 영역(D3) 및 제1 트랜지스터(T1)의 게이트 전극(G1)과 전기적으로 연결된다. 연결전극(105)은 제4 트랜지스터(T4)의 소스 영역(S4)을 노출하는 제1 절연층(12) 내지 제3 절연층(14)의 컨택홀(114)과 초기화선(VL)을 노출하는 제3 절연층(14)의 컨택홀(115)을 통해 제4 트랜지스터(T4)의 소스 영역(S4)과 초기화선(VL)을 연결한다. 초기화선(VL)은 커패시터(Cst)의 제2 전극(Cst2)과 동일층에 배치된다.
- [0082] 제5 트랜지스터(T5)는 소스 영역(S5), 드레인 영역(D5) 및 소스 영역(S5)과 드레인 영역(D5) 사이의 채널 영역을 포함하는 반도체층(101_5) 및 게이트 전극(G5)을 포함한다. 제5 트랜지스터(T5)의 게이트 전극(G5)은 평면상 채널 영역과 중첩하고, 발광 제어선(EML)의 일부에 의해 형성된다. 제5 트랜지스터(T5)의 소스 영역(S5)은 자신의 일부를 노출하는 제1 절연층(12) 내지 제3 절연층(14)의 컨택홀(116)을 통해 전원선(PL)과 전기적으로 연결되고, 드레인 영역(D5)은 제1 트랜지스터(T1)의 제1 전극(S1)과 연결된다.
- [0083] 제6 트랜지스터(T6)는 소스 영역(S6), 드레인 영역(D6) 및 소스 영역(S6)과 드레인 영역(D6) 사이의 채널 영역을 포함하는 반도체층(101_6) 및 게이트 전극(G6)을 포함한다. 제6 트랜지스터(T6)의 게이트 전극(G6)은 평면상 채널 영역과 중첩하고, 발광 제어선(EML)의 일부에 의해 형성된다. 제6 트랜지스터(T6)의 소스 영역(S6)은 제1 트랜지스터(T1)의 드레인 영역(D1)과 연결되고, 드레인 영역(D6)은 유기발광소자(OLED)의 화소전극과 전기적으로

로 연결된다. 제6 트랜지스터(T6)의 드레인 영역(D6)은 자신의 일부를 노출하는 제1 절연층(12) 내지 제3 절연층(14)의 컨택홀(117)을 통해 제3 절연층(14) 상의 연결전극(107)과 전기적으로 연결된다. 화소전극은 제6 트랜지스터(T6)의 드레인 영역(D6)과 연결된 연결전극(107) 상부의 제4 절연층(15)의 비아홀을 통해 연결전극(107)과 전기적으로 연결됨으로써, 제6 트랜지스터(T6)의 드레인 영역(D6)과 연결된다.

[0084] 제7 트랜지스터(T7)는 소스 영역(S7), 드레인 영역(D7) 및 소스 영역(S7)과 드레인 영역(D7) 사이의 채널 영역을 포함하는 반도체층(101_7) 및 게이트 전극(G7)을 포함한다. 제7 트랜지스터(T7)의 게이트 전극(G7)은 평면상 채널 영역과 중첩하고, 제3 주사선(GBL)의 일부에 의해 형성된다. 제7 트랜지스터(T7)의 드레인 영역(D7)은 제4 트랜지스터(T4)의 소스 영역(S4)과 연결되고, 소스 영역(S7)은 제6 트랜지스터(T6)의 드레인 영역(D6)과 연결된다.

[0085] 제1 내지 제7 트랜지스터(T1 내지 T7)의 게이트 전극(G1 내지 G7) 상에는 제2 절연층(13)이 배치된다. 제2 절연층(13) 상부에 커패시터(Cst)의 제2 전극(Cst2)이 배치된다. 커패시터(Cst)의 제2 전극(Cst2)과 동일층에 초기 화선(VL) 및 차폐 부재(130)가 배치된다.

[0086] 커패시터(Cst)의 제1 전극(Cst1)은 제1 트랜지스터(T1)의 게이트 전극(G1)이다. 즉, 커패시터(Cst)의 제1 전극(Cst1)과 제1 트랜지스터(T1)의 게이트 전극(G1)은 일체(一體)인 것으로 이해될 수 있다. 커패시터(Cst)의 제1 전극(Cst1)은 인접한 화소와 분리되어 사각 형상으로 형성되어 있으며, 제1 주사선(GIL), 제2 주사선(GWL), 제3 주사선(GBL), 발광 제어선(EML)과 동일한 물질로 동일한 층에 형성된다.

[0087] 커패시터(Cst)의 제2 전극(Cst2)은 제1 방향으로 인접한 화소들, 즉 동일 행의 화소들의 제2 전극(Cst2)과 연결되어 있다. 커패시터(Cst)의 제2 전극(Cst2)은 제1 전극(Cst1) 전체를 커버하도록 제1 전극(Cst1)과 중첩하고, 제1 트랜지스터(T1)와 평면상 및 단면상 수직으로 중첩하는 구조를 갖는다. 커패시터(Cst)의 제1 전극(Cst1)과 제2 전극(Cst2) 사이의 제2 절연층(13)이 유전체층으로 기능한다. 커패시터(Cst)의 제2 전극(Cst2)은 제1 전극(Cst1)의 일부를 노출하는 컨택홀(113)에 대응하는 위치에 개구(109)를 구비한다.

[0088] 커패시터(Cst)의 제2 전극(Cst2) 상에는 제3 절연층(14)이 배치된다. 제3 절연층(14) 상에 데이터선(DL) 및 전원선(PL)이 제2 방향으로 연장되며 배치된다. 전원선(PL)은 커패시터(Cst)의 제2 전극(Cst2)과 일부 중첩한다.

[0089] 커패시터(Cst)의 제2 전극(Cst2)은 자신의 일부를 노출하는 제3 절연층(14)의 컨택홀(118)을 통해 전원선(PL)과 전기적으로 연결된다. 이에 따라 전원선(PL)은 제2 방향으로 연장된 전원선으로 기능하고, 커패시터(Cst)의 제2 전극(Cst2)은 제1 방향으로 연장된 전원선으로 기능하여, 전원선(PL)은 전체적으로 메쉬(mesh) 구조를 가질 수 있다. 또한 전원선(PL)은 제5 트랜지스터(T5)의 소스 영역(S5)과 전기적으로 연결된다.

[0090] 차폐 부재(130)는 자신의 일부를 노출하는 제3 절연층(14)의 컨택홀(119)을 통해 전원선(PL)과 전기적으로 연결된다. 차폐 부재(130)는 제1 방향을 따라 제2 트랜지스터(T2)와 적어도 일부 중첩한다. 차폐 부재(130)는 제2 트랜지스터(T2)의 소스 영역 및 드레인 영역 중 적어도 하나와 중첩할 수 있다. 차폐 부재(130)는 제2 트랜지스터(T2)가 외부로부터 입사되는 광에 의해 영향받는 것을 차단하고, 및/또는 정전압이 인가되는 전원선(PL)과 전기적으로 연결되어 제2 트랜지스터(T2)가 주변의 다른 전기적 신호에 의해 영향받는 것을 차단할 수 있다. 즉, 차폐 부재(130)는 화소회로의 동작 특성을 향상시키는 기능을 수행할 수 있다.

[0091] 전술한 실시예에 따르면, 차폐 부재(130)가 전원선(PL)에 연결된 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다. 차폐 부재(130)는 초기화선(VL)과 연결되어 정전압인 초기전압(Vint)이 인가될 수 있다. 또는, 차폐 부재(130)는 정전압인 ELVSS 전압이 인가될 수 있다.

[0092] 데이터선(DL) 및 전원선(PL)과 동일층에 연결전극들(103, 105, 107)이 배치된다. 연결전극들(103, 105, 107)은 제1 내지 제3 절연층(12 내지 14) 중 적어도 하나에 형성된 컨택홀(112 내지 115, 117)을 매우며 하부의 전극층과 컨택한다.

[0093] 도 5는 도 4의 화소회로 상에 유기발광소자의 일부가 형성된 예를 나타낸 평면도이다. 도 5 내지 도 9를 함께 참조하면, 제1 화소회로 내지 제3 화소회로 상부에 제4 절연층(15)이 배치된다.

[0094] 제4 절연층(15) 상부에 제1 화소회로 내지 제3 화소회로와 각각 전기적으로 연결된 제1 화소전극(PE1) 내지 제3 화소전극(PE3)이 배치된다. 제1 화소(PX1)의 제1 화소회로 상부에 제1 화소회로와 연결된 제1 화소전극(PE1)이 배치된다. 제2 화소(PX2)의 제2 화소회로 상부에 제2 화소회로와 연결된 제2 화소전극(PE2)이 배치된다. 제3 화소(PX3)의 제3 화소회로 상부에 제3 화소회로와 연결된 제3 화소전극(PE3)이 배치된다.

[0095] 제1 화소전극(PE1)과 제2 화소전극(PE2)은 평면상 대각선 방향으로 인접하게 배치될 수 있다. 제3 화소전극

(PE3)과 제2 화소전극(PE2)은 평면상 대각선 방향으로 인접하게 배치될 수 있다.

- [0096] 제1 화소전극(PE1)은 제4 절연층(15)의 제1 비아홀(VIA1)을 통해 연결전극(107)과 컨택한다. 이에 따라 제1 화소전극(PE1)은 제1 비아홀(VIA1)을 통해 제1 화소(PX1)의 제6 트랜지스터(T6)의 드레인 영역(D6)과 전기적으로 연결된다.
- [0097] 제2 화소전극(PE2)은 제4 절연층(15)의 제2 비아홀(VIA2)을 통해 연결전극(107)과 컨택한다. 이에 따라 제2 화소전극(PE2)은 제2 비아홀(VIA2)을 통해 제2 화소(PX2)의 제6 트랜지스터(T6)의 드레인 영역(D6)과 전기적으로 연결된다.
- [0098] 제3 화소전극(PE3)은 제4 절연층(15)의 제3 비아홀(VIA3)을 통해 연결전극(107)과 컨택한다. 이에 따라 제3 화소전극(PE3)은 제3 화소(PX3)의 제6 트랜지스터(T6)의 드레인 영역(D6)과 전기적으로 연결된다.
- [0099] 도 6을 참조하면, 제4 절연층(15) 상부의 각 행에 제1 화소전극(PE1), 제2 화소전극(PE2), 제3 화소전극(PE3), 제2 화소전극(PE2)이 제1 방향을 따라 반복하여 배치된다. 제2 방향을 따라 제1 열에 제1 화소전극(PE1)들이 배치된다. 제2 방향을 따라 제1 열에 인접한 제2 열에 제2 화소전극(PE2)들이 배치된다. 제2 방향을 따라 제2 열에 인접한 제3 열에 제3 화소전극(PE3)들이 배치된다. 제2 방향을 따라 제3 열에 인접한 제4 열에 제2 화소전극(PE2)들이 배치된다.
- [0100] 제1 화소전극(PE1)은 제1 발광층이 배치되는 제1 발광부(121a)를 포함하는 제1 영역(122a) 및 제1 영역(122a)으로부터 연장된 제2 영역(125a)을 포함할 수 있다. 제2 영역(125a)은 제1 비아홀(VIA1)의 위치에 대응하고, 제1 비아홀(VIA1) 상부에 위치할 수 있다. 제1 발광부(121a)는 제1 면적(A1)을 가질 수 있다.
- [0101] 제1 영역(122a)의 제1 발광부(121a)는 제5 절연층(16)의 제1 개구(OP1)에 대응하고, 제1 영역(122a)의 가장자리는 제5 절연층(16)으로 덮인다. 제2 영역(125a)은 제1 비아홀(VIA1) 상부에 제1 비아홀(VIA1)을 덮도록 배치될 수 있다. 제2 영역(125a)은 제5 절연층(16)으로 덮인다. 제1 비아홀(VIA1)은 제4 절연층(15)에 형성되고, 제1 화소전극(PE1)은 제1 비아홀(VIA1)을 통해 제1 화소회로와 전기적으로 연결될 수 있다. 제1 화소전극(PE1)의 제1 영역(122a)은 제2 영역(125a)보다 평면상 제1 화소회로의 상단(도 5의 UU)에 위치한다.
- [0102] 제2 화소전극(PE2)은 제2 발광층이 배치되는 제2 발광부(121b)를 포함하는 제1 영역(122b) 및 제1 영역(122b)으로부터 연장된 제2 영역(125b)을 포함할 수 있다. 제2 영역(125b)은 제2 비아홀(VIA2)의 위치에 대응하고, 제2 비아홀(VIA2) 상부에 위치할 수 있다. 제2 발광부(121b)는 제2 면적(A2)을 가질 수 있다. 제2 면적(A2)은 제1 면적(A1)보다 작을 수 있다.
- [0103] 제1 영역(122b)의 제2 발광부(121b)는 제5 절연층(16)의 제2 개구(OP2)에 대응하고, 제1 영역(122b)의 가장자리는 제5 절연층(16)으로 덮인다. 제2 영역(125b)은 제2 비아홀(VIA2) 상부에 제2 비아홀(VIA2)을 덮도록 배치될 수 있다. 제2 영역(125b)은 제5 절연층(16)으로 덮인다. 제2 비아홀(VIA2)은 제4 절연층(15)에 형성되고, 제2 화소전극(PE2)은 제2 비아홀(VIA2)을 통해 제2 화소회로와 전기적으로 연결될 수 있다. 제2 화소전극(PE2)의 제1 영역(122b)은 제2 영역(125b)보다 평면상 화소회로의 하단(도 5의 DU)에 위치한다.
- [0104] 제3 화소전극(PE3)은 제3 발광층이 배치되는 제3 발광부(121c)를 포함하는 제1 영역(122c) 및 제1 영역(122c)으로부터 연장된 제2 영역(125c)을 포함할 수 있다. 제2 영역(125c)은 제3 비아홀(VIA3)의 위치에 대응하고, 제3 비아홀(VIA3) 상부에 위치할 수 있다. 제3 발광부(121c)는 제3 면적(A3)을 가질 수 있다. 제3 면적(A3)은 제2 면적(A2)보다 클 수 있다.
- [0105] 제1 영역(122c)의 제3 발광부(121c)는 제5 절연층(16)의 제3 개구(OP3)에 대응하고, 제1 영역(122c)의 가장자리는 제5 절연층(16)으로 덮인다. 제2 영역(125c)은 제3 비아홀(VIA3) 상부에 제3 비아홀(VIA3)을 덮도록 배치될 수 있다. 제2 영역(125c)은 제5 절연층(16)으로 덮인다. 제3 비아홀(VIA3)은 제4 절연층(15)에 형성되고, 제3 화소전극(PE3)은 제3 비아홀(VIA3)을 통해 제3 화소회로와 전기적으로 연결될 수 있다. 제3 화소전극(PE3)의 제1 영역(122c)은 제2 영역(125c)보다 평면상 화소회로의 상단(도 5의 UU)에 위치한다.
- [0106] 제1 화소전극(PE1)의 제1 영역(122a)은 제2 화소전극(PE2)의 제1 영역(122b)과 대각선 방향으로 이격된다. 제1 화소전극(PE1)의 제2 영역(125a)은 제2 화소전극(PE2)의 제2 영역(125b)과 대각선 방향으로 이격된다.
- [0107] 제3 화소전극(PE3)의 제1 영역(122c)은 제2 화소전극(PE2)의 제1 영역(122b)과 대각선 방향으로 이격된다. 제3 화소전극(PE3)의 제2 영역(125c)은 제2 화소전극(PE2)의 제2 영역(125b)과 대각선 방향으로 이격된다.
- [0108] 제2 화소전극(PE2)의 제2 영역(125b)의 사이즈(면적)는 제1 화소전극(PE1)의 제2 영역(125a) 및 제3 화소전극

(PE3)의 제2 영역(125c)의 사이즈(면적)보다 클 수 있다. 제1 화소전극(PE1)의 제2 영역(125a) 및 제3 화소전극(PE3)의 제2 영역(125c)의 사이즈(면적)는 동일할 수 있다.

- [0109] 제2 화소전극(PE2)의 제2 영역(125b)은 제1 화소전극(PE1)의 제1 영역(122a)과 제3 화소전극(PE3)의 제1 영역(122c)의 사이에 위치한다.
- [0110] 도 7은 제1 화소(PX1)의 일부를 절단한 단면도이고, 도 8은 제2 화소(PX2)의 일부를 절단한 단면도이고, 도 9는 제3 화소(PX3)의 일부를 절단한 단면도이다.
- [0111] 도 7을 참조하면, 제1 화소회로 상부에 제4 절연층(15)이 배치되고, 제4 절연층(15) 상부에 제1 화소전극(PE1)이 배치된다. 제1 화소전극(PE1) 상부에 제1 화소전극(PE1)을 커버하되, 제1 화소전극(PE1)의 제1 발광부(121a)를 노출하는 제1 개구(OP1)를 갖는 제5 절연층(16)이 배치된다. 제5 절연층(16)은 제1 화소전극(PE1)의 제1 영역(122a)의 가장자리 및 제2 영역(125a)을 덮는다.
- [0112] 제1 화소전극(PE1)의 제1 발광부(121a)(즉, 제5 절연층(16)의 제1 개구(OP1))에 제1 발광층(140a)이 배치된다. 제1 발광층(140a) 상부에 제1 화소전극(PE1)에 대항하는 공통전극(160)이 배치된다. 공통전극(160)은 기판(10)의 전면 상에 배치되어, 제1 발광층(140a) 및 제5 절연층(16)을 커버할 수 있다.
- [0113] 제1 화소전극(PE1)의 제1 영역(122a)은 제3 트랜지스터(T3), 제1 트랜지스터(T1) 및 커패시터(Cst) 각각의 적어도 일부와 평면상 중첩한다. 제1 화소전극(PE1)의 제1 영역(122a)은 연결전극(103)과 평면상 완전히 중첩(도 5의 X 참조)할 수 있다. 제1 화소전극(PE1)의 제1 영역(122a)은 제3 트랜지스터(T3)의 소스 영역 및 드레인 영역 중 적어도 하나와 평면상 중첩한다. 제1 화소전극(PE1)의 제2 영역(125a)은 제6 트랜지스터(T6)의 적어도 일부와 평면상 중첩한다.
- [0114] 도 7에서는 제1 트랜지스터(T1)의 반도체층(101_1) 및 게이트 전극(G1), 제3 트랜지스터(T3)의 반도체층(101_3) 및 게이트 전극(G3), 제6 트랜지스터(T6)의 반도체층(101_6) 및 게이트 전극(G6), 커패시터(Cst)의 제1 전극(Cst1) 및 제2 전극(Cst2)을 도시하고 있다.
- [0115] 도 8을 참조하면, 제2 화소회로 상부에 제4 절연층(15)이 배치되고, 제4 절연층(15) 상부에 제2 화소전극(PE2)이 배치된다. 제2 화소전극(PE2) 상부에 제2 화소전극(PE2)을 커버하되, 제2 화소전극(PE2)의 제2 발광부(121b)를 노출하는 제2 개구(OP2)를 갖는 제5 절연층(16)이 배치된다. 제5 절연층(16)은 제2 화소전극(PE2)의 제1 영역(122b)의 가장자리 및 제2 영역(125b)을 덮는다.
- [0116] 제2 화소전극(PE2)의 제2 발광부(121b)(즉, 제5 절연층(16)의 제2 개구(OP2))에 제2 발광층(140b)이 배치된다. 제2 발광층(140b) 상부에 제2 화소전극(PE2)에 대항하는 공통전극(160)이 배치된다. 공통전극(160)은 기판(10)의 전면 상에 배치되어, 제2 발광층(140b) 및 제5 절연층(16)을 커버할 수 있다.
- [0117] 제2 화소전극(PE2)의 제1 영역(122b)은 제7 트랜지스터(T7)의 적어도 일부와 평면상 중첩한다. 도시되지 않았으나, 도 5를 참조하면, 제2 화소전극(PE2)의 제1 영역(122b)은 인접 행의 제2 화소(PX2)의 제4 트랜지스터(T4)의 적어도 일부와 중첩한다. 제2 화소전극(PE2)의 제2 영역(125b)은 제3 트랜지스터(T3), 제1 트랜지스터(T1), 커패시터(Cst) 및 제6 트랜지스터(T6) 각각의 적어도 일부와 평면상 중첩한다. 제2 화소전극(PE2)의 제2 영역(125b)은 제3 트랜지스터(T3)의 소스 영역 및 드레인 영역 중 적어도 하나와 중첩한다. 제2 화소전극(PE2)의 제1 영역(122b)은 연결전극(103)과 평면상 완전히 중첩(도 5의 Y 참조)할 수 있다.
- [0118] 도 8에서는 제1 트랜지스터(T1)의 반도체층(101_1) 및 게이트 전극(G1), 제3 트랜지스터(T3)의 반도체층(101_3) 및 게이트 전극(G3), 제6 트랜지스터(T6)의 반도체층(101_6) 및 게이트 전극(G6), 제7 트랜지스터(T7)의 반도체층(101_7) 및 게이트 전극(G7), 커패시터(Cst)의 제1 전극(Cst1) 및 제2 전극(Cst2)을 도시하고 있다.
- [0119] 도 9를 참조하면, 제3 화소회로 상부에 제4 절연층(15)이 배치되고, 제4 절연층(15) 상부에 제3 화소전극(PE3)이 배치된다. 제3 화소전극(PE3) 상부에 제3 화소전극(PE3)을 커버하되, 제3 화소전극(PE3)의 제3 발광부(121c)를 노출하는 제3 개구(OP3)를 갖는 제5 절연층(16)이 배치된다. 제5 절연층(16)은 제3 화소전극(PE3)의 제1 영역(122c)의 가장자리 및 제2 영역(125c)을 덮는다.
- [0120] 제3 화소전극(PE3)의 제3 발광부(121c)(즉, 제5 절연층(16)의 제3 개구(OP3))에 제3 발광층(140c)이 배치된다. 제3 발광층(140c) 상부에 제3 화소전극(PE3)에 대항하는 공통전극(160)이 배치된다. 공통전극(160)은 기판(10)의 전면 상에 배치되어, 제3 발광층(140c) 및 제5 절연층(16)을 커버할 수 있다.
- [0121] 제3 화소전극(PE3)의 제1 영역(122c)은 제3 트랜지스터(T3), 제1 트랜지스터(T1) 및 커패시터(Cst) 각각의 적어도

도 일부와 평면상 중첩한다. 제3 화소전극(PE3)의 제1 영역(122c)은 연결전극(103)과 평면상 완전히 중첩(도 5의 Z 참조)할 수 있다. 제3 화소전극(PE3)의 제1 영역(122c)은 제3 트랜지스터(T3)의 소스 영역 및 드레인 영역 중 적어도 하나와 중첩한다. 제3 화소전극(PE3)의 제2 영역(125c)은 제6 트랜지스터(T6)의 적어도 일부와 평면상 중첩한다.

[0122] 도 9에서는 제1 트랜지스터(T1)의 반도체층(101_1) 및 게이트 전극(G1), 제3 트랜지스터(T3)의 반도체층(101_3) 및 게이트 전극(G3), 제6 트랜지스터(T6)의 반도체층(101_6) 및 게이트 전극(G6), 커패시터(Cst)의 제1 전극(Cst1) 및 제2 전극(Cst2)을 도시하고 있다.

[0123] 도면에 도시되지는 않았지만, 공통전극(160) 상에는 봉지 기관(미도시) 또는 봉지층(미도시)이 배치될 수 있다.

[0124] 본 발명의 실시예들에 따라, 제1 화소전극(PE1) 내지 제3 화소전극(PE3)은 각각 하부의 박막트랜지스터(예를 들어, 제3 트랜지스터)의 적어도 일부를 커버하며 평면상 중첩한다. 이에 따라, 제1 화소전극(PE1) 내지 제3 화소전극(PE3)은 박막트랜지스터의 소스 영역 및 드레인 영역 중 적어도 하나에 입사되는 광 차단 및/또는 주변의 다른 전기적 신호에 의해 영향받는 것을 차단할 수 있다. 즉, 제1 화소전극(PE1) 내지 제3 화소전극(PE3)은 화소회로의 동작 특성을 향상시키는 기능을 더 수행할 수 있다.

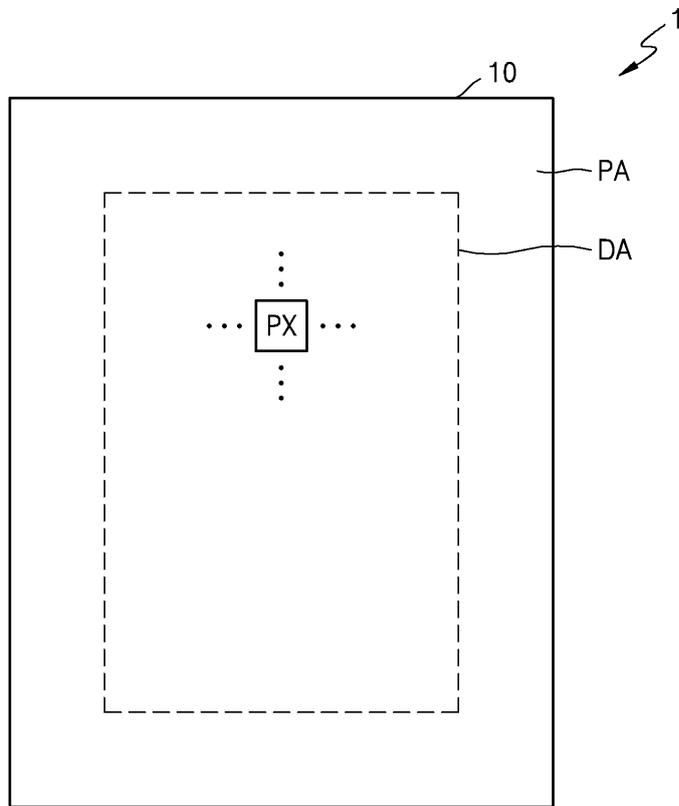
[0125] 도 5 내지 도 9에서 화소전극의 발광부는 도 1 및 도 2에 도시된 화소에 대응할 수 있다. 화소전극의 발광부 면적(이하, '발광면적'이라 함)은 화소전극의 면적에 비례하고, 화소전극의 발광면적이 화소의 개구율을 결정하므로, 본 명세서에서는 설명의 편의를 위해 화소전극의 발광부를 화소와 혼용하여 설명하였다.

[0126] 본 발명의 상세한 설명 및 특허청구범위에서 "대응"의 용어는 문맥에 따라서 복수의 요소들 중 동일한 영역에 배치되는 요소를 특정하기 위해 사용되었다. 즉, 제1 부재가 복수의 제2 부재들 중에서 하나와 "대응"한다는 것은 제2 부재가 제1 부재가 동일 영역에 배치됨을 의미한다. 예를 들어, 제1 전극이 복수의 제2 전극들 중 하나와 대응한다는 것은 제1 전극과 제1 전극에 대응하는 제2 전극은 동일 화소영역에 배치됨을 의미할 수 있다.

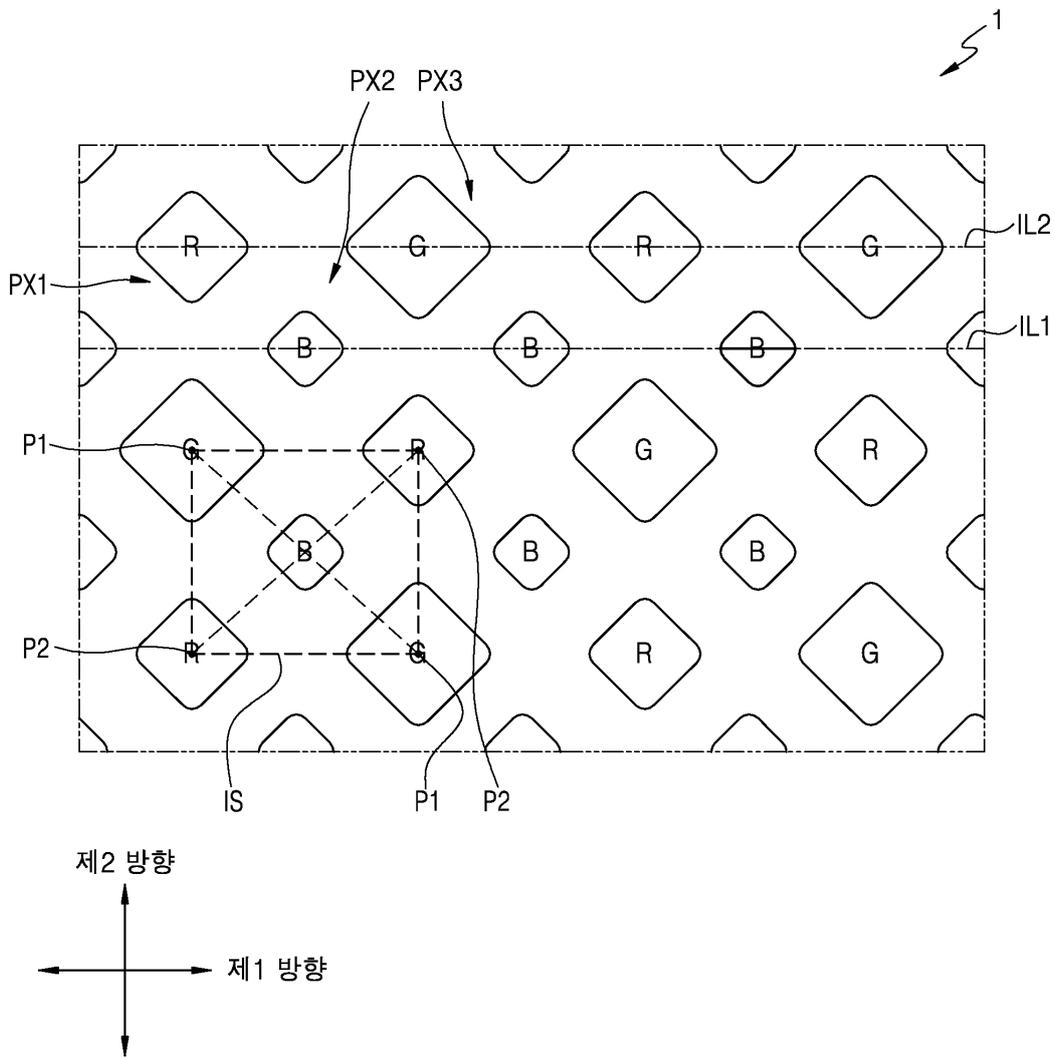
[0127] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

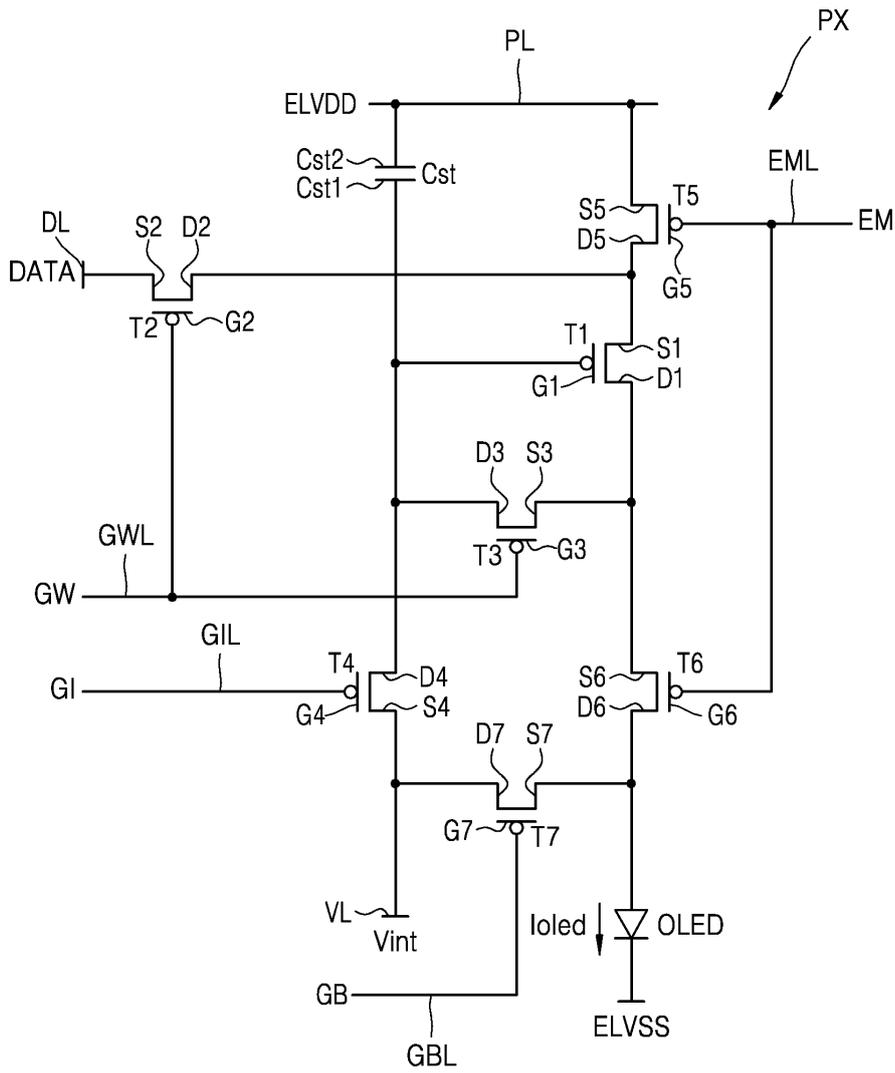
도면1



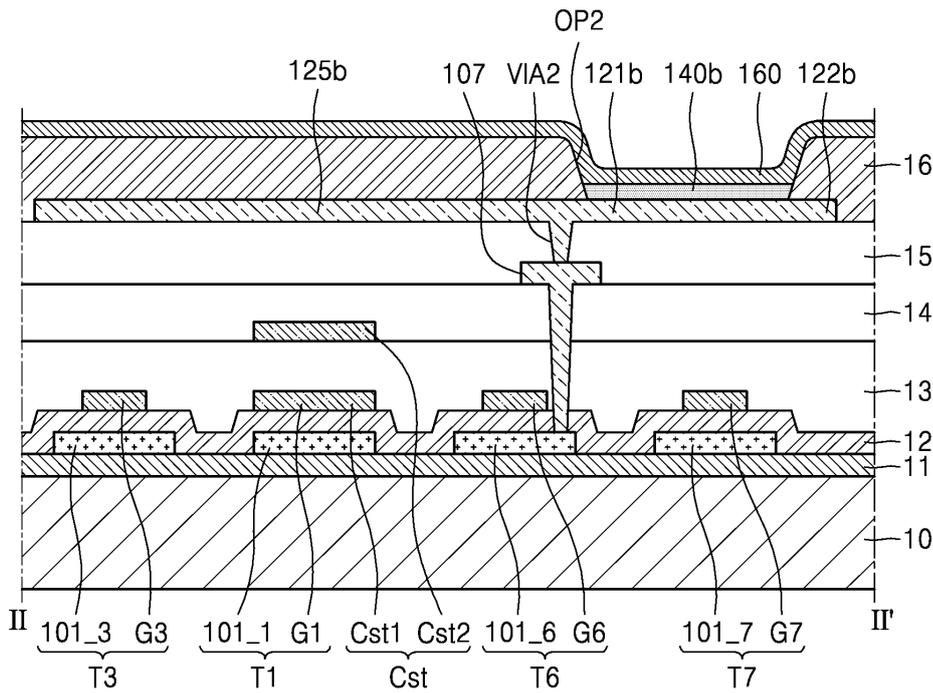
도면2



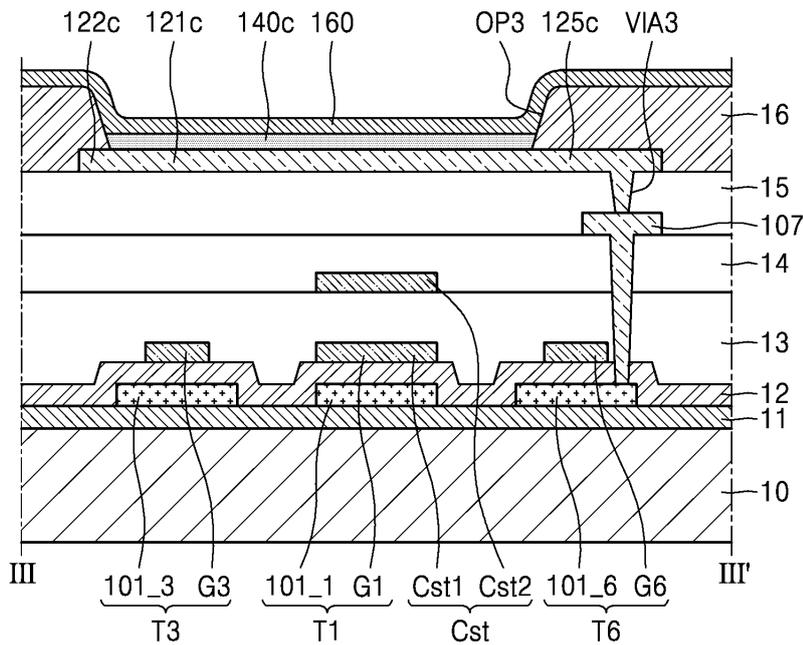
도면3



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 14

【변경전】

제13항에 있어서,

상기 제1 화소영역에, 제1 연결전극에 의해 상기 제1 박막트랜지스터와 연결된 제1 구동 박막트랜지스터;

상기 제2 화소영역에, 제2 연결전극에 의해 상기 제2 박막트랜지스터와 연결된 제2 구동 박막트랜지스터; 및

상기 제3 화소영역에, 제3 연결전극에 의해 상기 제3 박막트랜지스터와 연결된 제3 구동 박막트랜지스터;를 포함하고,

상기 제1 내지 제3 화소전극 각각은 상기 제1 내지 제3 연결전극 중 대응하는 연결전극과 중첩하는, 표시장치.

【변경후】

제13항에 있어서,

상기 제1 화소영역에, 제1 연결전극에 의해 상기 제1 박막트랜지스터와 연결된 상기 제1 구동 박막트랜지스터;

상기 제2 화소영역에, 제2 연결전극에 의해 상기 제2 박막트랜지스터와 연결된 상기 제2 구동 박막트랜지스터; 및

상기 제3 화소영역에, 제3 연결전극에 의해 상기 제3 박막트랜지스터와 연결된 제3 구동 박막트랜지스터;를 포함하고,

상기 제1 내지 제3 화소전극 각각은 상기 제1 내지 제3 연결전극 중 대응하는 연결전극과 중첩하는, 표시장치.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 21

【변경전】

제18항에 있어서,

상기 제1 화소전극의 제1 영역이 상기 제1 화소회로의 구동 박막트랜지스터와 적어도 일부 중첩하고,

상기 제2 화소전극의 제4 영역이 상기 제2 화소회로의 구동 박막트랜지스터와 적어도 일부 중첩하는, 표시장치.

【변경후】

제18항에 있어서,

상기 제1 화소전극의 제1 영역이 상기 제1 화소회로의 상기 제1 구동박막트랜지스터와 적어도 일부 중첩하고,

상기 제2 화소전극의 제4 영역이 상기 제2 화소회로의 상기 제2 구동박막트랜지스터와 적어도 일부 중첩하는, 표시장치.