

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3735553号
(P3735553)

(45) 発行日 平成18年1月18日(2006.1.18)

(24) 登録日 平成17年10月28日(2005.10.28)

(51) Int. Cl.		F I			
G06K	19/077	(2006.01)	G06K	19/00	K
B42D	15/10	(2006.01)	B42D	15/10	521
H05K	1/02	(2006.01)	H05K	1/02	P
G06K	19/07	(2006.01)	G06K	19/00	M

請求項の数 9 (全 8 頁)

(21) 出願番号	特願2001-304575 (P2001-304575)	(73) 特許権者	000003078
(22) 出願日	平成13年9月28日(2001.9.28)		株式会社東芝
(65) 公開番号	特開2003-108967 (P2003-108967A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年4月11日(2003.4.11)	(74) 代理人	100058479
審査請求日	平成13年9月28日(2001.9.28)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 カード型電子機器

(57) 【特許請求の範囲】

【請求項1】

両面印刷回路基板の部品実装面となる一方の面がカバー部材で覆われ、他方の面が外部接続端子を除いて保護膜によりコーティングされたカード型電子機器において、前記カバー部材の一端には把持部が設けられ、前記両面印刷回路基板の他方の面の前記把持部側の端部にはグラウンドパターン若しくは電源パターンに接続する帯電防止用の回路パターンを設けたことを特徴とするカード型電子機器。

【請求項2】

両面印刷回路基板の一方の面に配設された信号パターンを有し、前記帯電防止用の回路パターンと前記保護膜の表面との距離を前記信号パターンと前記カバー部材表面との間の距離より短くしたことを特徴とする請求項1に記載のカード型電子機器。

【請求項3】

前記信号パターンは前記帯電防止用の回路パターンに対応して前記両面印刷回路基板の一方の面の前記把持部側の端部に配設されることを特徴とする請求項2に記載のカード型電子機器。

【請求項4】

前記帯電防止用の回路パターンは前記両面印刷回路基板を挟んで前記信号パターンの両側に配設されることを特徴とする請求項3に記載のカード型電子機器。

【請求項5】

両面印刷回路基板を用いて構成されるカード型電子機器において、前記基板の一方の面

10

20

に設けられた回路パターンおよびこの回路パターンに接続して前記基板の端縁に接するように配設された電解鍍金用の回路パターンと、前記基板の一方の面を覆いかつ一端に把持部が設けられたカバー部材と、前記基板の他方の面に設けられたグラウンドパターン若しくは電源パターン、およびこのグラウンドパターン若しくは電源パターンから延出して前記電解鍍金用の回路パターンに沿い前記基板の前記把持部側の端縁に接するように配設された帯電防止用の回路パターンとを具備したことを特徴とするカード型電子機器。

【請求項 6】

前記帯電防止用の回路パターンおよび前記電解鍍金用の回路パターンは夫々複数本からなり、前記電解鍍金用の回路パターンは前記基板を挟んで前記帯電防止用の回路パターンの間に位置して配設されることを特徴とする請求項 5 に記載のカード型電子機器。

10

【請求項 7】

前記電解鍍金用の回路パターンと前記帯電防止用の回路パターンとは互いに千鳥状に配設されることを特徴とする請求項 6 に記載のカード型電子機器。

【請求項 8】

一方の面に、信号路となる回路パターンおよびこの回路パターンに接続して前記一方の面の端縁に接するように配設された電解鍍金用の回路パターンを有し、他方の面に、グラウンドパターン若しくは電源パターン、およびこのグラウンドパターン若しくは電源パターンから延出して前記電解鍍金用の回路パターンに沿い前記他方の面の端縁に接するように配設された帯電防止用の回路パターンを有してなる回路基板と、

前記回路基板の一方の面を覆い、前記帯電防止用の回路パターンが配設された端縁側の一端に把持部を有する保護カバーと、

20

前記回路基板の他方の面に配設された回路パターンを覆う保護膜と、
を具備したことを特徴とするカード型電子機器。

【請求項 9】

前記帯電防止用の回路パターンと前記保護膜表面との間の距離が、前記電解鍍金用の回路パターンと前記保護カバーとの間の距離より短いことを特徴とする請求項 8 に記載のカード型電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は、両面印刷回路基板を用いて構成されるカード型電子機器に関する。

【0002】

【従来の技術】

不揮発性半導体メモリ素子を用いて構成された、例えば小型メモリカードを構成する SD (Secure Digital) カード等のカード型電子機器は、その両面一部が利用者の手指に把持されて機器本体に装着脱されることから、静電防止対策を施す必要がある。

【0003】

この種、小型メモリカード等のカード型電子機器に於いて、更に小型化を図ろうとすると、カードの厚みを限界まで薄くする必要がある。この極薄カードを実現するために、回路基板の一方の面に形成される部品実装面のみをカードケースで覆い、他方の面の配線パターン部分を例えば紫外線硬化性樹脂等による保護膜でコーティングしてカード面を形成することにより、所望の厚みに抑えた極薄の小型カードが実現される。このような小型で極薄のカード型電子機器に於いては、より効果の大きい静電防止対策が必要となる。

40

【0004】

また、この種、カード型電子機器に於いては、製造上、基板単体の打ち抜き前に、所望の回路パターンに金メッキ等を施すための電解メッキ用のパターンが複数枚の基板を連ねて配設されており、基板単体となった際にそのパターンが基板の端縁に残存する。この電解メッキ用のパターンは内部の信号路をなす回路パターンに接続されたままであり、この基板端縁のパターンに静電気の放電電流が急激に流れ込むと、その放電電流により、内部回路の物理的な破壊、データ破壊等の不都合が生じる。このため、特に把持部に近い基板端

50

縁のパターンに対しての有効な静電気対策が必要とされていた。

【0005】

【発明が解決しようとする課題】

上述したように、従来では、小型メモリカード等のカード型電子機器に於いて、より効果の大きい静電防止対策を施す必要があるという問題があり、特に把持部に近い基板端縁のパターンに対しての有効な静電気対策が必要とされていた。

【0006】

本発明は上記実情に鑑みなされたもので、簡単かつ安価な構成で、より効果の大きい静電防止対策を期待できるカード型電子機器を提供することを目的とする。

【0007】

更に、本発明は、特に把持部に近い基板端縁のパターンに対して有効な静電気対策が期待できるカード型電子機器を提供することを目的とする。

【0008】

更に、本発明は、特に回路基板の一方の面のみをカードケースで覆い、他方の面を保護膜でコーティングしてカード面を形成した小型で極薄のカード型電子機器に於いて、より効果の大きい静電防止対策が期待できるカード型電子機器を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、両面印刷回路基板の部品実装面となる一方の面がカバー部材で覆われ、他方の面が外部接続端子を除いて保護膜によりコーティングされたカード型電子機器に於いて、上記基板の他方の面に、グランドパターン若しくは電源パターンに接続する帯電防止用の回路パターンを設けたことを特徴とする。

【0010】

また、本発明は、両面印刷回路基板を用いて構成された把持部を有するカード型電子機器に於いて、上記把持部の間に存する上記基板の一方の面に配設された信号パターンと、上記把持部の間に存する上記基板の他方の面に配設された帯電防止用パターンと、上記回路基板の一方の面を覆うカバー部材と、上記回路基板の他方の面に配設された回路パターンを覆うコーティング層とを具備し、上記帯電防止用パターンと上記コーティング層表面との間の距離を上記信号パターンと上記カバー部材表面との間の距離より短くしたことを特徴とする。

【0011】

また、本発明は、両面印刷回路基板を用いて構成されるカード型電子機器に於いて、上記基板の一方の面に設けられた回路パターンおよびこの回路パターンに接続して上記基板の端縁に接するように配設された複数本の電解鍍金用の回路パターンに対して、上記基板の他方の面に、グランドパターン若しくは電源パターンから延出して上記電解鍍金用の回路パターンに沿い当該パターンを両側から挟むようにして上記基板の端縁に接するように複数本の帯電防止用の回路パターンを配設したことを特徴とする。

【0012】

また、本発明は、両面印刷回路基板を用いて構成されるカード型電子機器に於いて、一方の面に、信号路となる回路パターンおよびこの回路パターンに接続して上記基板の端縁に接するように配設された電解鍍金用の回路パターンを有し、他方の面に、グランドパターン若しくは電源パターン、およびこのグランドパターン若しくは電源パターンから延出して上記電解鍍金用の回路パターンに沿い上記基板の端縁に接するように配設された帯電防止用の回路パターンを有してなる回路基板と、上記回路基板の一方の面を覆う保護カバーと、上記回路基板の他方の面の少なくとも一部に施された回路パターンを覆う保護膜とを具備し、上記帯電防止用の回路パターンと上記保護膜表面との間の距離を、上記電解鍍金用の回路パターンと上記保護カバーとの間の距離より短くしたことを特徴とする。

【0013】

また、本発明は、両面印刷回路基板を用いて構成された把持部を有するカード型電子機器に於いて、上記把持部の摘み位置に於ける上記基板の一方の面に配設された信号パターン

10

20

30

40

50

と、上記把持部の摘み位置に於ける上記基板の他方の面に配設された帯電防止用パターンと、上記回路基板の一方の面を覆う保護カバーと、上記回路基板の他方の面の少なくとも一部に施された回路パターンを覆う保護膜とを具備し、上記帯電防止用パターンと上記保護膜表面との間の距離を上記信号パターンと上記保護カバーとの間の距離より短くしたことを特徴とする。

【0014】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。この実施形態では、本発明を適用するカード型電子機器として、

図1乃至図4は本発明をSDカードに適用した際の第1実施形態を示したもので、図中、10はカードケース、20は極薄の両面印刷回路基板（以下単に基板と称す）である。カードケース10は扁平矩形形状をなす合成樹脂材料により構成され、一端部に凹状溝でなる把持部11が形成される。基板20の一方の面20Aには、図1(c)、および図3に示すように、一辺に複数のコンタクト端子TP, TP, ...が配設され、このコンタクト端子TP, TP, ...を露出させて、上記基板20の一方の面20Aが、例えば紫外線硬化性樹脂等による保護膜で扁平状にコーティングされ、そのコーティング層30でカード面が形成されている。尚、基板20の一方の面20Aに形成される図3に示す回路パターン構成に対する従来の回路パターン構成を図5に示している。この図5に示す従来の回路パターンには、帯電防止用パターンが存在しない。上記図3および図5に於いては、回路パターンを露出して示しているが、実際には、回路パターン形成された基板面がコンタクト端子TP, TP, ...が配列されたコンタクト部分を除いてレジストにより被覆されている（図1(c)参照）。

【0015】

また、基板20の他方の面20Bには、図2に示すように、回路部品の実装パターン並びに信号路となる回路パターンが配設され、回路部品の実装パターン上には回路部品21がリフローにより半田実装される。この基板20の他方の面20Bは、図1(a)に示す扁平状のカードケース10によって図1(b)に示すように全面が覆われて内部の回路部品が保護される。

【0016】

ここで、上記基板20の他方の面20Bには、上記信号路となる回路パターンに接続した複数本の電解鍍金用パターンCP, CP, ...が基板端面に延出して配設される。

【0017】

また、上記基板20の一方の面20A上には、図3に示すように、回路上接地電位となるグランドパターンGPが設けられ、上記電解鍍金用パターンCP, CP, ...に対応して、上記グランドパターンGPに接続した複数本の帯電防止用パターンGL, GL, ...が基板20の端縁に延出して配設される。

【0018】

この上記基板20の一方の面20Aに配設された帯電防止用パターンGL, GL, ...と、上記基板20の他方の面20Bに配設された電解鍍金用パターンCP, CP, ...とは、基板20の端面に於いて、図4に示すように所定の間隔で千鳥状（互い違い）に配設される。

【0019】

更に、図4に示すように、上記帯電防止用パターンGL, GL, ...と上記コーティング層30の表面との間の距離 d_b を、上記電解鍍金用パターンCP, CP, ...とカードケース10の表面との間の距離 d_a より短くしたカードの厚み構造としている。

【0020】

このように、帯電防止用パターンGL, GL, ...と電解鍍金用パターンCP, CP, ...とを千鳥状に配設して、電解鍍金用パターンCP, CP, ...を帯電防止用パターンGL, GL, ...で挟むように沿わせ、かつ、上記帯電防止用パターンGL, GL, ...と上記コーティング層30の表面との間の距離 d_b を、上記電解鍍金用パターンCP, CP, ...とカ

ードケース 10 の表面との間の距離 d_a より短くしたカードの厚み構造としたことで、図 5 に示す、帯電防止用パターンを有していない従来の基板構成（基板の一方の面のパターン構造）に比し、上記図 1 (a) に示すカードケース 10 に設けられた把持部 11 を手指で摘んで装着脱する際に、静電気による放電電流が距離的に最も近い帯電防止用パターン GL , GL , ... を介してグランドパターン GP に流れ込み、これによって静電気による放電電流が電解鍍金用パターン CP , CP , ... を介して内部の回路に流れ込む不都合を確実に回避することができる。

【0021】

上記した実施形態では、帯電防止用パターン GL , GL , ... をグランドパターンに接続して、静電気による放電電流をグランド (GND) に落とす（流す）構成を例示したが、これに限らず、例えば上記帯電防止用パターン GL , GL , ... を低インピーダンスの特定の他の電源ライン、具体例としてはカード内の電源供給源となる V_{cc} ライン（端子）等に接続してもよい。このような帯電防止用パターン GL , GL , ... を電源供給源 (V_{cc}) に接続した構成に於いても、静電気による放電電流を電源供給源の低インピーダンス回路上で確実に収束しディスチャージできることから、内部回路の動作駆動電圧並びに信号レベルに何ら影響を及ぼすことなく、安定した回路動作を維持することができる。

10

【0022】

また、上記した実施形態に於いては、基板の端縁まで配設される、内部回路の信号路となるパターンに接続された電解鍍金用パターン CP , CP , ... に対して、帯電防止対策を施した場合を例に説明したが、把持部 11 の間に存する基板 20 の他方の面 20B に配設される、信号路となる回路パターンに対しても、上記同様の帯電防止用パターン GL , GL , ... を配設することで、信号路となる回路パターンを確実に静電気の放電による障害から保護することができる。

20

【0023】

尚、上記した実施形態では、説明を簡素にするため、一種のカード構造のみを例に、また簡単な回路パターンを例に示したが、図示したカードの形状、構造等に拘わらず、各種のカード型電子機器に本発明を適用することができる。

【0024】

【発明の効果】

以上詳記したように本発明によれば、両面印刷回路基板を用いて構成されたカード型電子機器に於いて、簡単かつ安価な構成で、より効果の大きい静電気対策を施したカード型電子機器が提供できる。

30

【0025】

また、本発明によれば、特に把持部に近い基板端縁のパターンに対して有効な静電気対策を施したカード型電子機器が提供できる。

更に、本発明によれば、特に回路基板の一方の面のみをカードケースで覆い、他方の面を保護膜でコーティングしてカード面を形成した小型で極薄のカード型電子機器に於いて、より効果の大きい静電防止対策を施したカード型電子機器が提供できる。

【図面の簡単な説明】

【図 1】本発明の実施形態に於けるカード型電子機器の構成を示す図。

40

【図 2】上記実施形態に於ける基板の他方の面のパターン構成例を示す図。

【図 3】上記実施形態に於ける基板の一方の面のパターン構成例を示す図。

【図 4】上記実施形態に於ける基板端部に於ける回路パターン配置例を示す図。

【図 5】従来の基板構成説明するための基板の一方の面のパターン構成例を示す図。

【符号の説明】

10 ... カードケース

11 ... 把持部

20 ... 基板（極薄両面印刷回路基板）

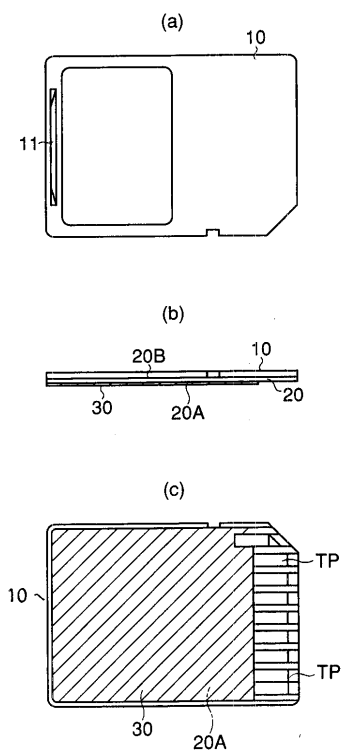
20A ... 基板の一方の面

20B ... 基板の他方の面

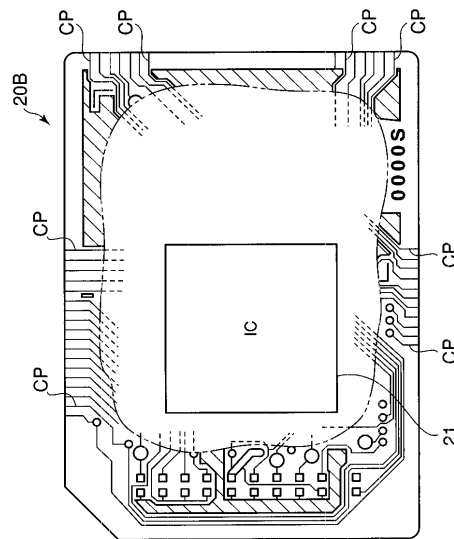
50

- 2 1 ...回路部品
- 3 0 ...コーティング層
- C P ...電解鍍金用パターン
- G L ...帯電防止用パターン
- T P ...コンタクト端子
- G P ...グラウンドパターン

【 図 1 】



【 図 2 】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 福永 稔

東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

審査官 前田 浩

(56)参考文献 特開昭62-033697(JP,A)

特開昭62-097896(JP,A)

実開昭63-027362(JP,U)

特開平10-198778(JP,A)

特開昭62-268694(JP,A)

特開平07-302318(JP,A)

実開平03-006858(JP,U)

特開2001-144469(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06K 19/00-19/18

B42D 15/10