



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월04일
(11) 등록번호 10-2450296
(24) 등록일자 2022년09월28일

(51) 국제특허분류(Int. Cl.)
G06F 13/42 (2006.01) G06F 1/12 (2006.01)
(52) CPC특허분류
G06F 13/4204 (2013.01)
G06F 1/12 (2013.01)
(21) 출원번호 10-2017-0179466
(22) 출원일자 2017년12월26일
심사청구일자 2020년08월21일
(65) 공개번호 10-2019-0077902
(43) 공개일자 2019년07월04일
(56) 선행기술조사문헌
US05848072 A*
US20080141059 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
장호량
서울특별시 송파구 올림픽로 435, 112-2704
권지웅
서울특별시 서초구 바우피로 91, 101동 703호
한상욱
서울특별시 강남구 남부순환로365길 33, 101동 507호
(74) 대리인
박영우

전체 청구항 수 : 총 20 항

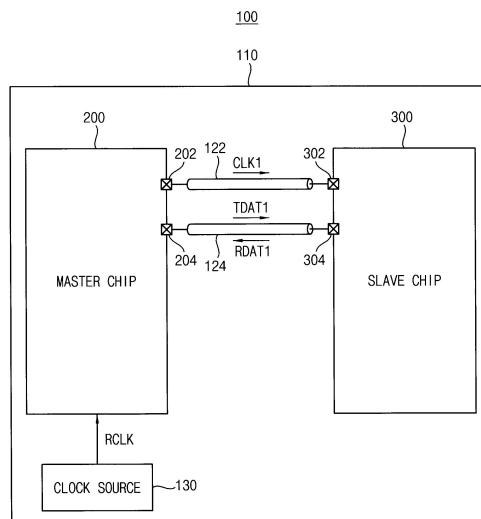
심사관 : 장재우

(54) 발명의 명칭 동기식 및 비동기식 혼합 방식의 디지털 인터페이스를 포함하는 장치, 이를 포함하는 디지털 처리 시스템, 및 이들에 의해 수행되는 디지털 처리 방법

(57) 요약

디지털 처리 시스템은 마스터 칩 및 제1 슬레이브 칩을 포함한다. 마스터 칩은 제1 클럭 핀 및 제1 데이터 핀을 포함한다. 제1 슬레이브 칩은 제2 클럭 핀 및 제2 데이터 핀을 포함한다. 마스터 칩에서 제1 슬레이브 칩으로 제1 데이터를 전송하는 제1 송신 동작은, 제1 클럭 핀을 통해 출력되는 제1 클럭 신호와 제1 데이터 핀을 통해 출력되는 제1 데이터가 함께 제공되고 제1 데이터를 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여 수행된다. 제1 슬레이브 칩에서 마스터 칩으로 제2 데이터를 전송하는 제1 수신 동작은, 제2 데이터 핀을 통해 출력되는 제2 데이터를 제1 클럭 신호와 상관없이 전송하는 비동기(asynchronous) 방식에 기초하여 수행된다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 클럭 핀 및 제1 데이터 핀을 포함하는 마스터 칩;

제2 클럭 핀 및 제2 데이터 핀을 포함하는 제1 슬레이브 칩을 포함하고,

상기 마스터 칩에서 상기 제1 슬레이브 칩으로 제1 데이터를 전송하는 제1 송신 동작은, 상기 제1 클럭 핀을 통해 출력되는 제1 클럭 신호와 상기 제1 데이터 핀을 통해 출력되는 상기 제1 데이터가 함께 제공되고 상기 제1 데이터를 상기 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여 수행되며,

상기 제1 슬레이브 칩에서 상기 마스터 칩으로 제2 데이터를 전송하는 제1 수신 동작은, 상기 제2 데이터 핀을 통해 출력되는 상기 제2 데이터를 상기 제1 클럭 신호와 상관없이 전송하는 비동기(asynchronous) 방식에 기초하여 수행되고,

상기 제1 수신 동작은, 상기 제1 송신 동작에서 전송된 상기 제1 데이터가 명령(command)을 포함하는 경우에 수행되며,

상기 제1 수신 동작에서, 상기 제2 데이터는 상기 제1 클럭 신호의 상승 에지 및 하강 에지에 동기시키지 않고 전송되는 디지털 처리 시스템.

청구항 2

제 1 항에 있어서,

상기 제1 송신 동작 및 상기 제1 수신 동작은 동일한 하나의 인터페이스에 기초하여 수행되는 것을 특징으로 하는 디지털 처리 시스템.

청구항 3

제 1 항에 있어서,

상기 제1 데이터 핀과 상기 제2 데이터 핀을 연결하는 제1 데이터 와이어를 더 포함하는 것을 특징으로 하는 디지털 처리 시스템.

청구항 4

제 3 항에 있어서,

상기 제1 송신 동작에서 상기 제1 데이터 핀을 통해 출력되는 상기 제1 데이터는 상기 제1 데이터 와이어 및 상기 제2 데이터 핀을 거쳐 상기 제1 슬레이브 칩으로 전송되고,

상기 제1 수신 동작에서 상기 제2 데이터 핀을 통해 출력되는 상기 제2 데이터는 상기 제1 데이터 와이어 및 상기 제1 데이터 핀을 거쳐 상기 마스터 칩으로 전송되는 것을 특징으로 하는 디지털 처리 시스템.

청구항 5

제 1 항에 있어서,

상기 제1 슬레이브 칩은 제3 데이터 핀을 더 포함하고, 상기 마스터 칩은 제4 데이터 핀을 더 포함하고,

상기 제1 데이터 핀과 상기 제3 데이터 핀을 연결하는 제1 데이터 와이어; 및

상기 제2 데이터 핀과 상기 제4 데이터 핀을 연결하는 제2 데이터 와이어를 더 포함하는 것을 특징으로 하는 디지털 처리 시스템.

청구항 6

제 5 항에 있어서,

상기 제1 송신 동작에서 상기 제1 데이터 핀을 통해 출력되는 상기 제1 데이터는 상기 제1 데이터 와이어 및 상기 제3 데이터 핀을 거쳐 상기 제1 슬레이브 칩으로 전송되고,

상기 제1 수신 동작에서 상기 제2 데이터 핀을 통해 출력되는 상기 제2 데이터는 상기 제2 데이터 와이어 및 상기 제4 데이터 핀을 거쳐 상기 마스터 칩으로 전송되는 것을 특징으로 하는 디지털 처리 시스템.

청구항 7

제 1 항에 있어서,

상기 제1 송신 동작에서 상기 제1 데이터를 전송하는 제1 전송 속도와 상기 제1 수신 동작에서 상기 제2 데이터를 전송하는 제2 전송 속도는 서로 다른 것을 특징으로 하는 디지털 처리 시스템.

청구항 8

제 7 항에 있어서,

상기 제2 전송 속도는 상기 제1 전송 속도보다 느린 것을 특징으로 하는 디지털 처리 시스템.

청구항 9

제 1 항에 있어서,

상기 마스터 칩과 상기 제1 슬레이브 칩은 동일한 하나의 인쇄 회로 기판(printed circuit board; PCB) 상에 장착되는 것을 특징으로 하는 디지털 처리 시스템.

청구항 10

제 1 항에 있어서,

상기 제1 클럭 핀과 상기 제2 클럭 핀을 연결하는 클럭 와이어를 더 포함하고,

상기 제1 송신 동작에서 상기 제1 클럭 핀을 통해 출력되는 상기 제1 클럭 신호는 상기 클럭 와이어 및 상기 제2 클럭 핀을 거쳐 상기 제1 슬레이브 칩으로 전송되는 것을 특징으로 하는 디지털 처리 시스템.

청구항 11

제 10 항에 있어서,

상기 제1 슬레이브 칩은 상기 제2 클럭 핀을 통해 수신되는 상기 제1 클럭 신호에 기초하여 동작하는 것을 특징으로 하는 디지털 처리 시스템.

청구항 12

제 11 항에 있어서,

상기 제1 슬레이브 칩은 상기 제1 클럭 신호를 분주하여 분주된 클럭 신호를 발생하고, 상기 분주된 클럭 신호에 기초하여 상기 제1 데이터의 전송 속도보다 느린 전송 속도로 상기 제2 데이터를 전송하며,

상기 마스터 칩은 상기 제1 클럭 신호에 기초하여 상기 제2 데이터를 샘플링하는 것을 특징으로 하는 디지털 처리 시스템.

청구항 13

제 1 항에 있어서,

상기 마스터 칩은 제3 클럭 핀 및 제3 데이터 핀을 더 포함하고,

제4 클럭 핀 및 제4 데이터 핀을 포함하는 제2 슬레이브 칩을 더 포함하고,

상기 마스터 칩에서 상기 제2 슬레이브 칩으로 제3 데이터를 전송하는 제2 송신 동작은, 상기 제3 클럭 핀을 통해 출력되는 제2 클럭 신호와 상기 제3 데이터 핀을 통해 출력되는 상기 제3 데이터가 함께 제공되고 상기 제3

데이터를 상기 제2 클럭 신호에 동기시켜 전송하는 상기 동기 방식에 기초하여 수행되며,

상기 제2 슬레이브 칩에서 상기 마스터 칩으로 제4 데이터를 전송하는 제2 수신 동작은, 상기 제4 데이터 핀을 통해 출력되는 상기 제4 데이터를 상기 제2 클럭 신호와 상관없이 전송하는 상기 비동기 방식에 기초하여 수행되는 것을 특징으로 하는 디지털 처리 시스템.

청구항 14

제 1 항에 있어서,

기준 클럭 신호를 발생하는 클럭 소스를 더 포함하며,

상기 마스터 칩은 상기 기준 클럭 신호에 기초하여 상기 제1 클럭 신호를 발생하는 것을 특징으로 하는 디지털 처리 시스템.

청구항 15

적어도 하나의 슬레이브 칩과 통신하는 마스터 칩으로서,

상기 마스터 칩이 상기 적어도 하나의 슬레이브 칩으로 제1 데이터를 전송하는 송신 동작에서, 제1 클럭 신호를 출력하는 제1 클럭 핀; 및

상기 송신 동작에서 상기 제1 데이터를 출력하는 제1 데이터 핀을 포함하고,

상기 송신 동작은, 상기 제1 클럭 신호와 상기 제1 데이터가 함께 제공되고 상기 제1 데이터를 상기 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여 수행되며,

상기 마스터 칩이 상기 적어도 하나의 슬레이브 칩으로부터 제2 데이터를 전송 받는 수신 동작은, 상기 제2 데이터가 상기 제1 클럭 신호와 상관없이 전송되는 비동기(asynchronous) 방식에 기초하여 수행되고,

상기 수신 동작은, 상기 송신 동작에서 전송된 상기 제1 데이터가 명령(command)을 포함하는 경우에 수행되며,

상기 수신 동작에서, 상기 제2 데이터는 상기 제1 클럭 신호의 상승 에지 및 하강 에지에 동기시키지 않고 전송되는 마스터 칩.

청구항 16

제 15 항에 있어서,

하나의 데이터 와이어를 통해 상기 제1 데이터 핀과 상기 적어도 하나의 슬레이브 칩의 데이터 핀이 서로 연결되며,

상기 수신 동작에서 상기 제2 데이터는 상기 제1 데이터 핀을 통해 수신되는 것을 특징으로 하는 마스터 칩.

청구항 17

제 15 항에 있어서,

기준 클럭 신호에 기초하여 상기 제1 클럭 신호를 발생하는 클럭 발생 회로;

상기 송신 동작에서 상기 제1 클럭 신호에 동기화하여 상기 제1 데이터를 출력하는 송신 동기화 회로; 및

상기 수신 동작에서 상기 제1 클럭 신호에 기초하여 상기 제2 데이터를 샘플링하는 데이터 복원 회로를 포함하는 것을 특징으로 하는 마스터 칩.

청구항 18

제1 클럭 핀 및 제1 데이터 핀을 포함하는 마스터 칩과, 제2 클럭 핀 및 제2 데이터 핀을 포함하는 슬레이브 칩 사이에 수행되는 디지털 처리 방법으로서,

상기 제1 클럭 핀을 통해 출력되는 제1 클럭 신호와 상기 제1 데이터 핀을 통해 출력되는 제1 데이터가 함께 제공되고 상기 제1 데이터를 상기 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여, 상기 마스터 칩에서 상기 슬레이브 칩으로 상기 제1 데이터를 전송하는 송신 동작을 수행하는 단계; 및

상기 제2 데이터 핀을 통해 출력되는 제2 데이터를 상기 제1 클럭 신호와 상관없이 전송하는 비동기(asynchronous) 방식에 기초하여, 상기 슬레이브 칩에서 상기 마스터 칩으로 상기 제2 데이터를 전송하는 수신 동작을 수행하는 단계를 포함하고,

상기 수신 동작은, 상기 송신 동작에서 전송된 상기 제1 데이터가 명령(command)을 포함하는 경우에 수행되며, 상기 수신 동작에서, 상기 제2 데이터는 상기 제1 클럭 신호의 상승 에지 및 하강 에지에 동기시키지 않고 전송되는 디지털 처리 방법.

청구항 19

제 18 항에 있어서, 상기 송신 동작을 수행하는 단계는,
 상기 마스터 칩이 기준 클럭 신호에 기초하여 상기 제1 클럭 신호를 발생하는 단계;
 상기 마스터 칩이 상기 제1 데이터를 상기 제1 클럭 신호에 동기화시키는 단계;
 상기 마스터 칩에서 상기 슬레이브 칩으로 상기 제1 클럭 신호와 상기 제1 데이터를 동시에 전송하는 단계; 및
 상기 슬레이브 칩이 상기 제1 클럭 신호에 기초하여 상기 제1 데이터를 수신하는 단계를 포함하는 것을 특징으로 하는 디지털 처리 방법.

청구항 20

제 19 항에 있어서, 상기 수신 동작을 수행하는 단계는,
 상기 슬레이브 칩이 상기 수신된 제1 클럭 신호에 기초하여 상기 제2 데이터의 전송 속도를 상기 제1 데이터의 전송 속도보다 느리게 설정하는 단계;
 상기 슬레이브 칩에서 상기 마스터 칩으로 상기 제2 데이터를 전송하는 단계; 및
 상기 마스터 칩이 상기 제1 클럭 신호를 기초로 수신된 상기 제2 데이터를 샘플링하여 상기 제2 데이터에 포함된 데이터 정보를 복원하는 단계를 포함하는 것을 특징으로 하는 디지털 처리 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서, 더욱 상세하게는 동기식 및 비동기식 혼합 방식의 디지털 인터페이스를 포함하는 장치, 상기 장치를 포함하는 디지털 처리 시스템 및, 상기 장치와 상기 디지털 처리 시스템에 의해 수행되는 디지털 처리 방법에 관한 것이다.

배경 기술

[0002] 전자통신(telecommunication) 또는 컴퓨터 과학(computer science)에서, 디지털 인터페이스(digital interface)는 하나 또는 여러 개의 통신 채널 또는 컴퓨터 버스를 통해 데이터를 전송하는 과정을 의미한다. 또한, 많은 통신 시스템들은 동일한 인쇄 회로 기판(printed circuit board; PCB) 상에서 두 개 또는 그 이상의 집적 회로들을 접속하기 위해 설계된다. 이 때, 통신 성능을 향상시키기 위해 세트(set) 또는 칩 별로 트레이닝(training) 동작을 수행하거나 특성을 교정(calibration)하는 동작을 수행할 수 있으나, 이러한 동작들을 수행하기 위해서는 회로 구성이 복잡해지는 문제가 있었다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 상대적으로 간단한 구조로 구현될 수 있도록 동기식 및 비동기식 혼합 방식의 디지털 인터페이스를 포함하는 디지털 처리 시스템을 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상대적으로 간단한 구조로 구현될 수 있도록 동기식 및 비동기식 혼합 방식의 디지털 인

터페이스를 포함하는 마스터 칩을 제공하는 것이다.

[0005] 본 발명의 또 다른 목적은 상기 디지털 처리 시스템 및/또는 상기 마스터 칩에 의해 수행되는 디지털 처리 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 디지털 처리 시스템은 마스터 칩 및 제1 슬레이브 칩을 포함한다. 상기 마스터 칩은 제1 클럭 핀 및 제1 데이터 핀을 포함한다. 상기 제1 슬레이브 칩은 제2 클럭 핀 및 제2 데이터 핀을 포함한다. 상기 마스터 칩에서 상기 제1 슬레이브 칩으로 제1 데이터를 전송하는 제1 송신 동작은, 상기 제1 클럭 핀을 통해 출력되는 제1 클럭 신호와 상기 제1 데이터 핀을 통해 출력되는 상기 제1 데이터가 함께 제공되고 상기 제1 데이터를 상기 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여 수행된다. 상기 제1 슬레이브 칩에서 상기 마스터 칩으로 제2 데이터를 전송하는 제1 수신 동작은, 상기 제2 데이터 핀을 통해 출력되는 상기 제2 데이터를 상기 제1 클럭 신호와 상관없이 전송하는 비동기(asynchronous) 방식에 기초하여 수행된다.

[0007] 상기 다른 목적을 달성하기 위해, 본 발명의 실시예들에 따른 적어도 하나의 슬레이브 칩과 통신하는 마스터 칩은 제1 클럭 핀 및 제1 데이터 핀을 포함한다. 상기 제1 클럭 핀은 상기 마스터 칩이 상기 적어도 하나의 슬레이브 칩으로 제1 데이터를 전송하는 송신 동작에서, 제1 클럭 신호를 출력한다. 상기 제1 데이터 핀은 상기 송신 동작에서 상기 제1 데이터를 출력한다. 상기 송신 동작은, 상기 제1 클럭 신호와 상기 제1 데이터가 함께 제공되고 상기 제1 데이터를 상기 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여 수행된다. 상기 마스터 칩이 상기 적어도 하나의 슬레이브 칩으로부터 제2 데이터를 전송 받는 수신 동작은, 상기 제2 데이터가 상기 제1 클럭 신호와 상관없이 전송되는 비동기(asynchronous) 방식에 기초하여 수행된다.

[0008] 상기 또 다른 목적을 달성하기 위해, 본 발명의 실시예들에 따른 디지털 처리 방법은, 제1 클럭 핀 및 제1 데이터 핀을 포함하는 마스터 칩과, 제2 클럭 핀 및 제2 데이터 핀을 포함하는 슬레이브 칩 사이에 수행된다. 상기 제1 클럭 핀을 통해 출력되는 제1 클럭 신호와 상기 제1 데이터 핀을 통해 출력되는 제1 데이터가 함께 제공되고 상기 제1 데이터를 상기 제1 클럭 신호에 동기시켜 전송하는 동기(synchronous) 방식에 기초하여, 상기 마스터 칩에서 상기 슬레이브 칩으로 상기 제1 데이터를 전송하는 송신 동작을 수행한다. 상기 제2 데이터 핀을 통해 출력되는 제2 데이터를 상기 제1 클럭 신호와 상관없이 전송하는 비동기(asynchronous) 방식에 기초하여, 상기 슬레이브 칩에서 상기 마스터 칩으로 상기 제2 데이터를 전송하는 수신 동작을 수행한다.

발명의 효과

[0009] 상기와 같은 본 발명의 실시예들에 따른 마스터 칩, 이를 포함하는 디지털 처리 시스템 및 이들에 의해 수행되는 디지털 처리 방법은, 동기식 및 비동기식 혼합 방식의 디지털 인터페이스를 포함할 수 있다. 마스터 칩에서 슬레이브 칩으로 데이터를 보내는 송신 동작(또는 라이트 동작)을 동기 방식에 기초하여 수행함으로써, 상대적으로 빠른 속도로 데이터를 전송할 수 있다. 슬레이브 칩에서 마스터 칩으로 데이터를 보내는 수신 동작(또는 리드 동작)을 비동기 방식에 기초하여 수행함으로써, 슬레이브 칩이 마스터 칩의 명령에 반응하여 데이터를 전송하는 시간을 유연하게(flexible)할 수 있어, 다양한 종류의 슬레이브 칩들을 지원할 수 있다.

[0010] 또한, 마스터 칩 및 슬레이브 칩이 각각 하나의 데이터 핀을 포함하고, 상기 수신 동작의 속도를 상기 송신 동작의 속도보다 느리게 설정하는 경우에, 동일한 송신 성능을 확보하면서도 마스터 칩 및 슬레이브 칩의 크기가 줄어들고 구조가 간단해질 수 있으며, 전력 소모가 감소될 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예들에 따른 디지털 처리 시스템을 나타내는 블록도이다.
 도 2는 도 1의 디지털 처리 시스템에 포함되는 마스터 칩의 일 예를 나타내는 블록도이다.
 도 3a 및 3b는 도 1의 디지털 처리 시스템에 포함되는 슬레이브 칩의 일 예를 나타내는 블록도들이다.
 도 4는 도 1의 디지털 처리 시스템의 동작을 설명하기 위한 타이밍도이다.
 도 5, 6 및 7은 본 발명의 실시예들에 따른 디지털 처리 시스템을 나타내는 블록도들이다.
 도 8은 본 발명의 실시예들에 따른 디지털 처리 방법을 나타내는 순서도이다.

도 9는 도 8의 송신 동작을 수행하는 단계의 일 예를 나타내는 순서도이다.

도 10은 도 8의 수신 동작을 수행하는 단계의 일 예를 나타내는 순서도이다.

도 11은 본 발명의 실시예들에 따른 디지털 처리 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0013] 도 1은 본 발명의 실시예들에 따른 디지털 처리 시스템을 나타내는 블록도이다.
- [0014] 도 1을 참조하면, 디지털 처리 시스템(100)은 마스터 칩(200) 및 슬레이브 칩(300)을 포함한다. 디지털 처리 시스템(100)은 클럭 와이어(wire)(122), 데이터 와이어(124), 클럭 소스(130) 및 기판(board)(110)를 더 포함할 수 있다.
- [0015] 마스터 칩(200) 및 슬레이브 칩(300)은 각각 하나의 클럭 핀 및 하나의 데이터 핀을 포함한다. 구체적으로, 마스터 칩(200)은 제1 클럭 핀(202) 및 제1 데이터 핀(204)을 포함하고, 슬레이브 칩(300)은 제2 클럭 핀(302) 및 제2 데이터 핀(304)을 포함한다. 예를 들어, 핀은 접촉 패드(contact pad) 또는 접촉 핀(contact pin)을 의미할 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0016] 클럭 와이어(122)는 제1 클럭 핀(202)과 제2 클럭 핀(302)을 전기적으로 연결하는 싱글(single) 와이어일 수 있고, 데이터 와이어(124)는 제1 데이터 핀(204)과 제2 데이터 핀(304)을 전기적으로 연결하는 싱글 와이어일 수 있다. 클럭 와이어(122)는 클럭 신호를 전송할 수 있는 단방향(unidirectional) 또는 양방향(bidirectional)의 신호 라인을 나타낼 수 있다. 데이터 와이어(124)는 디지털 비트스트림(bitstream), 즉 비트들의 시퀀스(sequence)를 전송할 수 있는 양방향의 디지털 인터페이스를 나타낼 수 있다. 예를 들어, 싱글 와이어는 전기적 전송 라인일 수 있고, 인쇄 회로 기판(printed circuit board; PCB) 기술을 이용하여 제조될 수 있는 마이크로 스트립(microstrip)으로 구현될 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0017] 본 발명의 실시예들에 따른 디지털 처리 시스템(100)은, 마스터 칩(200)에서 슬레이브 칩(300)으로 데이터를 보내는 송신(transmission 또는 TX) 동작과, 슬레이브 칩(300)에서 마스터 칩(200)으로 데이터를 보내는 수신(reception 또는 RX) 동작을 수행한다. 상기 송신 동작 및 상기 수신 동작은 마스터 칩(200)을 기준으로 하여 정의될 수 있다. 상기 송신 동작은 라이트(write) 동작 또는 라이트 통신으로 부를 수 있고, 상기 수신 동작은 리드(read) 동작 또는 리드 통신으로 부를 수 있다.
- [0018] 상기 송신 동작은 동기(synchronous) 방식에 기초하여 수행되고, 상기 수신 동작은 비동기(asynchronous) 방식에 기초하여 수행된다.
- [0019] 다시 말하면, 상기 송신 동작이 수행되는 경우에, 제1 클럭 핀(202)을 통해 출력되는 제1 클럭 신호(CLK1)와 제1 데이터 핀(204)을 통해 출력되는 제1 데이터(TDAT1)가 함께 제공되고, 제1 데이터(TDAT1)를 제1 클럭 신호(CLK1)에 동기시켜 전송한다. 제1 데이터(TDAT1)를 제1 클럭 신호(CLK1)에 동기시킨다는 것은, 제1 클럭 신호(CLK1)의 상승 에지(rising edge) 및/또는 하강 에지(falling edge)에 제1 데이터(TDAT1)의 각 비트의 중심(center) 및/또는 경계(boundary)를 일치시키는 것을 나타낼 수 있다.
- [0020] 상기 수신 동작이 수행되는 경우에, 제2 데이터 핀(304)을 통해 출력되는 제2 데이터(RDAT1)를 제1 클럭 신호(CLK1)와 상관없이 전송한다. 제2 데이터(RDAT1)를 제1 클럭 신호(CLK1)와 상관없이 전송한다는 것은, 제2 데이터(RDAT1)를 제1 클럭 신호(CLK1)와 동기시키지 않고 전송하는 것을 나타내며, 제1 클럭 신호(CLK1)의 상승 에지 및/또는 하강 에지에 제2 데이터(RDAT1)의 각 비트의 중심 및/또는 경계를 일치시키지 않는 것을 나타낼 수 있다.
- [0021] 상기 동기 방식 및 상기 비동기 방식은 마스터 칩(200)을 기준으로 하여 판단될 수 있다. 구체적으로, 상기 송신 동작이 상기 동기 방식에 기초하여 수행된다는 것은, 마스터 칩(200)에서 출력되는 제1 데이터(TDAT1)를 마스터 칩(200) 내에서 발생된 제1 클럭 신호(CLK1)와 동기시키는 것을 나타낼 수 있다. 상기 수신 동작이 상기 비동기 방식에 기초하여 수행된다는 것은, 마스터 칩(200)에서 수신되는 제2 데이터(RDAT1)가 마스터 칩(200) 내에서 발생된 제1 클럭 신호(CLK1)와 동기되지 않는 것을 나타낼 수 있다.
- [0022] 일 실시예에서, 상기 송신 동작 및 상기 수신 동작은 동일한 하나의 디지털 인터페이스에 기초하여 수행될 수

있다. 다시 말하면, 상기 송신 동작은 상기 동기 방식에 기초하여 수행되고 상기 수신 동작은 상기 비동기 방식에 기초하여 수행되는 점에서 서로 상이하지만, 상기 송신 동작 및 상기 수신 동작은 기본적으로는 이종 인터페이스가 아닌 동종의 인터페이스, 즉 동일한 프로토콜(protocol)을 따르는 동일한 인터페이스에 기초하여 수행될 수 있다.

- [0023] 도 1의 실시예에서, 상기 송신 동작 및 상기 수신 동작은 하나의 데이터 와이어(124)를 통해 수행될 수 있다. 상술한 것처럼, 제1 데이터 핀(204)과 제2 데이터 핀(304)은 데이터 와이어(124)에 의해 연결될 수 있다. 상기 송신 동작에서 제1 데이터 핀(204)을 통해 출력되는 제1 데이터(TDAT1)는 데이터 와이어(124) 및 제2 데이터 핀(304)을 거쳐 슬레이브 칩(300)으로 전송될 수 있고, 상기 수신 동작에서 제2 데이터 핀(304)을 통해 출력되는 제2 데이터(RDAT1)는 데이터 와이어(124) 및 제1 데이터 핀(204)을 거쳐 마스터 칩(200)으로 전송될 수 있다. 한편, 상기 송신 동작에서 제1 클럭 핀(202)을 통해 출력되는 제1 클럭 신호(CLK1)는 클럭 와이어(122) 및 제2 클럭 핀(302)을 거쳐 슬레이브 칩(300)으로 전송될 수 있고, 상기 수신 동작에서 제1 클럭 신호(CLK1)는 어느 방향으로도 전송되지 않을 수 있다.
- [0024] 상술한 것처럼, 상기 송신 동작 및 상기 수신 동작이 하나의 데이터 와이어(124)를 통해 수행되는 경우에, 마스터 칩(200) 및 슬레이브 칩(300)에 포함되는 핀의 개수를 줄일 수 있다. 마스터 칩(200) 및 슬레이브 칩(300)에 포함되는 핀의 개수가 감소함에 따라, 마스터 칩(200) 및 슬레이브 칩(300)의 크기가 감소할 수 있고, 마스터 칩(200) 및 슬레이브 칩(300)에서 소모되는 전력도 감소할 수 있으며, 마스터 칩(200) 및 슬레이브 칩(300)을 제조하는 비용(cost) 또한 감소할 수 있다.
- [0025] 다시 말하면, 마스터 칩(200) 및 슬레이브 칩(300)이 더 적은 실리콘(silicon) 면적에 구현될 수 있으므로, 마스터 칩(200) 및 슬레이브 칩(300)의 가격 경쟁력이 증가하는 효과가 있다. 예를 들어, 마스터 칩(200) 및 슬레이브 칩(300)은 집적 회로(integrated circuit; IC), 시스템 온 칩(system on chip; SOC) 또는 패키지(package)로 구현될 수 있다.
- [0026] 상기 송신 동작 및 상기 수신 동작을 수행하기 위한 마스터 칩(200) 및 슬레이브 칩(300)의 구조에 대해서는 도 2, 3a 및 3b를 참조하여 상세하게 후술하도록 하고, 상기 동기 방식, 상기 비동기 방식 및 상기 동일한 인터페이스에 대해서는 도 4를 참조하여 상세하게 후술하도록 한다.
- [0027] 일 실시예에서, 마스터 칩(200)은 능동적으로 슬레이브 칩(300)을 제어하는 컨트롤러 회로 또는 프로세서일 수 있다. 예를 들어, 마스터 칩(200)은 베이스밴드 모뎀 프로세서 칩(baseband modem processor chip), 모뎀의 기능과 애플리케이션 프로세서(application processor; AP)의 기능을 함께 수행할 수 있는 칩, AP, 또는 모바일 AP로 구현될 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0028] 일 실시예에서, 슬레이브 칩(300)은 마스터 칩(200)의 제어에 의해 수동적으로 동작하는 임의의 칩일 수 있다. 예를 들어, 슬레이브 칩(300)은 무선 IC(radio frequency integrated circuit; RFIC), 연결 칩(connectivity chip), 센서, 지문 인식(fingerprint recognition) 칩, 전력 관리 IC(power management IC; PMIC), 전력 공급 모듈(power supply module), 디지털 디스플레이 인터페이스(digital display interface 또는 display driver IC; DDI) 칩, 디스플레이 드라이버(display driver) IC, 또는 터치 스크린 컨트롤러(touch screen controller)로 구현될 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0029] 일 실시예에서, 상기 RFIC는 적어도 하나의 연결 칩을 포함할 수 있다. 예를 들어, 상기 연결 칩은 이동 통신(cellular)을 위한 칩, WLAN(wireless local area network) 통신을 위한 칩, 블루투스(Bluetooth; BT) 통신을 위한 칩, GNSS(global navigation satellite system) 통신을 위한 칩, FM(frequency modulation) 오디오/비디오 신호를 처리하기 위한 칩, NFC(near field communication)를 위한 칩, 및/또는 Wi-Fi 통신을 위한 칩을 포함할 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0030] 일 실시예에서, 마스터 칩(200) 및 슬레이브 칩(300)은 동일한 하나의 보드(110) 상에 장착될 수 있다. 예를 들어, 보드(110)는 PCB 또는 연성 인쇄 회로 기판(flexible PCB; FPCB)을 포함할 수 있으나, 이에 한정되는 것은 아닐 수 있다. 이 경우, 디지털 처리 시스템(100)은 칩 레벨 및/또는 보드 레벨에서 디지털 데이터를 전송 및 처리하는 시스템일 수 있다.
- [0031] 일 실시예에서, 디지털 처리 시스템(100)은 PC(personal computer), 노트북(laptop), 휴대폰(mobile phone), 스마트폰(smart phone), 태블릿(tablet) PC, MP3 플레이어, PDA(personal digital assistant), EDA(enterprise digital assistant), PMP(portable multimedia player), 디지털 카메라(digital camera), 음악 재생기(music player), 휴대용 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블

(wearable) 기기, IoT(internet of things;) 기기, IoE(internet of everything;) 기기, e-북(e-book), VR(virtual reality) 기기, AR(augmented reality) 기기 등과 같은 임의의 전자 시스템으로 구현될 수 있다.

- [0032] 클럭 소스(130)는 기준 클럭 신호(RCLK)를 발생할 수 있다. 기준 클럭 신호(RCLK)는 마스터 칩(200)에 제공될 수 있으며, 마스터 칩(200)은 기준 클럭 신호(RCLK)에 기초하여 제1 클럭 신호(CLK1)를 발생할 수 있다. 예를 들어, 클럭 소스(130)는 링 오실레이터, RC 오실레이터, 크리스탈 오실레이터 또는 온도 보상 크리스탈 오실레이터를 포함할 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0033] 도 2는 도 1의 디지털 처리 시스템에 포함되는 마스터 칩의 일 예를 나타내는 블록도이다. 도 3a 및 3b는 도 1의 디지털 처리 시스템에 포함되는 슬레이브 칩의 일 예를 나타내는 블록도들이다.
- [0034] 도 1, 2, 3a 및 3b를 참조하면, 마스터 칩(200)은 제1 클럭 핀(202) 및 제1 데이터 핀(204)을 포함하며, 클럭 발생 회로(210), 송신 동기화 회로(220), 제1 입출력 회로(230), 제1 방향 제어 회로(240), 데이터 복원 회로(250), 제1 송신 경로(260), 제1 수신 경로(270) 및 제1 버스(280)를 더 포함할 수 있다.
- [0035] 도 3a의 슬레이브 칩(300)은 제2 클럭 핀(302) 및 제2 데이터 핀(304)을 포함하며, 제2 입출력 회로(310), 수신 회로(320), 제2 방향 제어 회로(330), 송신 회로(340), 제2 수신 경로(350), 제2 송신 경로(360) 및 제2 버스(370)를 더 포함할 수 있다. 송신 회로(340)가 송신 회로(340a)로 대체되는 것을 제외하면, 도 3b의 슬레이브 칩(300)은 도 3a의 슬레이브 칩(300)과 실질적으로 동일할 수 있다.
- [0036] 이하에서는 디지털 처리 시스템(100)의 동작에 따른 마스터 칩(200)과 슬레이브 칩(300)의 각 구성요소의 동작을 상세하게 설명하도록 한다.
- [0037] 먼저, 마스터 칩(200)에서 슬레이브 칩(300)으로 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)를 전송하는 상기 송신 동작(또는 라이트 동작)을 구체적으로 설명하면, 클럭 발생 회로(210)는 기준 클럭 신호(RCLK)에 기초하여 제1 클럭 신호(CLK1)를 발생할 수 있다. 예를 들어, 클럭 발생 회로(210)는 위상 고정 루프(phase locked loop; PLL) 회로 또는 지연 고정 루프(delay locked loop; DLL) 회로를 포함할 수 있으나, 이에 한정되는 것은 아닐 수 있다.
- [0038] 송신 동기화 회로(220)는 상기 송신 동작 시에 전송하고자 하는 데이터(TD)를 제1 클럭 신호(CLK1)에 동기화시킬 수 있다. 예를 들어, 동기화 회로(220)는 제1 플립플롭(222)을 포함할 수 있다. 제1 플립플롭(222)은 제1 클럭 신호(CLK1)를 수신하는 클럭 입력 단자, 데이터(TD)를 수신하는 데이터 입력 단자(D), 및 제1 클럭 신호(CLK1)에 동기화된 제1 데이터(TDAT1)를 출력하는 데이터 출력 단자(Q)를 포함할 수 있다. 예를 들어, 제1 데이터(TDAT1)는 제1 클럭 신호(CLK1)의 각 상승 에지 또는 각 하강 에지에 동기화될 수 있다.
- [0039] 한편, 데이터(TD)는 마스터 칩(200)에 포함되는 제1 메모리 장치(미도시) 및/또는 제1 데이터 처리 장치(미도시)로부터 제공될 수 있으며, 제1 버스(280) 및 제1 송신 경로(260)를 통해 송신 동기화 회로(220)에 제공될 수 있다.
- [0040] 제1 입출력 회로(230)는 제1 출력 드라이버(232) 및 제1 입력 버퍼(234)를 포함할 수 있다. 상기 송신 동작 시에 제1 출력 드라이버(232)는 제1 데이터(TDAT1)에 포함된 각 비트(또는 각 비트 값)를 제1 데이터 핀(204)으로 드라이빙할 수 있다.
- [0041] 제1 방향 제어 회로(240)는 방향 제어 신호(DCON)에 기초하여 제1 출력 드라이버(232) 및 제1 입력 버퍼(234) 중 하나를 활성화하고 다른 하나를 비활성화할 수 있다. 예를 들어, 방향 제어 신호(DCON)는 1비트의 신호일 수 있다. 상기 송신 동작 시에 방향 제어 신호(DCON)의 값은 "1"로 설정될 수 있고, 제1 방향 제어 회로(240)는 방향 제어 신호(DCON)에 기초하여 제1 데이터(TDAT1)를 출력하도록 제1 출력 드라이버(232)를 활성화시킬 수 있으며, 제1 입력 버퍼(234)를 비활성화시킬 수 있다. 예를 들어, "1"은 하이 레벨 또는 로직 "1"을 나타낼 수 있다.
- [0042] 상술한 동작에 따라, 마스터 칩(200)은 제1 클럭 핀(202) 및 제1 데이터 핀(204)을 통해 제1 클럭 신호(CLK1) 및 제1 클럭 신호(CLK1)에 동기화된 제1 데이터(TDAT1)를 함께 출력할 수 있다. 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)는 클럭 와이어(122) 및 데이터 와이어(124)를 통해 슬레이브 칩(300)으로 전송될 수 있다.
- [0043] 슬레이브 칩(300)은 제2 클럭 핀(302) 및 제2 데이터 핀(304)을 통해 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)를 수신할 수 있다.
- [0044] 제2 입출력 회로(310)는 제2 입력 버퍼(312) 및 제2 출력 드라이버(314)를 포함할 수 있다. 상기 송신 동작 시

에 제2 입력 버퍼(312)는 수신된 제1 데이터(TDAT1)를 버퍼링하고, 버퍼링된 제1 데이터(TDAT1)에 포함된 각 비트(또는 각 비트 값)를 수신 회로(320)로 전송할 수 있다.

- [0045] 제2 방향 제어 회로(330)는 방향 제어 신호(DCON)에 기초하여 제2 입력 버퍼(312) 및 제2 출력 드라이버(314) 중 하나를 활성화하고 다른 하나를 비활성화할 수 있다. 상술한 것처럼, 상기 송신 동작 시에 방향 제어 신호(DCON)의 값은 "1"로 설정될 수 있고, 제2 방향 제어 회로(330)는 방향 제어 신호(DCON)에 기초하여 제1 데이터(TDAT1)를 입력받도록 제2 입력 버퍼(312)를 활성화시킬 수 있으며, 제2 출력 드라이버(314)를 비활성화시킬 수 있다.
- [0046] 수신 회로(320)는 슬레이브 칩(300)에서 수신된 제1 클럭 신호(CLK1') 및 제1 데이터(TDAT1)에 기초하여 데이터(TD)를 획득할 수 있다. 예를 들어, 수신 회로(320)는 제2 플립플롭(322)을 포함할 수 있다. 제2 플립플롭(322)은 제1 클럭 신호(CLK1')를 수신하는 클럭 입력 단자, 제1 데이터(TDAT1)를 수신하는 데이터 입력 단자(D), 및 데이터(TD)를 출력하는 데이터 출력 단자(Q)를 포함할 수 있다.
- [0047] 한편, 데이터(TD)는 제2 수신 경로(350) 및 제2 버스(370)를 통해 슬레이브 칩(300)에 포함되는 제2 메모리 장치(미도시) 및/또는 제2 데이터 처리 장치(미도시)에 제공될 수 있다.
- [0048] 정리하면, 상기 송신 동작 시에는 마스터 칩(200)의 제1 송신 경로(260), 송신 동기화 회로(220) 및 제1 출력 드라이버(232)가 활성화될 수 있고, 슬레이브 칩(300)의 제2 입력 버퍼(312), 수신 회로(320) 및 제2 수신 경로(350)가 활성화될 수 있다.
- [0049] 다음에, 슬레이브 칩(300)에서 마스터 칩(200)으로 제2 데이터(RDAT1)를 전송하는 상기 수신 동작(또는 리드 동작)을 구체적으로 설명하면, 송신 회로(340 또는 340a)는 상기 송신 동작 시에 수신된 제1 클럭 신호(CLK1')에 기초하여, 상기 수신 동작 시에 전송하고자 하는 데이터(RD)의 전송 속도를 설정할 수 있다. 예를 들어, 도 3a의 송신 회로(340)는 제3 플립플롭(342)을 포함할 수 있다. 제3 플립플롭(342)은 제1 클럭 신호(CLK1')를 수신하는 클럭 입력 단자, 데이터(RD)를 수신하는 데이터 입력 단자(D), 및 제2 데이터(RDAT1)를 출력하는 데이터 출력 단자(Q)를 포함할 수 있다. 다른 예에서, 도 3b의 송신 회로(340a)는 제3 플립플롭(342a) 및 클럭 분주기(344a)를 포함할 수 있다. 클럭 분주기(344a)는 제1 클럭 신호(CLK1')를 N(N은 2 이상의 자연수)분주하여 분주된 클럭 신호를 발생할 수 있다. 제3 플립플롭(342a)은 상기 분주된 클럭 신호를 수신하는 클럭 입력 단자, 데이터(RD)를 수신하는 데이터 입력 단자(D), 및 제2 데이터(RDAT1)를 출력하는 데이터 출력 단자(Q)를 포함할 수 있다.
- [0050] 일 실시예에서, 송신 회로(340 또는 340a)는 제2 데이터(RDAT1)의 전송 속도(data rate)를 제1 데이터(TDAT1)의 전송 속도보다 느리게 설정할 수 있다. 도 3a의 예에서, 제2 데이터(RDAT1)의 전송 속도를 제1 데이터(TDAT1)의 전송 속도보다 느리게 설정하도록, 제2 데이터(RDAT1)는 제1 클럭 신호(CLK1')의 일부 상승 에지 또는 일부 하강 에지에 동기화될 수 있다. 도 3b의 예에서, 제2 데이터(RDAT1)의 전송 속도를 제1 데이터(TDAT1)의 전송 속도보다 느리게 설정하도록, 제2 데이터(RDAT1)는 상기 분주된 클럭 신호의 각 상승 에지 또는 각 하강 에지에 동기화될 수 있다.
- [0051] 한편, 데이터(RD)는 슬레이브 칩(300)에 포함되는 상기 제2 메모리 장치 및/또는 상기 제2 데이터 처리 장치로부터 제공될 수 있으며, 제2 버스(370) 및 제2 송신 경로(360)를 통해 송신 회로(340 또는 340a)에 제공될 수 있다. 이 때, 제2 송신 경로(360) 역시 제1 클럭 신호(CLK1')에 기초하여 동작할 수 있다.
- [0052] 제2 입출력 회로(310)에 포함되는 제2 출력 드라이버(314)는, 상기 수신 동작 시에 제2 데이터(RDAT1)에 포함된 각 비트(또는 각 비트 값)를 제2 데이터 핀(304)으로 드라이빙할 수 있다. 상기 수신 동작 시에 방향 제어 신호(DCON)의 값은 "0"으로 설정될 수 있고, 제2 방향 제어 회로(330)는 방향 제어 신호(DCON)에 기초하여 제2 데이터(RDAT1)를 출력하도록 제2 출력 드라이버(314)를 활성화시킬 수 있으며, 제2 입력 버퍼(312)를 비활성화시킬 수 있다. 예를 들어, "0"은 로우 레벨 또는 로직 "0"을 나타낼 수 있다.
- [0053] 상술한 동작에 따라, 슬레이브 칩(300)은 제2 데이터 핀(304)을 통해 제2 데이터(RDAT1)를 출력할 수 있다. 제2 데이터(RDAT1)는 데이터 와이어(124)를 통해 마스터 칩(200)으로 전송될 수 있다. 제2 데이터(RDAT1)는 제1 클럭 신호(CLK1)와 상관없이(즉, 제1 클럭 신호(CLK1)와 동기시키지 않고) 전송될 수 있으며, 이에 따라 상기 수신 동작 시에 제2 클럭 핀(302) 및 클럭 와이어(122)는 클럭 신호를 전송하지 않을 수 있다.
- [0054] 일 실시예에서, 상술한 것처럼 송신 회로(340 또는 340a) 및 제2 송신 경로(360)는 상기 송신 동작 시에 수신된 제1 클럭 신호(CLK1')에 기초하여 동작할 수 있다. 다시 말하면, 슬레이브 칩(300)은 내부에서 발생된 클럭 신호가 아닌 제2 클럭 핀(302)을 통해 수신되는 제1 클럭 신호(CLK1')에 기초하여 동작할 수 있고, 이에 따라 별

도의 클럭 발생 회로를 포함하지 않을 수 있으며, 칩 크기 및 전력 소모가 감소될 수 있다.

- [0055] 마스터 칩(200)은 제1 데이터 핀(204)을 통해 제2 데이터(RDAT1)를 수신할 수 있다.
- [0056] 제1 입출력 회로(230)에 포함되는 제1 입력 버퍼(234)는, 상기 수신 동작 시에 수신된 제2 데이터(RDAT1)를 버퍼링하고, 버퍼된 제2 데이터(RDAT1)에 포함된 각 비트(또는 각 비트 값)를 데이터 복원 회로(250)로 전송할 수 있다. 상기 수신 동작 시에 방향 제어 신호(DCON)의 값은 "0"으로 설정될 수 있고, 제1 방향 제어 회로(240)는 방향 제어 신호(DCON)에 기초하여 제2 데이터(RDAT1)를 입력받도록 제1 입력 버퍼(234)를 활성화시킬 수 있으며, 제1 출력 드라이버(232)를 비활성화시킬 수 있다.
- [0057] 데이터 복원 회로(250)는 제1 클럭 신호(CLK1)에 기초하여 제2 데이터(RDAT1)를 샘플링하여 데이터(RD)를 획득할 수 있다. 예를 들어, 데이터 복원 회로(250)는 제1 클럭 신호(CLK1)를 오버샘플링 클럭 신호로 사용하여 제2 데이터(RDAT1)를 샘플링할 수 있다.
- [0058] 한편, 데이터(RD)는 제1 수신 경로(270) 및 제1 버스(280)를 통해 마스터 칩(200)에 포함되는 상기 제1 메모리 장치 및/또는 상기 제1 데이터 처리 장치에 제공될 수 있다. 이 때, 제1 수신 경로(270) 역시 제1 클럭 신호(CLK1)에 기초하여 동작할 수 있다.
- [0059] 상술한 것처럼, 상기 수신 동작 시에 슬레이브 칩(300)으로부터 클럭 신호가 전송되지 않을 수 있으므로, 데이터 복원 회로(250) 및 제1 수신 경로(270)는 클럭 발생 회로(210)에서 발생된 제1 클럭 신호(CLK1)에 기초하여 동작할 수 있다.
- [0060] 정리하면, 상기 수신 동작 시에는 슬레이브 칩(300)의 제2 송신 경로(360), 송신 회로(340 또는 340a) 및 제2 출력 드라이버(314)가 활성화될 수 있고, 마스터 칩(200)의 제1 입력 버퍼(234), 데이터 복원 회로(250) 및 제1 수신 경로(270)가 활성화될 수 있다.
- [0061] 도 4는 도 1의 디지털 처리 시스템의 동작을 설명하기 위한 타이밍도이다.
- [0062] 도 4에서, MS는 마스터 칩(200)의 신호들을 나타내고, SS는 슬레이브 칩(300)의 신호들을 나타낸다. CLK1은 마스터 칩(200)의 클럭 발생 회로(210)에서 발생하는 상기 제1 클럭 신호의 파형을 나타내고, CLK1'는 상기 송신 동작 시에 슬레이브 칩(300)에서 수신되는 상기 제1 클럭 신호의 파형을 나타낸다. TDAT1은 상기 송신 동작 시에 마스터 칩(200)에서 출력되는 상기 제1 데이터의 파형을 나타내고, TDAT1'는 상기 송신 동작 시에 슬레이브 칩(300)에서 수신되는 상기 제1 데이터의 파형을 나타낸다. RDAT1은 상기 수신 동작 시에 슬레이브 칩(300)에서 출력되는 상기 제2 데이터의 파형을 나타내고, RDAT1'는 상기 수신 동작 시에 마스터 칩(200)에서 수신되는 상기 제2 데이터의 파형을 나타낸다.
- [0063] 또한 도 4에서, 각 데이터에 포함되는 "S"는 데이터 전송의 시작을 나타내는 시작 패턴이고, "E"는 데이터 전송의 종료를 나타내는 정지 패턴이고, "D1", "D2" 및 "D3"은 각각 데이터 정보를 나타내며, "DC"는 데이터 전송 방향의 전환을 나타낸다.
- [0064] 도 1, 2, 3a, 3b 및 4를 참조하면, 상기 송신 동작 시에 마스터 칩(200)은 제1 클럭 신호(CLK1)와 제1 데이터(TDAT1)를 함께 출력하고, 제1 데이터(TDAT1)를 제1 클럭 신호(CLK1)에 동기시켜 전송한다. 예를 들어, 도 4에 도시된 것처럼, 마스터 칩(200)에서 출력되는 제1 데이터(TDAT1)는 제1 클럭 신호(CLK1)의 상승 에지에 동기화될 수 있다(즉, 동기 방식에 기초하여 전송될 수 있다).
- [0065] 상기 송신 동작 시에 슬레이브 칩(300)은 제1 클럭 신호(CLK1')와 제1 데이터(TDAT1')를 함께 수신한다. 이 때, 와이어들(122, 124)에 의한 지연으로 인하여, 슬레이브 칩(300)에서 수신된 제1 클럭 신호(CLK1')는 마스터 칩(200)에서 출력된 제1 클럭 신호(CLK1)보다 일정 시간(DLY)만큼 지연된 위상을 가질 수 있고, 슬레이브 칩(300)에서 수신된 제1 데이터(TDAT1') 역시 마스터 칩(200)에서 출력된 제1 데이터(TDAT1)보다 일정 시간(DLY)만큼 지연된 위상을 가질 수 있다(도 4의 ①).
- [0066] 일반적으로, 클럭 와이어(122)의 길이와 데이터 와이어(124)의 길이는 실질적으로 동일하거나 그 차이가 무시할 수 있을 정도로 작을 수 있다. 이에 따라, 슬레이브 칩(300)에서 수신된 제1 클럭 신호(CLK1')의 지연량과 제1 데이터(TDAT1')의 지연량은 실질적으로 동일할 수 있으며, 마스터 칩(200)에서 출력되는 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)의 관계와 유사하게, 슬레이브 칩(300)에서 수신된 제1 데이터(TDAT1')는 제1 클럭 신호(CLK1')의 상승 에지에 동기화될 수 있다(도 4의 ③). 따라서, 슬레이브 칩(300)은 클럭 복원(clock recovery) 회로와 같은 상대적으로 복잡한 회로 구성 없이, 제1 클럭 신호(CLK1')에 기초하여 제1 데이터(TDAT1')를 수신

및 복원할 수 있다.

- [0067] 마스터 칩(200)에서 슬레이브 칩(300)으로 전송되는 제1 데이터(TDAT1)에 포함되는 데이터 정보(D1, D2)는, 실제 데이터뿐만 아니라 명령(command)을 포함할 수 있다. 실제 데이터만 전송되는 경우에 슬레이브 칩(300)은 전송된 데이터에 기초하여 동작을 수행하기만 하면 되지만, 명령이 전송되는 경우에 슬레이브 칩(300)은 상기 명령에 기초하여 데이터를 마스터 칩(200)에 전송할 필요가 있을 수 있다. 따라서, 데이터 정보(D1, D2) 중 적어도 하나가 명령에 대응하는 경우에, 마스터 칩(200)에서 슬레이브 칩(300)으로 제1 데이터(TDAT1)가 전송된 이후에, 슬레이브 칩(300)에서 마스터 칩(200)으로 제2 데이터(RDAT1)를 전송하기 위해 데이터 전송 방향의 전환(DC)이 일어난다.
- [0068] 상기 수신 동작 시에 슬레이브 칩(300)은 제2 데이터(RDAT1)를 출력하고, 제2 데이터(RDAT1)를 제1 클럭 신호(CLK1)와 상관없이 전송한다. 예를 들어, 도 4에 도시된 것처럼, 마스터 칩(200)에서 수신되는 제2 데이터(RDAT1')는 마스터 칩(200)에서 발생하는 제1 클럭 신호(CLK1)의 상승 에지 또는 하강 에지에 동기화되지 않을 수 있다(도 4의 ④)(즉, 비동기 방식에 기초하여 전송될 수 있다). 이 때, 데이터 와이어(124)에 의한 지연으로 인하여, 마스터 칩(200)에서 수신되는 제2 데이터(RDAT1')는 슬레이브 칩(300)에서 출력되는 제2 데이터(RDAT1)보다 일정 시간만큼 지연된 위상을 가질 수 있다(도 4의 ②).
- [0069] 다만, 도 1을 참조하여 상술한 것처럼, 상기 비동기 방식은 마스터 칩(200)을 기준으로 하여 판단되는 것일 수 있다. 슬레이브 칩(300)을 기준으로 하였을 때, 슬레이브 칩(300)은 제2 데이터(RDAT1)를 출력하기 위해 제1 클럭 신호(CLK1')를 이용하므로, 슬레이브 칩(300)에서 출력되는 제2 데이터(RDAT1)와 슬레이브 칩(300)에서 이용되는 제1 클럭 신호(CLK1')는 서로 동기화되어 있을 수 있다.
- [0070] 일 실시예에서, 상기 송신 동작에서 제1 데이터(TDAT1)를 전송하는 제1 전송 속도와 상기 수신 동작에서 제2 데이터(RDAT1)를 전송하는 제2 전송 속도는 서로 다를 수 있다. 예를 들어, 상기 제2 전송 속도는 상기 제1 전송 속도보다 느릴 수 있다.
- [0071] 상술한 것처럼, 마스터 칩(200)에서 수신되는 제2 데이터(RDAT1')는 마스터 칩(200)에서 발생하는 제1 클럭 신호(CLK1)와 동기화되지 않으므로, 마스터 칩(200)은 제2 데이터(RDAT1')를 수신 및 복원하기 위해 상대적으로 복잡한 구조의 데이터 복원 회로(예를 들어, 도 2의 250)를 포함하여야 한다. 이 때, 데이터 복원 회로는 데이터의 전송 속도(즉, data rate)가 높을수록 설계가 어려워지므로, 데이터 복원 회로의 구조를 단순화하기 위해 상기 제2 전송 속도를 상기 제1 전송 속도보다 느리게 설정할 수 있다. 또한, 마스터 칩(200)이 슬레이브 칩(300)을 제어하기 위해 데이터를 전송하는 경우가 상대적으로 많으므로, 상기 송신 동작은 상대적으로 빠르게, 그리고 짧은 시간 내에 수행될 필요가 있다. 하지만, 슬레이브 칩(300)이 마스터 칩(200)에 데이터를 전송하는 경우는 상대적으로 적고 실시간 처리를 요구하지 않으므로, 상기 수신 동작은 상대적으로 느리게 수행되어도 무방하며, 따라서 상기 제2 전송 속도를 상기 제1 전송 속도보다 느리게 설정할 수 있다.
- [0072] 구체적으로, 도 4에서는 상기 제2 전송 속도를 상기 제1 전송 속도의 약 1/4로 설정하는 경우, 즉 상기 제1 전송 속도가 상기 제2 전송 속도의 약 4배인 경우를 도시하였다. 상기 송신 동작 시에는 제1 데이터(TDAT1)를 제1 클럭 신호(CLK1)의 각 상승 에지에 동기화하였으며, 하나의 비트의 길이가 제1 클럭 신호(CLK1)의 하나의 주기에 대응할 수 있다. 도 3a의 예에서, 상기 수신 동작 시에 제2 데이터(RDAT1)를 제1 클럭 신호(CLK1')의 각 4*N 번째 상승 에지에 동기화하였으며, 하나의 비트의 길이가 제1 클럭 신호(CLK1')의 네 개의 주기에 대응할 수 있다. 도 3b의 예에서, 상기 수신 동작 시에 제1 클럭 신호(CLK1')를 4분주하여 분주된 클럭 신호를 추가적으로 발생할 수 있으며, 제2 데이터(RDAT1)를 상기 분주된 클럭 신호의 각 상승 에지에 동기화할 수 있다.
- [0073] 일 실시예에서, 시작 패턴(S) 및 정지 패턴(E)은 각각 1비트 또는 여러 개의 비트의 데이터일 수 있다. 예를 들어, 시작 패턴(S)이 "1"에서 "0"으로 천이할 때, 데이터(예를 들어, 제1 데이터(TDAT1) 및 제2 데이터(RDAT1))의 전송이 시작됨을 나타낼 수 있다. 예를 들어, 정지 패턴(E)이 "1"일 때, 데이터의 전송이 정지됨을 나타낼 수 있고, 정지 패턴(E)이 "1"을 유지할 때, 데이터의 전송이 정지됨을 나타낼 수 있다. 예를 들어, 정지 패턴(E)의 바로 앞의 비트의 비트 값은 "0" 또는 "1"일 수 있다.
- [0074] 일 실시예에서, 상기 제2 전송 속도가 상기 제1 전송 속도의 약 1/4로 설정된 경우에, 도시하지는 않았지만, 마스터 칩(200)의 데이터 복원 회로(250)는 제1 클럭 신호(CLK1)를 4x 오버샘플링 클럭 신호로 사용하여 제2 데이터(RDAT1')를 샘플링할 수 있다. 예를 들어, 상기 오버샘플링 클럭 신호의 클럭 위상들 중에서 하나의 클럭 위상을 선택하는 동기화 과정과, 제2 데이터(RDAT1')에 포함된 각 비트 값을 상기 동기화 과정에서 선택된 클럭 위상과 동일한 위치에 존재하는 클럭 위상을 이용하여 샘플링하는 샘플링 과정을 수행함으로써, 제2 데이터

(RDAT1')를 샘플링할 수 있다. 보다 상세하게는, 적어도 두 개의 플립플롭들을 이용하여, 상기 선택된 클락 위상과 관련된 클락 위상 선택 신호들을 상기 오버샘플링 클락 신호의 주기마다 생성하고, 상기 오버샘플링 클락 신호의 주기마다, 상기 클락 위상 선택 신호들과 관련된 클락 위상을 이용하여 제2 데이터(RDAT1')에 포함된 상기 각 비트 값을 샘플링함으로써, 제2 데이터(RDAT1')를 샘플링할 수 있다.

[0075] 한편, 도 4에서는 상기 제2 전송 속도가 상기 제1 전송 속도의 약 1/4로 설정된 경우를 예시하였으나, 본 발명은 이에 한정되지 않으며, 예를 들어 상기 제2 전송 속도는 상기 제1 전송 속도의 약 1/2, 1/8 등으로 설정될 수 있고, 이에 따라 데이터 복원 회로(250)는 제1 클럭 신호(CLK1)를 2x, 8x 등의 오버샘플링 클럭 신호로 사용하여 제2 데이터(RDAT1')를 샘플링할 수 있다.

[0076] 상술한 것처럼, 상기 송신 동작은 제1 데이터(TDAT1)를 제1 클럭 신호(CLK1)에 동기시켜 전송하는 상기 동기 방식에 기초하여 수행되고, 상기 수신 동작은 제2 데이터(RDAT1')를 제1 클럭 신호(CLK1)와 상관없이 전송하는 상기 비동기 방식에 기초하여 수행되지만, 상기 송신 동작 및 상기 수신 동작은 동일한 하나의 인터페이스에 기초하여 수행될 수 있다. 예를 들어, 제1 데이터(TDAT1) 및 제2 데이터(RDAT1)는 모두 시작 패턴(S) 및 정지 패턴(E) 사이에 데이터 정보(D1, D2, D3)를 포함하도록, 동일한 프로토콜을 따르는 동종의 인터페이스에 기초하여 발생, 전송 및 복원될 수 있다.

[0077] 본 발명의 실시예들에 따른 마스터 칩(200) 및 이를 포함하는 디지털 처리 시스템(100)은, 동기식 및 비동기식 혼합 방식의 디지털 인터페이스를 포함할 수 있다. 마스터 칩(200)에서 슬레이브 칩(300)으로 제1 데이터(TDAT1)를 보내는 상기 송신 동작(또는 라이트 동작)을 상기 동기 방식에 기초하여 수행함으로써, 상대적으로 빠른 속도로 데이터를 전송할 수 있다. 슬레이브 칩(300)에서 마스터 칩(200)으로 제2 데이터(TDAT2)를 보내는 상기 수신 동작(또는 리드 동작)을 상기 비동기 방식에 기초하여 수행함으로써, 슬레이브 칩(300)이 마스터 칩(200)의 명령에 반응하여 데이터를 전송하는 시간을 유연하게(flexible) 설정할 수 있고, 다양한 종류의 슬레이브 칩들을 지원할 수 있다.

[0078] 또한, 상술한 것처럼 마스터 칩(200) 및 슬레이브 칩(300)이 각각 하나의 데이터 핀(204, 304)을 포함하고, 상기 수신 동작의 속도를 상기 송신 동작의 속도보다 느리게 설정하는 경우에, 동일한 성능을 확보하면서도 마스터 칩(200) 및 슬레이브 칩(300)의 크기가 줄어들고 구조가 간단해질 수 있으며, 전력 소모가 감소될 수 있다.

[0079] 한편, 본 발명은 데이터 핀이 하나인 경우에 한정되지 않으며, 각 칩이 여러 개의 데이터 핀들을 포함하면서 상기 송신 동작과 상기 수신 동작이 동일한 와이어를 이용하여 수행되는 경우에도 적용될 수 있다.

[0080] 도 5, 6 및 7은 본 발명의 실시예들에 따른 디지털 처리 시스템을 나타내는 블록도들이다.

[0081] 도 5를 참조하면, 디지털 처리 시스템(100a)은 마스터 칩(200) 및 슬레이브 칩(300a)을 포함하며, 클럭 와이어(122), 데이터 와이어(124), 제1 클럭 소스(130), 제2 클럭 소스(140) 및 기관(110)을 더 포함할 수 있다.

[0082] 제2 클럭 소스(140)를 더 포함하고 이에 따라 슬레이브 칩(300a)의 구조가 일부 변경되는 것을 제외하면, 도 5의 디지털 처리 시스템(100a)은 도 1의 디지털 처리 시스템(100)과 실질적으로 동일할 수 있다. 도 5의 제1 클럭 소스(130)는 도 1의 클럭 소스(130)에 대응할 수 있다.

[0083] 제1 클럭 소스(130)와 유사하게, 제2 클럭 소스(140)는 기준 클럭 신호(RCLK)를 발생할 수 있다. 제1 클럭 소스(130)에서 발생된 기준 클럭 신호(RCLK)는 마스터 클럭 신호라고 부를 수 있고, 제2 클럭 소스(140)에서 발생된 기준 클럭 신호(RCLK)는 슬레이브 클럭 신호라고 부를 수 있다. 도 5의 예에서와 같이, 상기 마스터 클럭 신호의 클럭 소스(130)와 상기 슬레이브 클럭 신호의 클럭 소스(140)는 서로 다를 수 있으나, 상기 마스터 클럭 신호와 상기 슬레이브 클럭 신호의 주파수는 서로 동일할 수 있다.

[0084] 제2 클럭 소스(140)에서 발생된 기준 클럭 신호(RCLK)는 슬레이브 칩(300a)에 제공될 수 있으며, 슬레이브 칩(300a)은 기준 클럭 신호(RCLK)에 기초하여 제2 클럭 신호를 발생할 수 있다. 예를 들어, 도 3a 및 3b의 슬레이브 칩(300)과 다르게, 슬레이브 칩(300a)은 기준 클럭 신호(RCLK)에 기초하여 상기 제2 클럭 신호를 발생하는 제2 클럭 발생 회로를 더 포함할 수 있다. 이 경우, 도시하지는 않았지만, 슬레이브 칩(300a)은 상기 제2 클럭 신호에 기초하여 동작할 수 있으며, 특히 도 3a 및 3b의 송신 회로(340 및 340a) 및 제2 수신 경로(350)에는 제1 클럭 신호(CLK1')가 아닌 상기 제2 클럭 신호가 인가될 수 있다.

[0085] 실시예에 따라서, 상기 제2 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수와 동일할 수도 있고 서로 다를 수도 있다.

[0086] 도 6을 참조하면, 디지털 처리 시스템(100b)은 마스터 칩(200b) 및 슬레이브 칩(300b)을 포함하며, 클럭 와이어

(122), 제1 데이터 와이어(124), 제2 데이터 와이어(126), 클럭 소스(130) 및 기관(110)를 더 포함할 수 있다.

- [0087] 제2 데이터 와이어(126)를 더 포함하고 이에 따라 마스터 칩(200b) 및 슬레이브 칩(300b)의 구조가 일부 변경되는 것을 제외하면, 도 6의 디지털 처리 시스템(100b)은 도 1의 디지털 처리 시스템(100)과 실질적으로 동일할 수 있다. 도 6의 제1 데이터 와이어(124)는 도 1의 데이터 와이어(124)에 대응할 수 있다.
- [0088] 마스터 칩(200b) 및 슬레이브 칩(300b)은 각각 하나의 클럭 핀 및 두 개의 데이터 핀들을 포함한다. 구체적으로, 마스터 칩(200b)은 제1 클럭 핀(202) 및 제1 데이터 핀(204)을 포함하고, 슬레이브 칩(300b)은 제2 클럭 핀(302) 및 제2 데이터 핀(304)을 포함한다. 슬레이브 칩(300b)은 제3 데이터 핀(306)을 더 포함할 수 있고, 마스터 칩(200b)은 제4 데이터 핀(206)을 더 포함할 수 있다. 제1 데이터 와이어(124)는 제1 데이터 핀(204)과 제3 데이터 핀(306)을 전기적으로 연결하는 싱글 와이어일 수 있고, 제2 데이터 와이어(126)는 제2 데이터 핀(304)과 제4 데이터 핀(206)을 전기적으로 연결하는 싱글 와이어일 수 있다.
- [0089] 도 6의 실시예에서, 상기 송신 동작 및 상기 수신 동작은 각각 서로 다른 데이터 와이어(124, 126)를 통해 수행될 수 있다. 상기 송신 동작에서 제1 데이터 핀(204)을 통해 출력되는 제1 데이터(TDAT1)는 제1 데이터 와이어(124) 및 제3 데이터 핀(306)을 거쳐 슬레이브 칩(300b)으로 전송될 수 있고, 상기 수신 동작에서 제2 데이터 핀(304)을 통해 출력되는 제2 데이터(RDAT1)는 제2 데이터 와이어(126) 및 제4 데이터 핀(206)을 거쳐 마스터 칩(200b)으로 전송될 수 있다.
- [0090] 도 2의 마스터 칩(200)과 다르게, 마스터 칩(200b)에 포함되는 제1 입력 버퍼(234)는 제1 데이터 핀(204)이 아닌 제4 데이터 핀(206)과 연결될 수 있다. 이 경우, 도시하지는 않았지만, 제1 방향 제어 회로(240)는 생략될 수 있다.
- [0091] 도 3a 및 3b의 슬레이브 칩(300)과 다르게, 슬레이브 칩(300b)에 포함되는 제2 입력 버퍼(312)는 제2 데이터 핀(304)이 아닌 제3 데이터 핀(306)과 연결될 수 있다. 이 경우, 도시하지는 않았지만, 제2 방향 제어 회로(330)는 생략될 수 있다.
- [0092] 도 7을 참조하면, 디지털 처리 시스템(100c)은 마스터 칩(200c) 및 제1 슬레이브 칩(300)을 포함하며, 제2 슬레이브 칩(400), 제1 클럭 와이어(122), 제1 데이터 와이어(124), 제2 클럭 와이어(127), 제2 데이터 와이어(129), 클럭 소스(130) 및 기관(110)를 더 포함할 수 있다.
- [0093] 제2 슬레이브 칩(400), 제2 클럭 와이어(127) 및 제2 데이터 와이어(129)를 더 포함하고 이에 따라 마스터 칩(200c)의 구조가 일부 변경되는 것을 제외하면, 도 7의 디지털 처리 시스템(100c)은 도 1의 디지털 처리 시스템(100)과 실질적으로 동일할 수 있다. 도 7의 제1 슬레이브 칩(300), 제1 클럭 와이어(122) 및 제1 데이터 와이어(124)는 도 1의 슬레이브 칩(300), 클럭 와이어(122) 및 데이터 와이어(124)에 각각 대응할 수 있다.
- [0094] 마스터 칩(200c)은 제1 클럭 핀(202) 및 제1 데이터 핀(204)을 포함하며, 제3 클럭 핀(207) 및 제3 데이터 핀(209)을 더 포함할 수 있다. 제2 슬레이브 칩(400)은 제4 클럭 핀(402) 및 제4 데이터 핀(404)을 포함할 수 있다. 제2 클럭 와이어(127)는 제3 클럭 핀(207)과 제4 클럭 핀(402)을 전기적으로 연결하는 싱글 와이어일 수 있고, 제2 데이터 와이어(129)는 제3 데이터 핀(209)과 제4 데이터 핀(404)을 전기적으로 연결하는 싱글 와이어일 수 있다.
- [0095] 마스터 칩(200c)에서 제2 슬레이브 칩(400)으로 제3 데이터(TDAT2)를 전송하는 제2 송신 동작은, 제3 클럭 핀(207)을 통해 출력되는 제2 클럭 신호(CLK2)와 제3 데이터 핀(209)을 통해 출력되는 제3 데이터(TDAT2)가 함께 제공되고 제3 데이터(TDAT2)를 제2 클럭 신호(CLK2)에 동기시켜 전송하는 상기 동기 방식에 기초하여 수행될 수 있다. 제2 슬레이브 칩(400)에서 마스터 칩(200c)으로 제4 데이터(RDAT2)를 전송하는 제2 수신 동작은, 제4 데이터 핀(404)을 통해 출력되는 제4 데이터(RDAT2)를 제2 클럭 신호(CLK2)와 상관없이 전송하는 상기 비동기 방식에 기초하여 수행될 수 있다.
- [0096] 도 2의 마스터 칩(200)과 유사하게, 마스터 칩(200c)은 제1 슬레이브 칩(300)과의 통신을 위한 구성요소들(210, 220, 230, 240, 250, 260, 270)을 포함하며, 제2 슬레이브 칩(400)과의 통신을 위한 클럭 발생 회로, 송신 동기화 회로, 입출력 회로, 방향 제어 회로, 데이터 복원 회로, 송신 경로 및 수신 경로를 추가적으로 포함할 수 있다. 제2 슬레이브 칩(400)은 도 3a 및 3b의 슬레이브 칩(300)과 실질적으로 동일한 구조를 가질 수 있다.
- [0097] 한편, 도시하지는 않았지만, 본 발명의 실시예들에 따른 디지털 처리 시스템은 도 5에 도시된 칩마다 개별적인 클럭 소스를 구비하는 구조 및 도 6에 도시된 송신 동작용 데이터 핀과 수신 동작용 데이터 핀이 분리되는 구조를 모두 채용할 수도 있다.

- [0098] 한편, 도 7에서는 하나의 마스터 칩(200c) 및 이와 통신하는 두 개의 슬레이브 칩들(300, 400)을 도시하였으나, 본 발명의 실시예들에 따른 디지털 처리 시스템은 하나의 마스터 칩 및 이와 통신하는 임의의 복수 개의 슬레이브 칩들을 포함할 수 있다. 또한, 복수 개의 슬레이브 칩들을 포함하는 경우에도, 도 5에 도시된 구조 및 도 6에 도시된 구조 중 적어도 하나를 채용할 수 있다.
- [0099] 도 8은 본 발명의 실시예들에 따른 디지털 처리 방법을 나타내는 순서도이다.
- [0100] 도 1 및 8을 참조하면, 본 발명의 실시예들에 따른 디지털 처리 방법은, 제1 클럭 핀(202) 및 제1 데이터 핀(204)을 포함하는 마스터 칩(200)과, 제2 클럭 핀(302) 및 제2 데이터 핀(304)을 포함하는 슬레이브 칩(300) 사이에 수행된다.
- [0101] 본 발명의 실시예들에 따른 디지털 처리 방법에서, 제1 클럭 핀(202)을 통해 출력되는 제1 클럭 신호(CLK1)와 제1 데이터 핀(204)을 통해 출력되는 제1 데이터(TDAT1)가 함께 제공되고 제1 데이터(TDAT1)를 제1 클럭 신호(CLK1)에 동기시켜 전송하는 동기 방식에 기초하여, 마스터 칩(200)에서 슬레이브 칩(300)으로 제1 데이터(TDAT1)를 전송하는 송신 동작을 수행한다(단계 S100).
- [0102] 제2 데이터 핀(304)을 통해 출력되는 제2 데이터(RDAT1)를 제1 클럭 신호(CLK1)와 상관없이 전송하는 비동기 방식에 기초하여, 슬레이브 칩(300)에서 마스터 칩(200)으로 제2 데이터(RDAT1)를 전송하는 수신 동작을 수행한다(단계 S200). 상기 수신 동작은 상기 송신 동작에 의해 슬레이브 칩(300)으로 전송되는 마스터 칩(200)의 명령에 응답하여 수행될 수 있다.
- [0103] 도 9는 도 8의 송신 동작을 수행하는 단계의 일 예를 나타내는 순서도이다. 도 10은 도 8의 수신 동작을 수행하는 단계의 일 예를 나타내는 순서도이다.
- [0104] 도 2, 3a, 3b, 4, 8 및 9를 참조하면, 상기 송신 동작을 수행하는데 있어서(단계 S100), 마스터 칩(200)에 포함되는 클럭 발생 회로(210)는 기준 클럭 신호(RCLK)에 기초하여 제1 클럭 신호(CLK1)를 발생할 수 있다(단계 S110).
- [0105] 마스터 칩(200)에 포함되는 송신 동기화 회로(220)는 상기 송신 동작 시에 전송하고자 하는 데이터(TD)를 제1 클럭 신호(CLK1)에 동기화시켜 제1 데이터(TDAT1)를 발생할 수 있다.
- [0106] 마스터 칩(200)은 제1 클럭 핀(202), 제1 출력 드라이버(232) 및 제1 데이터 핀(204)을 통해 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)를 슬레이브 칩(300)으로 동시에 전송할 수 있다(단계 S130). 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)는 클럭 와이어(122) 및 데이터 와이어(124)를 통해 슬레이브 칩(300)으로 전송될 수 있다.
- [0107] 슬레이브 칩(300)은 제2 클럭 핀(302) 및 제2 데이터 핀(304)을 통해 제1 클럭 신호(CLK1) 및 제1 데이터(TDAT1)를 수신할 수 있다. 슬레이브 칩(300)에 포함되는 수신 회로(320)는 수신된 제1 클럭 신호(CLK1')에 기초하여 제1 데이터(TDAT1)를 수신할 수 있으며(단계 S140), 데이터(TD)를 획득할 수 있다.
- [0108] 도 2, 3a, 3b, 4, 8 및 10을 참조하면, 상기 수신 동작을 수행하는데 있어서(단계 S100), 슬레이브 칩(300)에 포함되는 송신 회로(340 또는 340a)는 상기 송신 동작 시에 수신된 제1 클럭 신호(CLK1')에 기초하여 상기 수신 동작 시에 전송하고자 하는 데이터(RD)의 전송 속도를 설정할 수 있다. 구체적으로, 제1 클럭 신호(CLK1')에 기초하여 제2 데이터(RDAT1)의 전송 속도를 제1 데이터(TDAT1)의 전송 속도보다 느리게 설정할 수 있다(단계 S210). 전송 속도를 설정하는 동작은 도 2, 3a, 3b 및 4를 참조하여 설명하였으므로 생략하도록 한다.
- [0109] 슬레이브 칩(300)은 제2 출력 드라이버(314) 및 제2 데이터 핀(304)을 통해 제2 데이터(RDAT1)를 마스터 칩(200)으로 전송할 수 있다(단계 S220).
- [0110] 마스터 칩(200)에 포함되는 데이터 복원 회로(250)는 제1 클럭 신호(CLK1)에 기초하여 제2 데이터(RDAT1)를 샘플링하여 제2 데이터(RDAT1)에 포함된 데이터 정보(예를 들어, D3)를 복원할 수 있으며(단계 S230), 데이터(RD)를 획득할 수 있다. 데이터 정보를 복원하는 동작은 도 2, 3a, 3b 및 4를 참조하여 설명하였으므로 생략하도록 한다.
- [0111] 도 11은 본 발명의 실시예들에 따른 디지털 처리 시스템을 나타내는 블록도이다.
- [0112] 도 11을 참조하면, 디지털 처리 시스템(1000)은 마스터 장치(1100) 및 슬레이브 장치들(1200, 1300, 1400, 1500, 1600, 1700, 1800, 1900)을 포함할 수 있고 클럭 소스(1130)를 더 포함할 수 있다.

[0113] 마스터 장치(1100)는 각 슬레이브 장치들(1200~1900)을 제어하는 프로세서일 수 있다. 마스터 장치(1100)와 각 슬레이브 장치들(1200~1900) 사이에는 서로 독립적인 하나의 클럭 와이어 및 적어도 하나의 데이터 와이어가 접속될 수 있다. 마스터 장치(1100)는 베이스밴드 모뎀 프로세서 칩, 모뎀의 기능과 AP의 기능을 함께 수행할 수 있는 칩, AP 또는 모바일 AP로 구현될 수 있으나, 이에 한정되는 것은 아닐 수 있다.

[0114] 슬레이브 장치들은 RFIC(1200), PMIC(1300), 전력 공급 모듈(1400), 제2 RFIC(1500), 센서(1600), 지문 인식 칩(1700), 터치 스크린 컨트롤러(1800) 및 DDI 칩(1900)을 포함할 수 있다. RFIC(1200)는 적어도 하나의 연결 칩을 포함할 수 있다. 예를 들어, 연결 칩은 이동 통신을 위한 칩(1210), WLAN 통신을 위한 칩(1220), 블루투스 통신을 위한 칩(1230), GNSS 통신을 위한 칩(1240), FM 오디오/비디오를 처리하기 위한 칩(1250), NFC를 위한 칩(1260)을 포함할 수 있으나, 이에 한정되는 것은 아닐 수 있다.

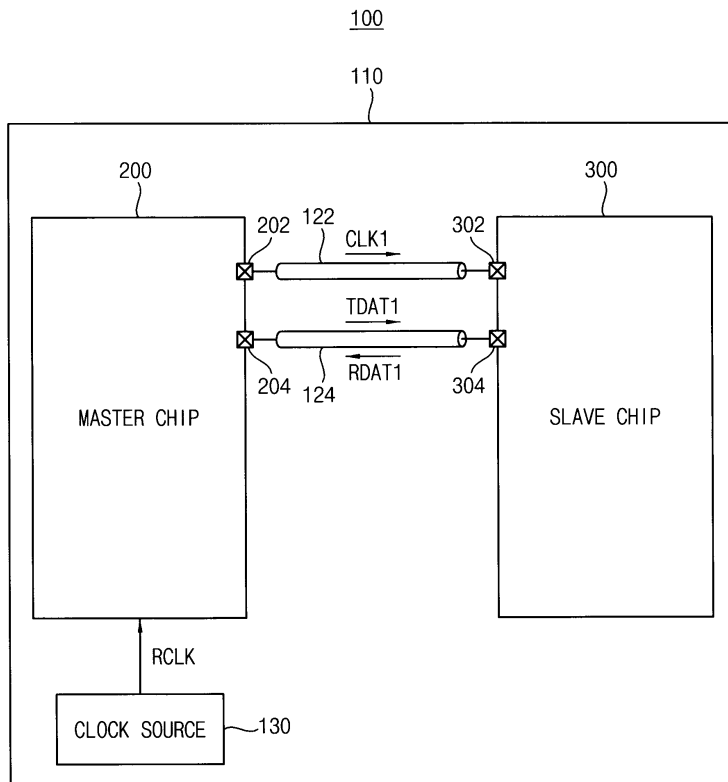
산업상 이용가능성

[0115] 본 발명은 디지털 처리 시스템을 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서, 본 발명은 휴대폰, 스마트폰, PDA, PMP, 디지털 카메라, 캠코더, PC, 서버 컴퓨터, 워크스테이션, 노트북, 디지털 TV, 셋-탑 박스, 음악 재생기, 휴대용 게임 콘솔, 네비게이션 기기, 웨어러블 기기, IoT 기기, VR 기기, AR 기기 등과 같은 다양한 형태의 전자 기기를 포함하는 시스템에 확대 적용될 수 있을 것이다.

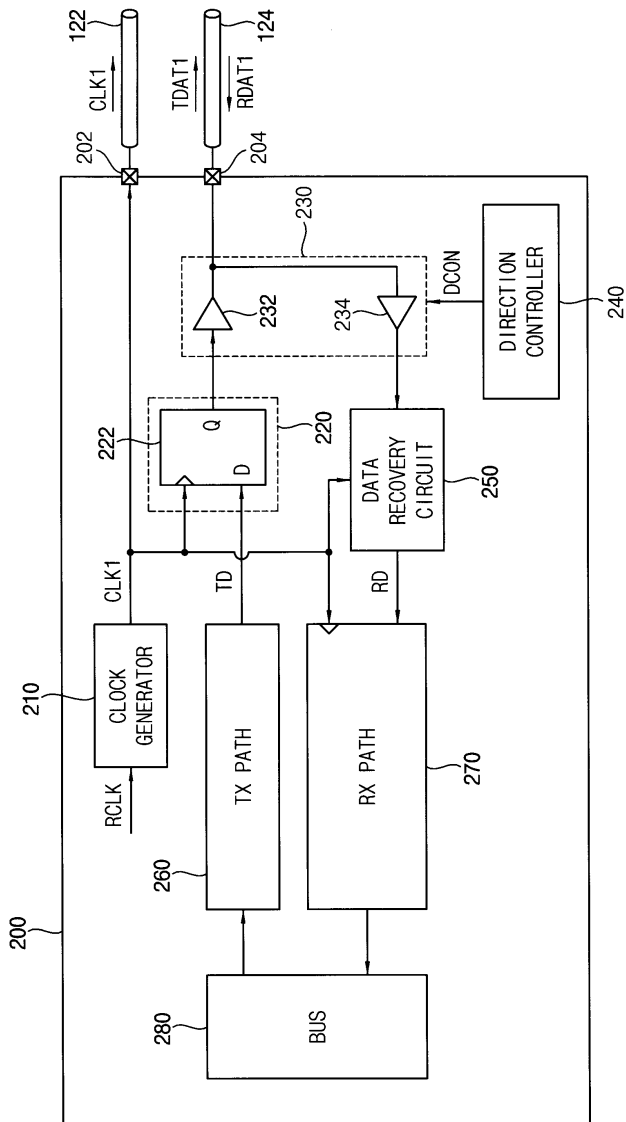
[0116] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

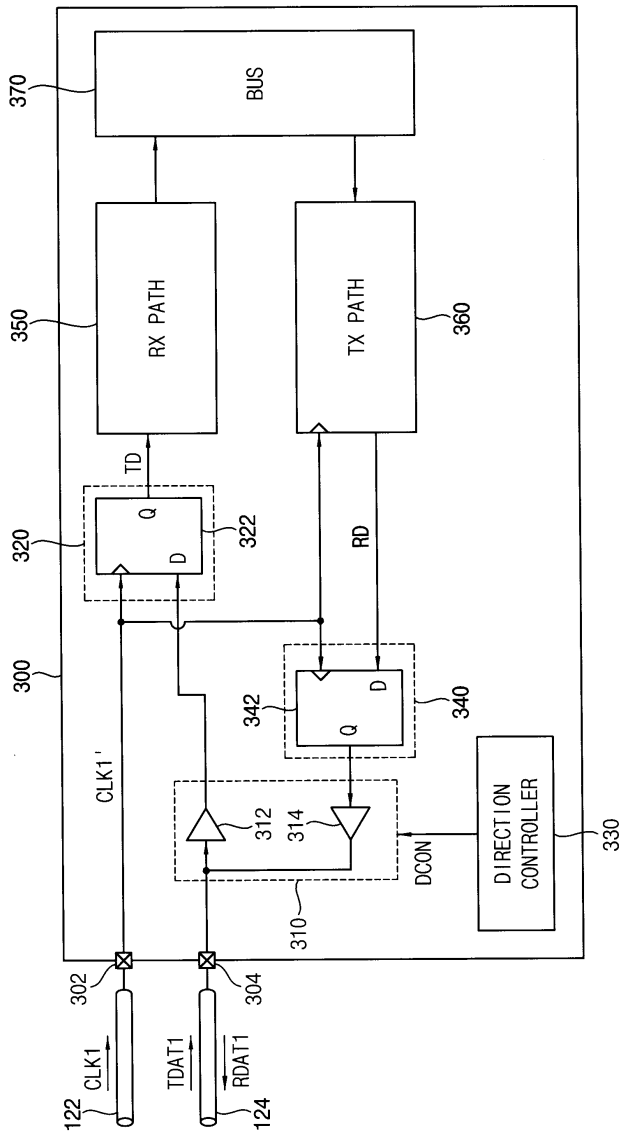
도면1



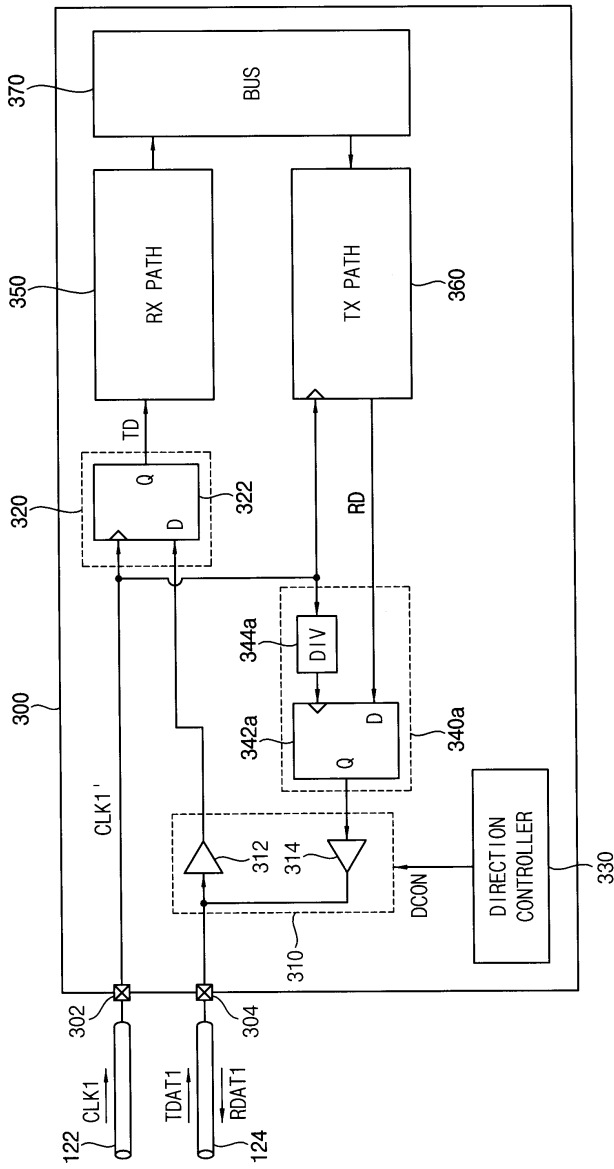
도면2



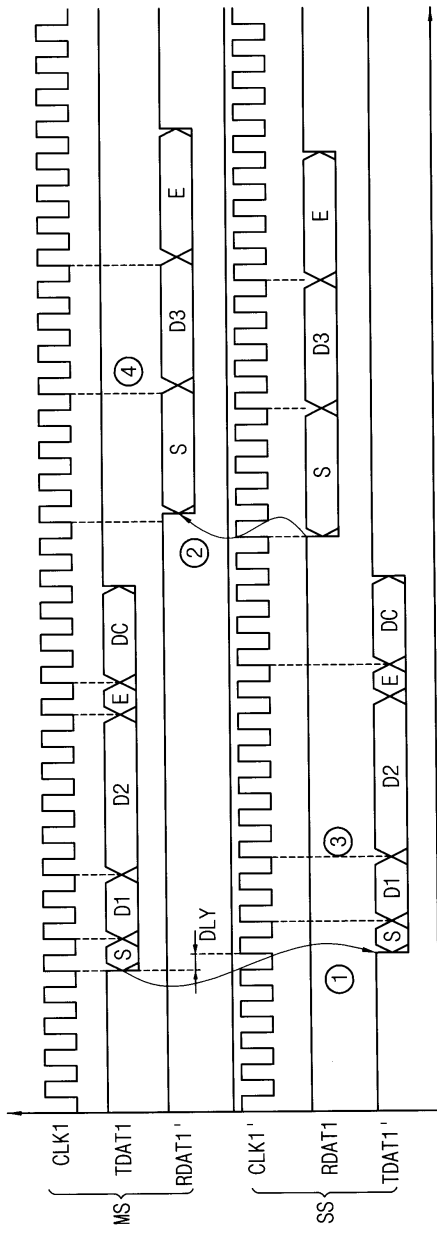
도면3a



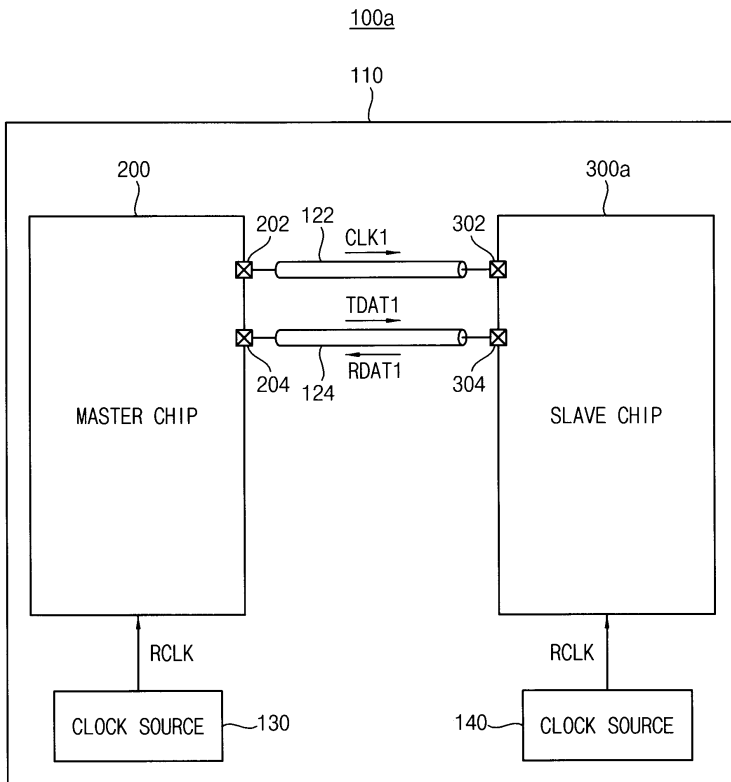
도면3b



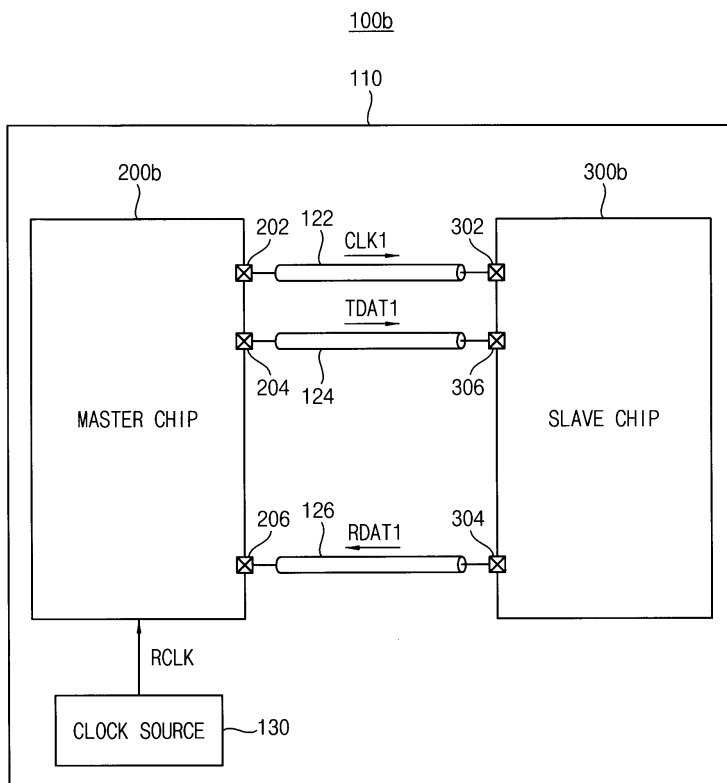
도면4



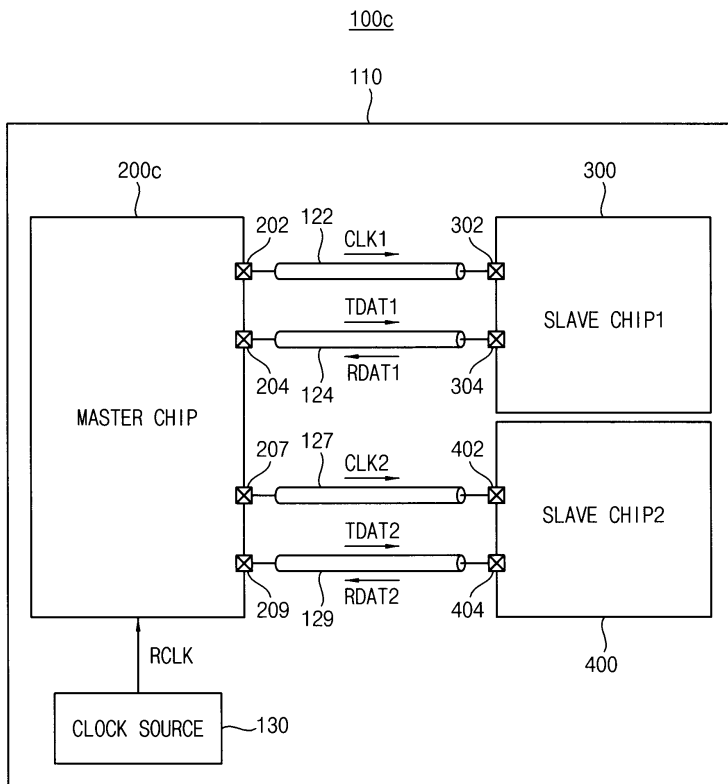
도면5



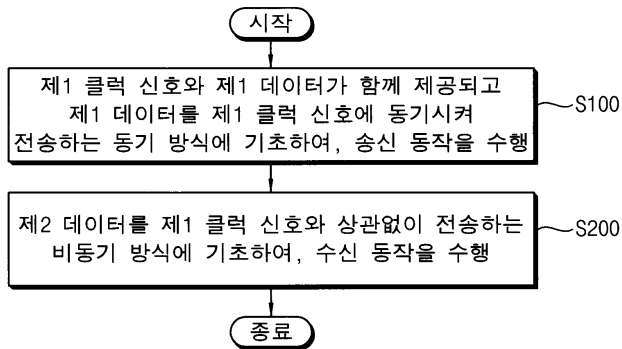
도면6



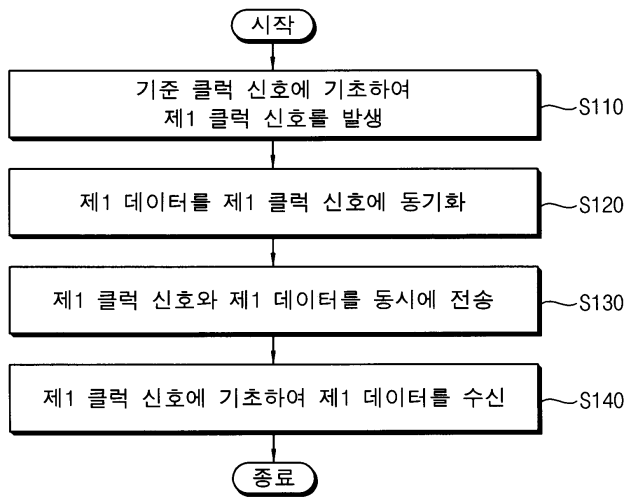
도면7



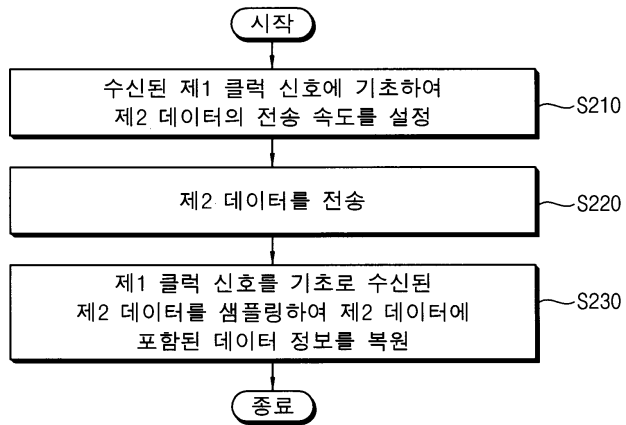
도면8



도면9



도면10



도면11

