

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：91136688

※ 申請日期：91.9.24

※IPC 分類：H01L23/373(2006.01)

H01L23/34(2006.01)

一、發明名稱：(中文/英文)

使用具有可變冷卻能力之碳奈米管冷卻結構之晶片上溫度梯度最小化
ON-CHIP TEMPERATURE GRADIENT MINIMIZATION USING
CARBON NANOTUBE COOLING STRUCTURES WITH VARIABLE
COOLING CAPACITY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

琳恩 D 安德森

ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 克里斯托斯 迪米崔歐斯 迪米崔寇保洛斯
DIMITRAKOPOULOS, CHRISTOS DIMITRIOS
2. 克理斯多斯 約翰 喬治優
GEORGIU, CHRISTOS JOHN
3. 艾佛列德 葛瑞爾
GRILL, ALFRED
4. 柏妮絲 E 洛葛威茲
ROGOWITZ, BERNICE E.

國 籍：(中文/英文)

1. 希臘 GREECE
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年10月18日；11/874,861

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明之領域包含併入半導體裝置(諸如，具有高溫區域或"熱點"之超大規模積體("VLSI")半導體裝置)之奈米管冷卻部件。具有其他導熱材料之冷卻部件之配置最小化或大體上消除裝置上之熱點與較冷區域之間的熱或溫度梯度。

【先前技術】

在電路設計、晶片架構、設計輔助、製程、工具、測試、製造架構及製造學科之領域中，半導體工業在二十世紀七十年代經歷了極其活躍的革新時期。在二十世紀七十年代中開始大規模積體("LSI")時代(每晶片僅具有1,000個電晶體)之後，此等學科之組合使工業在二十世紀八十年代末期進入VLSI時代，其具有大量生產每晶片100,000個電晶體之能力。(Carre, H.等人之"Semiconductor Manufacturing Technology at IBM", IBM J. RES. DEVELOP., 1982年9月第5期第26卷)。Mescia等人亦描述此等VLSI裝置之工業規模製造。(Mescia, N.C.等人之"Plant Automation in a Structured Distributed System Environment", IBM J. RES. DEVELOP., 1982年7月第4期第26卷)。

存在由定標至90 nm及以下之技術所帶來的益處及新挑戰。雖然較小之晶片幾何形狀導致較高位準之晶片上整合及效能，但較高之電流及功率密度、增加之洩漏電流及具有較不良導熱率之低k介電質已導致封裝及熱設計挑戰。

Chen之美國專利第6,951,001號指出，互補金屬氧化物半導體("CMOS")製造製程之繼續定標增加在VLSI晶片上裝置之數目，但導致可變為顯著問題之"晶粒內"變化，諸如， L_e (有效通道長度)及 V_i (臨限電壓)以及供應電壓及溫度變化。晶粒內變化亦可導致晶片上信號時序不確定性。用於VLSI晶片之習知時序分析使用製程、電壓及溫度拐角之不同值(此等值之最大可允許組合)以用於最大及最小信號延遲分析。此方法常常導致"過度設計"(over designing)，其可導致日益高的功率需求及可靠性問題。高功率需求可導致過熱。

在2007年中期到期的IBM's Power6™晶片之引入指出，"小型化已允許晶片製造商藉由將單一矽片上之較多電晶體填塞至高端處理器具有數億個電晶體之點來較快地製造晶片。但，該製程亦傾向於使晶片較熱地運作，且工程師已試圖弄清如何使晶片保持縮小，同時避免其燒毀其自身的電路。"(http://www.nytimes.com/reuters/technology/tech-ibm-power.html?pagewanted=print (2/7/2006))。

低於90 nm技術之晶粒上溫度變化可變化多達50C，或在金屬層中甚至更高。此等劇烈溫度梯度可影響晶片之效能及可靠性兩者，因為其影響信號時序、時脈時間滯後、串擾雜訊、電壓降落及已製造零件之中值失效時間(Chandra、Rajit之"Automotive electronics need thermal-aware IC design", Automotive Design Line (06/13/2005), http://www.automotivedesignline.com/GLOBAL/electronics/

designline/shared/article/showArticle.jhtml?articleid=164302553&pgno=1)。

用於處理晶片上熱點之一方法為使用溫度意識設計方法以用於識別潛在問題區域，且在實體設計階段期間在晶粒上之單元的置放中使用此輸入，如在前文的Chandra中所提倡。雖然此方法可減小一些熱點及溫度梯度，但其將不可能消除問題，因為(例如)CPU核心將比DRAM記憶體組吸引多的電流。除此之外，其對晶片設計能力施加約束。

2006年3月29日所申請之美國專利申請案第11/397,033號描述用於最小化熱點之另一方法，其包含在熱點區域上生長碳奈米管以有效地移除過量熱，且藉此提供等化機構以處理急劇的晶片上溫度梯度。均勻地生長於熱點區域上之奈米管提供冷卻階梯函數，但由於溫度剖面比階梯函數更具有線性函數(吾人稍後對其論述)，所以在熱點周圍仍存在某一溫度差。需要進一步消除此等溫度差，其將允許較大晶片設計靈活性及效能調諧。

【發明內容】

前述內容指示對諸如VLSI裝置之半導體裝置的需要，半導體裝置最小化或大體上消除裝置中之熱梯度，以便避免與此等梯度相關聯之各種問題，且指示對用以製造此裝置之製程的需要。因此，本發明提供處理此等需要之此或此等裝置及製程以不僅提供優於先前技術之優勢，而且大體上排除半導體裝置(尤其為VLSI裝置)之此等及其他限制及劣勢中之一或多者。本發明亦包含藉由此等製程而生產之

產品及用於最小化此等裝置上之溫度梯度之製程。

以下描述闡明本發明之特徵及優勢，其不僅自該描述而明顯，而且藉由實踐本發明而明顯。包括如所申請之發明摘要及申請專利範圍以及圖式(或前述內容中之任一者可隨後加以修正)的此書面描述將闡明本發明之額外特徵及優勢，且尤其指出本發明之目標及其他優勢，從而展示其可被如何實現及獲得。

為了達成此等及其他優勢，且根據本發明之目的，如本文中所述及廣泛所描述，本發明包含一種諸如VLSI裝置之半導體裝置，其藉由使用包含定位於裝置上之複數個奈米管構件陣列或束的導熱體構件以傳導熱離開裝置中之熱點而最小化或消除裝置中之此等熱點及/或溫度梯度。在一實施例中，吾人將複數個奈米管構件陣列或束定位於VLSI裝置之晶粒表面上。陣列或束中之至少一者包含具有比奈米管陣列或束中之至少一其他者之導熱率特性大的導熱率特性之奈米管構件。吾人定位奈米管構件，使得具有最高導熱率之奈米管陣列或束與具有高溫之熱點區域操作性地相關聯且與具有高溫之熱點區域處於導熱關係，且具有相對較低導熱率特性之彼等奈米管陣列或束與中間溫度區域(亦即，具有在熱點區域與相對較低溫度區域中間之溫度之區域)操作性地相關聯且與中間溫度區域處於導熱關係。此相對較低溫度區域包含在裝置之最小溫度範圍處在其正操作時晶粒之區域。

術語"溫度梯度"及"熱梯度"意謂具有較低溫度之半導體

裝置上之熱點與另一或另外區域之間的溫度差。與當前用以自此等裝置移除熱之金屬相比，此等奈米管之使用沿著其長軸利用其極其高的導熱能力，且陣列或束以前述方式之定位最小化或消除晶片上溫度梯度。藉由選擇性地在熱點區域上生長此等奈米管陣列或束，同時將習知導熱體用於晶片之一些相對較冷區域，達成此等優勢。

由於冷卻整個表面之速率及程度將大體上相同，所以裝置上之非選擇性生長(亦即，利用奈米管陣列或束來覆蓋裝置之整個表面)在消除或最小化裝置上之熱點或熱梯度時將具有極小效應或無效應，使得較熱區域將仍保持相對較熱且其他區域保持相對較冷，即使兩者之溫度將降低。結合習知導熱體在裝置之互補區域中之置放的奈米管陣列或束在裝置上之選擇性置放在獲得本發明之優勢時包含一關鍵要素。

因此，本發明大體係關於針對藉由高拓撲解析度而在VLSI晶片上提供選擇性冷卻以便消除晶片上熱點及劇烈溫度梯度且改良晶片電效能及可靠性之技術。熱點及溫度梯度之不存在將致能晶片設計中之較緊密規格(例如，較高時脈速率、臨限電壓，等等)。2006年3月29日申請之美國專利申請案第11/397,033號的"VLSI Hot-Spot Minimization Using Nanotubes"展示如何在熱點區域上使用奈米管及在較冷區域上使用Cu或其他導熱體，以便大體上消除或大體上最小化晶片上之溫度梯度；然而，奈米管覆蓋區域與其他導熱體覆蓋區域之間的突變邊界及兩個區域之導熱率的

所得突變不匹配於在Si晶片上通常遇到之較逐漸的T梯度("溫度梯度")剖面。在本發明中，吾人建議用以藉由較佳地將彼等溫度梯度與適當導熱率梯度匹配來消除在Si晶片上通常遇到之T梯度剖面的方式。製造複雜性及處理成本將指示溫度與導熱率梯度將匹配之準確程度。吾人建議用以藉由調整諸如奈米管直徑、間隔或裝填密度(亦即，裝置之表面上之奈米管之間的距離，吾人亦將其界定為arial密度)之參數及利用石墨烯(graphene)薄片來判定奈米管陣列或束之填充因數之參數而在Si晶粒或相當半導體裝置上之不同區域上製造具有可變冷卻能力之碳奈米管冷卻結構的方式。吾人隨後界定填充因數。

本發明呈現用以藉由使用具有匹配於裝置之溫度剖面之變化熱能力之奈米管陣列或束(例如，具有不同直徑之奈米管或相對於彼此具有奈米管之不同間隔或裝填(亦即，間隔或裝填密度，或為裝置之每單位面積之奈米管結構數目的"密度"，吾人亦將其描述為arial密度)之奈米管陣列或束)而使由諸如VLSI晶粒之半導體裝置上之熱點產生之尖銳溫度梯度輪廓變平滑的方法。本發明係基於奈米管沿著其長軸之極其高的導熱能力，其比當前正使用之金屬之導熱能力高得多。

本發明之額外目標及優勢將部分地在以下描述中加以闡明，且部分地將自該描述而明顯，或可藉由本發明之實踐而加以獲知。將藉由隨附申請專利範圍中特別指出之元素及組合來實現及獲得本發明之目標及優勢。

【實施方式】

併入本說明書且構成本說明書之一部分的隨附圖式說明本發明之單一及多個實施例，且與本說明書之其他部分一起用以解釋本發明之目標、優勢及原理。

本發明包含一種電子裝置，諸如，包含晶粒之半導體裝置，其中晶粒包含：

(a)至少一經界定熱點區域，其位於晶粒上之平面中；

(b)至少一經界定最小溫度區域，其包含位於晶粒上之平面中且在比熱點區域之溫度低之溫度的區域，其中最小溫度區域包含晶粒之最小溫度；

(c)至少一經界定中間溫度區域，其包含在比熱點區域之溫度低之溫度之位於晶粒上之平面中的區域；

(d)冷卻構件，其包含由導熱材料構成且在自熱點區域之平面向外之方向上延伸的至少一第一奈米管構件束，第一奈米管構件與熱點區域操作性地相關聯且與熱點區域處於導熱關係，且具有足夠導熱率以減小晶粒上之熱點區域與任何其他溫度區域之間的任一溫度梯度；

(e)冷卻構件，其包含由導熱材料構成且在自中間溫度區域之平面向外之方向上延伸的至少一額外奈米管構件束，額外奈米管構件與中間溫度區域操作性地相關聯且與中間溫度區域處於導熱關係，且具有足夠導熱率以減小晶粒上之中間溫度區域與任何其他溫度區域之間的任一溫度梯度；

(f)第一奈米管構件束之導熱率比額外奈米管構件之導熱

率大；

(g)第一奈米管構件束及額外奈米管構件束大體上由包含與最小溫度區域操作性地相關聯且與最小溫度區域處於導熱關係之導熱材料之基質材料所包圍；

(h)第一奈米管構件束及額外奈米管構件束之導熱率比基質材料之導熱率大；

(i)第一奈米管構件束及額外奈米管構件束之遠端經定位成用於與包含熱交換介質之介質的直接接觸。

第一奈米管構件束及額外奈米管構件束在裝置上具有不同arial密度，其中在裝置上具有較高arial密度之奈米管構件以比在裝置上具有較低arial密度之奈米管構件高的速率來冷卻裝置。

本發明亦包含一種用於在具有晶粒之半導體裝置之表面上提供冷卻構件之製程，其包含：

(a)藉由熱分析來界定位於晶粒上之平面中之至少一熱點區域(a)；

(b)藉由熱分析來界定至少一最小溫度區域(b)，其包含位於晶粒上之平面中且在比經界定熱點區域之溫度低之溫度之經界定區域，其中最小溫度區域包含晶粒之最小溫度；

(c)藉由熱分析來界定至少一中間溫度區域(c)，其包含在比經界定熱點區域之溫度低之溫度之位於晶粒上之平面中的區域；

(d)製造對應於熱點區域(a)之光罩(d)；

(e)藉由光罩(d)將催化劑選擇性地施加至晶粒之表面以界定對應於熱點區域(a)之催化劑區域(e)，且藉此產生具有一具有對應於熱點區域(a)之選擇性催化表面(e)之晶粒的半導體裝置；催化劑經選擇以促進導熱第一奈米管構件束之生長；

(f)製造對應於中間溫度區域(c)之光罩(f)；

(g)藉由光罩(f)將第二催化劑選擇性地施加至晶粒之表面，以界定對應於中間溫度區域(c)之催化劑區域(g)，且藉此產生具有一具有對應於中間溫度區域(c)之選擇性催化表面(g)之晶粒的半導體裝置；第二催化劑經選擇以促進導熱額外奈米管構件束之生長；

(h)自導熱材料且在對應於熱點區域(a)之選擇性催化表面(e)上生長第一奈米管構件(h)，且在自熱點區域(a)之平面向外之方向上延伸，第一奈米管構件(h)與熱點區域(a)操作性地相關聯且與熱點區域(a)處於導熱關係，以減小裝置上之熱點區域(a)與其他區域之間的任一溫度梯度；

(i)自導熱材料且在對應於中間溫度區域(c)之選擇性催化表面區域(g)上生長額外奈米管構件(i)，以自中間溫度區域(c)之平面向外延伸，額外奈米管構件(i)與中間溫度區域(c)操作性地相關聯且與中間溫度區域(c)處於導熱關係，以減小裝置上之中間溫度區域(c)與其他區域之間的任一溫度梯度；

(j)在最小溫度區域(b)上沈積導熱基質材料(j)，以形成基質以包圍第一奈米管構件及額外奈米管構件，導熱基質

材料(j)延伸至區域(b)且與區域(b)操作性地相關聯以傳導熱離開區域(b)；

(k)由導熱材料製成之第一奈米管構件(h)及額外奈米管構件(i)具有比導熱基質材料高的導熱率，第一奈米管構件(h)之導熱率比額外奈米管構件(i)之導熱率大；

(l)提供第一奈米管構件及額外奈米管構件之遠端，以充分地暴露於導熱基質材料(j)上方以使遠端可用於與包含熱交換介質之介質的直接接觸。

本發明亦包括前述半導體製程及包含晶粒上由中間溫度之一或多個區域及最低溫度範圍之一或多個區域所包圍的兩個或兩個以上熱點之製品。

奈米管之"方向"可大體上垂直於熱點之平面或中間區域之平面，亦即，與熱點之平面或中間區域之平面大體上成 90° 角度，或與熱點之平面或中間區域之平面成一角度，例如，與熱點之平面或中間區域之平面成自約 70° 至約 90° 或自約 80° 至約 90° 間之任何數。在此方面，先前技術展示奈米管之主定向可不僅為直壁式，而且包括壁在其上部段處彎曲或可分支或可採取其他組態之組態。奈米管亦包含自定向(直上直下)結構，其中個別奈米管彼此大體上平行。

在一實施例中，奈米管構件包含碳奈米管("CNT")，其由Fan, S. S.等人在說明彼此大體上平行之個別奈米管之組態的"Self Oriented Regular Arrays of Carbon Nanotubes and Their Field Emission Properties"(Science, 第283卷第

512至514頁(1999))中描述。奈米管亦可包含非垂直陣列或束或樹枝狀或森林狀陣列或束(Fan等人, 圖6), 以及鰭形突出物, 或多孔二維陣列或束, 或多孔結構, 如Mo, J.等人之 "Integrated Nanotube Cooler for Microelectronic Applications" (Proceedings of the IEEE CPMT Conference on Electronics Components Technology (ECTC55), 2005年5月30日至6月3日, 美國Orlando, 第51至54頁)之圖2、圖4及圖6中所揭示, 且可包括自整體對準且直之奈米管之彎曲及/或纏結偏離, 如由Arik等人之美國專利第6,864,57號所描述。本發明包括所有前述組態。

本發明包含複數個此等奈米管, 亦即, 自大體上數十個至數百個、至數千個、至數萬個或數十萬個或更多間之某一數的束, 此與僅具有自表面延伸之1個或2個或3個之結構相區別, 如由Dai等人之美國專利第6,346,189號或Den等人之美國專利第6,979,244號所揭示。

Bethume等人之美國專利第5,424,054號描述具有包含單一碳原子層之圓柱形壁之中空碳纖維或奈米管及用於生產此等纖維之製程。其他參考案揭示奈米管之生產, 包括Geohegan等人之美國專利第6,923,946號; Ma等人之美國專利第6,936,565號; Arik等人之美國專利第6,864,571號; Dai等人之美國專利第6,346,189號; Keesman等人之美國專利第RE38,223號; Brorson等人之美國專利第6,887,453號; Mo, J.等人之 "Integrated Nanotube Cooler for Microelectronic Applications", **Proceedings of the IEEE**

CPMT Conference on Electronics Components Technology (ECTC55), 2005年5月30日至6月3日, 美國Orlando, 第51至54頁; Berber, S. 等人之 "Unusually High Thermal Conductivity of Carbon Nanotubes", **Physical Review Letter**, 2000年第20期第84卷第4613至4616頁; Fan, S. S. 等人之 "Self Oriented Regular Arrays of Carbon Nanotubes and Their Field Emission Properties", **Science**, 第283卷第512至514頁(1999); Ma 等人之美國專利第6,936,565號; Den 等人之美國專利第6,979,244號; **Brave New Nanoworld**, 第3頁, http://www.ornl.gov/info/ornlreview/rev32_3/brave.htm(Oak Ridge National Laboratory); 而Den 等人及 **Brave New Nanoworld**(前文)描述用於製造多壁碳奈米管之方法。Iijima, S.(**Nature** 1991, 354, 56); Ajayan, P. M. 等人(**Nature** 1992, 358, 23); Ebbesen, T.W.(**Nature** 1992, 358, 20); Gao 等人(**J. Phys. Chem. B** 2000, 104, 1227-1234)亦描述用於製造奈米管之方法, 且Margulis, L. 等人(**Journal of Microscopy** 1996, 181, 68-71)識別螺旋狀奈米管。所有前述參考案教示屬於本發明之範疇的奈米管。

奈米管亦可包含螺旋狀結構, 有時被稱作奈米彈簧或鋸齒狀結構, 且具有特殊關注, 因為與大體上以非螺旋狀或非鋸齒狀方式延伸之奈米管相比, 其每單位長度具有較大表面積(不管經延伸還是未經延伸)。不僅奈米彈簧, 而且樹枝狀或森林狀陣列或束、鰭形突出物及多孔二維陣列或束或多孔結構(其皆屬於本發明之範疇)的每單位長度之附

加表面積呈現出將影響奈米管之對流或傳導冷卻特性之組態。

Den等人之美國專利第6,979,244號描述用於製造具有約4 nm至約34 nm之內徑及約1 μm 之長度之此等螺旋狀碳奈米管的電弧放電製程以及藉由電弧放電製程而產生之具有約0.34 nm之內徑的多層螺旋狀物。雷射蒸發產生"繩"形碳奈米管。Gao等人(*J. Phys. Chem. B*, 2000, **104**, 1227-1234)亦描述此等所謂的奈米管鋸齒狀及螺旋狀結構，且給出其製造方法。Arik等人之美國專利第6,864,571號揭示此等螺旋狀結構，將其稱作"奈米彈簧"。Ma等人之美國專利第6,936,565號描述用於製造此等奈米彈簧之製程，以及包含物理氣相沈積(諸如，掠射角沈積或"GLAD")之奈米管。

此等奈米管包含高達若干公分之長度之單壁或多壁結構，如由Brorson等人之美國專利第6,887,453號所描述，且可具有高達約8個至約10個或更多之碳層。Den等人之美國專利第6,979,244號亦描述高達約1 μm 之長度之此等多壁碳奈米管結構(單壁或多壁)，且在一些例子中，其由非晶碳包圍，以及描述其製造方法，例如，藉由電弧放電、雷射蒸發、熱解及電漿。

Keesman等人之美國專利第RE38,223號、Ajayan及Iijima(*Nature*, 361, 第333頁)、Geohegan之美國專利第6,923,946號、Arik等人之美國專利第6,864,571號、Lieber等人之美國專利第5,897,945號、Ma等人之美國專利第

6,936,565 號及 Margulis, L. 等人 (*Journal of Microscopy* 1996, 181, 68-71) 描述此等奈米管結構之變化，其皆屬於本發明之範疇。

此等奈米管構件之生產使用此項技術中已知之製程，諸如，前述及以下參考案中所述且在本發明之範疇內的製程。碳奈米管構件之製造將催化劑用於含碳材料之熱解，諸如，在存在諸如 Ni 或 Co 之催化劑之情況下的乙烯或其他有機化合物。引用 WO 89/07163 的 Den 等人之美國專利第 6,979,244 號提到視情況具有 Mo、Cr、Ce 或 Mn 作為合適催化劑的 Fe，而 Dai 等人之美國專利第 6,346,189 號揭示將 Fe、Mo、Ru、Mo、Co、Ni、Zn 或 Ru 及較佳地 Fe、Mo、Ru 及 Zn 之氧化物 (例如，具有自約 1 μm 至 5 μm 之粒徑的 Fe_2O_3) 用作催化劑。Geohegan 等人之美國專利第 6,923,946 號描述 Fe、Ni、Co、Rh、Pd 及其合金作為催化劑，且 Mo, J. 等人之 "Integrated Nanotube Cooler for Microelectronic Applications" (*Proceedings of the IEEE CPMT Conference on Electronics Components Technology (ECTC55)*, 2005 年 5 月 30 日至 6 月 3 日，美國 Orlando，第 51 至 54 頁) 將 Fe、Ni 及 Co 用於碳材料至此等奈米管之催化轉換。

包含奈米管構件之冷卻構件與熱點區域操作性地相關聯以減小晶粒上之熱點區域與由比熱點區域低之溫度所界定之至少一其他區域之間的任一溫度梯度，至少一其他區域為由具有比熱點區域低之溫度之熱分析所陳述之區域。此等梯度可包含自約 19°C 至約 45°C 或自約 50°C 至約 80°C 或自

約 25°C 至約 100°C 間之任何數的溫度差。

"與...操作性地相關聯"亦包括熱點處於晶粒上之另一或另外層下方或由封裝材料包封以使得將來自熱點之熱呈現至其他層或封裝材料之外部表面的彼等例子。在彼情況下，將以與將冷卻構件置放於晶粒區域上之熱點上大體上相同的方式而將其置放於此經加熱外部上。

在一實施例中，黏著層將用於形成奈米管之催化劑且結果亦將奈米管緊固至晶粒之表面。此黏著層亦幫助將基質材料接合至晶粒。黏著層包含硼材料或矽材料或金屬材料，硼材料及矽材料分別包含元素硼及矽或硼與矽之化合物，而金屬材料包含元素金屬以及金屬化合物及合金及硼材料或矽材料或金屬材料之組合。

黏著層之實例包含 Cr 或 Ta 或 Ti 層。然而，Fan, S. S. 等人之 "Self Oriented Regular Arrays of Carbon Nanotubes and Their Field Emission Properties" (*Science*, 第 283 卷第 512 至 514 頁 (1999)) 描述不使用黏著層而直接在矽表面上生長此等奈米管，此製程亦屬於本發明之一態樣之範疇。

本發明之此等奈米管冷卻構件大體上由裝置之表面(諸如，晶粒之表面)上的基質材料包圍，且在一實施例中，與基質材料大體上相鄰。在此情形中，"大體上相鄰"意謂在任一點處觸碰基質或在複數個點處或沿著奈米管構件之全長觸碰基質。基質包含第二導熱材料，且與由晶粒上比熱點區域低之溫度所界定之其他區域操作性地相關聯且與其他區域處於導熱關係。

在此情形中，"與...操作性地相關聯"意謂基質材料在若干點處或經由諸如晶粒之裝置由比熱點區域低之溫度所界定之其他區域上的基質之整個區域、此區域上方之裝置層或包封裝置之封裝材料相鄰，直接或經由黏著層或裝置上之此其他區域上之此等層相鄰，其中黏著層包含金屬材料或硼材料或矽材料或裝置組件或包封晶粒之封裝材料。在此情形中，"金屬材料"包括元素金屬、金屬合金或金屬化合物，諸如，氧化物、氮化物、碳化物及其類似者，且"矽材料"及"硼材料"具有與先前所給出相同的意義。

基質材料包含導熱材料層，在一些例子中，導熱材料包含相對較厚(例如，自約1 μm 至約20 μm 或自約20 μm 至約200 μm 或自約100 μm 至約10000 μm 厚間之任何數)之材料，且不僅包含Cu，而且包含Zr、Nb、Ta、Mo、Zn或Al及其組合，亦即，其彼此或與其他元素之合金。Den等人之美國專利第6,979,244號亦描述此等元素作為半導體裝置中之傳導層。在如上文所描述的溫度梯度對於基質/碳奈米管組合而言太大以致於不能消除或最小化溫度梯度之情況下，亦可使用具有比銅低之導熱率之其他材料。此等材料可包含(但不限於)金屬氧化物或氮化物、矽或硼氮化物及有機矽酸鹽玻璃。

奈米管材料(亦即，形成奈米管構件所用之材料)之導熱率比製造基質所用之材料之導熱率大。在本發明之另一態樣中，奈米管之遠端大體上無基質材料或其他材料，亦即，奈米管構件之遠端具備可用於與包含諸如冷卻流體

(亦即，氣體或液體)之冷卻介質或諸如含有鋁粉末及/或片狀物之糊狀物之其他冷卻介質之介質的直接接觸之表面。

在一些例子中，基質材料可能在遠端上突出，且需要使用用以大體上移除突出基質以暴露遠端之製程。在此方面，吾人可使用(例如)化學機械研磨(CMP)製程。在其他例子中，在裝置之製造期間在遠端上提供光罩以大體上防止其他材料附著至遠端之表面可具有相同效應。在製造製程完成後即移除此光罩將使遠端之表面可用於與包含熱交換介質(諸如，熱交換流體)之介質的直接接觸。此使奈米管構件之遠端可用於與包含熱交換介質之介質的直接接觸。

在另一實施例中，裝置可不僅由前述特徵中之任一者表徵，而且由此等特徵之任何組合表徵。

因此，本發明之主要推動為產生對應於晶片之加底線熱點圖案的奈米管之特定圖案，且其中石墨烯薄片填充因數沿著溫度梯度以不連續的階梯狀方式而變化。

吾人按照沿著CNT軸之共同方向的定向碳奈米管束之導熱率來界定填充因數。其與由石墨烯薄片所佔據之束橫截面面積之百分比成比例(界定為石墨烯薄片填充因數)，且與束內之自由空間之剩餘百分比成反比。CNT可為單壁及多壁。

當吾人遵循自熱點至最冷區域之路徑時，階梯因數以階梯狀方式而減小，每一階梯對應於奈米管冷卻構件之額外區域，其具有與先前者不同之導熱率。吾人將此展示於圖

8中。在一實施例中，具有比另一奈米管束之奈米管大的直徑(且因此，具有比另一奈米管束之奈米管低的填充因數及低的導熱率)之單壁奈米管束用以將開始於熱點且結束於晶粒區域之溫度梯度與最小溫度匹配。

如此項技術中所熟知，CNT具有任一材料之最高導熱率(對於銅為6000 W/mK對比400)。Berber, S.、Kwon, Y.-K.及Tomanek, D之"Unusually High Thermal Conductivity of Carbon Nanotubes" (*Physical Review Letter*, 2000年第20期第84卷第4613至4616頁)；Srivastava, N.及Banerjee, K之**Proceedings of the 21st International VLSI Multilevel Interconnect Conference(VMIC)(2004)**。在吾人將CNT圖案置放於基板上之後，吾人在整個晶粒區域上沈積厚銅層且CMP至僅高於CNT頂部(圖4)。經由奈米管束之熱移除比經由僅覆蓋有銅之區域之熱移除快得多，因此減小或完全消除跨越晶片之熱點區域及溫度梯度。在一實施例中，此在晶片之Si側上進行。但，本發明之製程及所得製品亦包括自另一側(亦為BEOL或互連側)之冷卻。

冷卻將發生於晶片之Si側處。在處理開始之前，吾人藉由在 $T > 800^{\circ}\text{C}$ 下之普通的CVD來沈積CNT，但採取步驟以確保與所有後續步驟之製程相容性。或者，吾人稍後或在所有處理之末期藉由電漿增強型化學氣相沈積("PECVD")來生長CNT，但吾人不將吾人自身僅限於此製程。吾人亦藉由使用CNT或本文中所描述的吾人發明之其他方法來消除或大體上消除裝置中在裝置之兩側處之溫度梯度。關於

"兩側"，吾人意謂晶圓之BEOL側及相對側，亦即，其上不具有電路組件的矽晶粒之側。

接著，吾人在整個晶粒區域上沈積厚銅層且CMP至僅高於CNT頂部(圖4)。經由奈米管束之熱移除比經由僅覆蓋有等效厚度之銅之區域之熱移除快，因此減小或完全消除跨越晶片之熱點區域及溫度梯度。

可將奈米管看作已經無縫地滾軋為圓柱形之形狀的石墨烯薄片(包含以平坦六邊形圖案而配置之C原子的單層薄片)。相關參考案類似地將奈米管視為經滾軋為具有數奈米之直徑及高達數百微米("μm")之長度之管的石墨烯薄片條帶，諸如，由Den等人之美國專利第6,979,244號所揭示之內容，美國專利第6,979,244號將其描述為平行於垂直軸且在垂直軸周圍360°延伸之碳六邊形篩網薄片，從而產生具有任一材料之最高導熱率的六邊形環之石墨網路。

導熱率沿其碳基壁平行於長圓柱軸是最高的。如先前所指出，沿著CNT軸之共同方向之定向碳奈米管束的導熱率與由石墨烯薄片所佔據之束橫截面面積之百分比成比例(界定為石墨烯薄片填充因數)，且與束內之自由空間之剩餘百分比成反比。CNT可為單壁及多壁。石墨烯薄片填充因數包括具有自1個至約10個或更多壁奈米管結構間之任何數的奈米管，如(例如)在前文由Brorson等人所描述。可將後者看作包含具有共同長對稱軸及稍微不同直徑之許多同心圓柱體。多壁碳奈米管("MW-CNT")為用以最大化CNT束之填充因數之有效方式。亦藉由在六邊形緊密裝填

("HCP")組態中緊密地裝填CNT來最大化填充因數。包含相同直徑之CNT之HCP CNT束之填充因數與CNT直徑成反比。因此，導熱率與填充因數成比例，且可以如上文所論述之若干方式加以控制。

藉由變化用於CNT生長之催化劑奈米粒子之直徑，可達成CNT直徑之受控變化。已觀測到，CNT直徑與所使用之催化劑奈米粒子之直徑緊密地相關(Lieber等人，*J. Phys. Chem. B*, 2002, 106, 2429-2433)。Lieber等人展示使用具有3 nm、9 nm及13 nm之平均直徑的催化劑奈米粒子來分別生長具有3 nm、7 nm及12 nm之平均直徑的碳奈米管。在此等實驗中，催化劑奈米粒子之直徑大小分布相當窄，其轉化為CVD生長之CNT的大小分布，至少就先前兩個直徑大小而言。其他CVD生長參數(例如，C在CVD腔室中之供應、所使用之含C分子的種類及生長T，如在前文由Lieber等人所論述)亦具有對奈米管之直徑的影響。因此，本發明之奈米管之直徑可在自約1 nm至約25 nm或更大之間做任何變化。

可在特定區域上轉移特定大小之催化劑奈米粒子。可在基板之特定區域上自溶液轉移特定大小之催化劑奈米粒子。用以進行此之一方式為藉由使用聚二甲基矽氧烷(PDMS)戳記，如由Kumar等人之美國專利第5,512,131號所描述，其中經圖案化之PDMS戳記塗佈有形成分子劑之自裝配單層(SAM)，與SAM可結合至之基板相抵而按壓戳記，且移除戳記，從而留下僅在對應於經圖案化戳記之高

區域之區域上塗佈有SAM之經圖案化表面。在吾人之本發明中，形成分子劑之SAM將由具有SAM功能化表面之催化劑粒子之溶液替換。

將反映出需要在基板上產生之催化劑奈米粒子覆蓋圖案之PDMS戳記浸於含有催化劑奈米粒子之溶液(在一較佳實施例中，其表面藉由適當SAM而功能化)中，且接著將其按壓於所要基板上。具有互補圖案且"塗墨"有含有具有不同直徑之催化劑奈米粒子之催化劑奈米粒子溶液的PDMS戳記可隨後用以在需要不同冷卻速率的晶片之區域處產生包含不同催化劑奈米粒子直徑之圖案。以此方式，可在晶片之不同區域處達成可變CNT束填充因數，因此確保達成不同冷卻速率。或者，涉及若干標準微影步驟之更詳盡製程方案可用以產生上文所描述之圖案，然而，對應於不同冷卻需求之圖案之粗糙度使更簡單、更廉價且更快之PDMS戳記圖案化更適合於本發明之目的。

吾人亦藉由控制下一最近相鄰者(NNN)催化劑奈米粒子之間的距離來達成變化CNT束之填充因數。(因此，相同大小之CNT之密度)。吾人進行此之一方式為藉由在催化劑奈米粒子上添加自裝配單層(SAM)蓋罩，其中SAM分子具有不同烷基鏈長度。此提供NNN催化劑奈米粒子距離之控制。在CNT生長之前將此等SAM蓋罩燒掉。圖9說明變化NNN催化劑粒子之間的距離之此方法。在圖9之左側圖上，由具有等於14個重複單元(選擇此數目僅用於說明目的)之烷基鏈長度的分子組成之SAM用作用於催化劑粒子

之蓋罩；在圖9之右側圖上，由具有等於8個重複單元之烷基鏈長度的分子組成之SAM用作用於催化劑粒子之蓋罩。在利用SAM來塗佈之前，催化劑粒徑為相同的。在形成緊密裝填組態(通常為積極有利的狀態)之後，在圖9之左側圖及右側圖中催化劑粒子之中心之間的距離分別為 D_1 及 D_2 。距離 D_1 比 D_2 大。

C. P. Collier等人(*Science*, 277, 1978, (1997))已展示此方法在使用由具有用以蓋罩奈米粒子之不同烷基鏈長度的分子組成之SAM時控制經蓋罩Ag奈米粒子之緊密裝填膜中的粒子間距離時之有效性。圖10A及圖10B說明此，其藉由元件1310及1320來展示。由27埃之直徑的Ag粒子組成之壓縮膜之TEM影像經修剪，使得每一圖框含有102個粒子。說明1310包含被分離約6埃之蓋罩有己硫醇之粒子的視訊截取影像(暴露0.033s)。說明1320包含被分離約12埃之蓋罩有癸硫醇之粒子的膜影像。藉由控制催化劑奈米粒子之間的距離，可控制NNN CNT之間的距離。

或者，在熔合薄催化劑層之後，最初連續的催化劑層之使用可提供可變粒子間距離。此為此項技術中相當普通的產生催化劑粒子之方法。藉由變化後者層之厚度，平均而言，可以相當一致之方式來變化催化劑粒子之大小及分離度，且因此，可控制所得CNT束之填充因數，因此提供對CNT束之導熱率之控制。

藉由使用此等技術已知製程，吾人可在裝置之表面上產生束密度("表面密度")，平均而言，其自約每 1 nm^2 1個奈

米管至約每 100 nm^2 1個奈米管間之任何數變化。

在處理步驟之末期(包括厚Cu或其他金屬膜在整個晶粒區域(在覆蓋有各種CNT直徑之CNT束之區域或具有彼此間相距變化距離之CNT NNN之區域上及在未經覆蓋區域上)上之沈積)，吾人使用CMP步驟來平坦化Cu表面以用於獲得平坦表面。此有助於將晶片附著至冷卻結構。再次，導熱率與填充因數成比例，且可以如上文所描述之若干方式加以變化。

導熱率 k 為材料之指示其傳導熱之能力之特性。參看圖3， k 經界定為歸因於溫度差 ΔT 而在穩定狀態條件下且當熱轉移僅視溫度梯度而定時在時間 t 內經由厚度 L 在與面積 A 之表面正交的方向上所傳輸之熱量 Q 。導熱率=熱流動速率 \times 距離/(面積 \times 溫度差)

$$k = \frac{\left(\frac{dQ}{dt}\right) \cdot L}{A \cdot \Delta T}$$

其係以每克耳文-公尺之瓦特數($\text{W} \cdot \text{K}^{-1} \cdot \text{m}^{-1}$)加以量測。導熱率 k 之倒數為熱阻率 r ，其係以每瓦特之克耳文公尺數($\text{K} \cdot \text{m} \cdot \text{W}^{-1}$)加以量測。

$$r = \frac{1}{k} = \frac{A \cdot \Delta T}{\left(\frac{dQ}{dt}\right) \cdot L}$$

當處理已知量的材料時，可描述其熱導 U 及倒數特性熱阻 R 。對於一般科學使用，熱導為在單位時間內穿過特定

面積及厚度之板(當其相對面之溫度相差一度數時)的熱量。對於導熱率 k 、面積 A 及厚度 L 之板，此為 $U=kA/L$ ，其係以 $W \cdot K^{-1}$ 加以量測。此類似於導電率($A \cdot m^{-1} \cdot V^{-1}$)與電導($A \cdot V^{-1}$)之間的關係。隨後， $R=L/kA$ 。

亦存在被稱為熱轉移係數之量測：在單位時間內穿過特定厚度之板的單位面積(當其相對面之溫度相差一度數時)的熱量。倒數為熱絕緣電阻。總之：

熱導 $U=kA/L$ ，以 $W \cdot K^{-1}$ 加以量測。

熱阻 $R=1/U=L/kA$ ，以 $K \cdot W^{-1}$ 加以量測。

熱轉移係數 $U/A=k/L$ ，以 $W \cdot K^{-1} \cdot m^{-2}$ 加以量測。

熱絕緣電阻 $A/U=L/k$ ，以 $K \cdot m^2 \cdot W^{-1}$ 加以量測。

位於熱區域與冷區域之間的若干傳導層之總熱阻為個別層之熱阻之和，因為對於所有層， A 與 Q 為相同的。在此多層分割中，總電阻由下式給出：

$$R_{Total}=R_1+R_2+R_3+\dots$$

其中 $R_n(n=1, 2, 3, \dots)$ 為層1、2、3...之熱阻。

因此，總熱導藉由下式而與個別層之熱導相關：

$$\frac{1}{U_{Total}}=\frac{1}{U_1}+\frac{1}{U_2}+\frac{1}{U_3}+\dots$$

其中 $U_n(n=1, 2, 3, \dots)$ 為層1、2、3...之熱導。

在圖4所描繪之實例中，包含具有厚度 d_1 之Si晶圓4004的裝置4000在其表面之一些部分中由厚度 d_2 之Cu層4005背撐，且在一些其他區域中由相同厚度之CNT束背撐(未圖

示)。圖4亦說明BGA(球柵格陣列)4001、互連區域4002、裝置部件或層4003，其皆作為裝置4000之結構的一部分。自此計算省略黏著層及催化劑層，此係歸因於其相對很小的厚度及因此很小的熱阻。Si在室溫下具有 $144 \text{ W} \cdot \text{K}^{-1} \cdot \text{m}^{-1}$ 之導熱率[Microelectronics Packaging Handbook，由R. R. Tummala、E. J. Rymaszewski、A. G. Klopfenstein編輯，Chapman and Hall New York, NY(1997)，第I部分第323頁]，Cu 398具有 $398 \text{ W} \cdot \text{K}^{-1} \cdot \text{m}^{-1}$ 之導熱率[同上]，且CNT具有任一已知材料之最高導熱率，其中 $k=6000 \text{ W} \cdot \text{K}^{-1} \cdot \text{m}^{-1}$ (前文Berber, S.、Kwon, Y.-K.及Tomanek, D；前文Srivastava, N.及Banerjee, K)。

自圖4中之點A至點B的總熱絕緣電阻 A/U_{Total} (亦即，層4004(Si，在以下計算中亦被稱作層1)與層4005(Cu，在以下計算中亦被稱作層2)之總熱絕緣電阻)為：

$$\frac{A}{U_{Total}} = \frac{A}{U_1} + \frac{A}{U_2} \Rightarrow \frac{d_1 + d_2}{k_{Total}} = \frac{d_1}{k_{Si}} + \frac{d_2}{k_{Cu}}$$

為了使吾人之方法有效，吾人不想要Si傳導率為將判定堆疊之總熱絕緣電阻之控制參數。層1與層2(分別為Si及Cu)之熱絕緣電阻相等之點為當出現以下情況時：

$$\frac{d_1}{k_{Si}} = \frac{d_2}{k_{Cu}} \Rightarrow d_1 \cdot k_{Cu} = d_2 \cdot k_{Si} \Rightarrow d_2 = \frac{k_{Cu}}{k_{Si}} d_1 = \frac{398}{144} d_1 \Rightarrow d_2 = 2.764 d_1$$

為了使Cu控制堆疊之總絕緣電阻，Cu之厚度 d_2 應為Si之厚度的至少6-8倍。因此，應儘可能多地使Si晶圓變薄(例如，藉由化學機械研磨)，而不產生損傷其上之晶片結構

的可能性且不危害其結構穩定性以減小 d_1 ，且應將2-3倍 d_1 之Cu層沈積於Si晶圓之後部上。

讓吾人假定 $d_1=50 \mu\text{m}$ 且 $d_2=300 \mu\text{m}$ 。則，Si層之熱絕緣電阻將為 $(50\text{E-}6 \text{ m})/(144 \text{ W}\cdot\text{K}^{-1}\cdot\text{m}^{-1})=3.47\text{E-}7 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2$ ，且Cu層之熱絕緣電阻將為 $(300\text{E-}6 \text{ m})/(398 \text{ W}\cdot\text{K}^{-1}\cdot\text{m}^{-1})=7.538\text{E-}7 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2$ ，其比Si層之熱絕緣電阻大兩倍。在此情況下，堆疊之總熱絕緣電阻為 $1.1\text{E-}6 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2$ ，且其75%係歸因於Cu。因此，Cu層支配晶片之冷卻製程。

在進一步展開此分析時，吾人參看圖5及圖6。圖5說明裝置5000，其包含BGA 5001、互連區域5002、裝置層5003、Si晶圓5004及CNT(碳奈米管)束5005，而圖6說明裝置6000，其包含BGA 6001、互連區域6002、裝置層6003、Si晶圓6004、Cu層6005及CNT束6006。現在，若吾人根據本揭示案將CNT束施加於具有與較冷區域中之Cu厚度(在吾人之實例中， $d_2=300 \mu\text{m}$)相同的厚度之熱點上(圖6)，則CNT覆蓋區域(圖5，自A'至B')中堆疊之熱絕緣電阻將為 $3.47\text{E-}7 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2+(300\text{E-}6\text{m})/(6000 \text{ W}\cdot\text{K}^{-1}\cdot\text{m}^{-1})=3.47\text{E-}7 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2+5\text{E-}8 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2=3.97\text{E-}7 \text{ W}^{-1}\cdot\text{K}\cdot\text{m}^2$ ，其基本上為Si之熱絕緣電阻。

顯然地，吾人可使Si層愈薄，則使用所揭示方法的熱點之消除將愈有效。此外，吾人可使Si層愈薄，則整個晶片之總冷卻速率將愈有效，且平均晶片溫度將愈低。

一般製程方法

- 1.經由晶粒上電路之熱分析來識別熱點區域。

1a. 映像熱點之輪廓及溫度剖面。

2. 製造對應於熱點圖案之微影光罩；確保適當地映像熱點內之較冷區域。

3. 視所使用之催化劑而定，沈積用於後續催化劑層之Cr或Ta或Ti黏著層。黏著層將用於生長奈米管之催化劑緊固至晶粒之表面，且結果，亦將奈米管緊固至晶粒之表面。此黏著層亦幫助將基質材料接合至晶粒。黏著層亦可包含含硼材料或含矽材料或含金屬材料，硼材料及矽材料分別包含元素硼及矽或硼與矽之化合物，而金屬材料包含元素金屬兩者以及金屬化合物及合金及硼材料或矽材料或金屬材料之組合。然而，Fan, S. S. 等人之 "Self Oriented Regular Arrays of Carbon Nanotubes and Their Field Emission Properties" (*Science*, 第 283 卷 第 512 至 514 頁 (1999)) 描述不使用黏著層而直接在矽表面上生長此等奈米管，此製程亦屬於本發明之一態樣之範疇。

4. 沈積鎳或鈷或Fe或其他催化劑層以用於奈米管生長。

5. 藉由使用步驟2之微影光罩，藉由標準微影技術來圖案化催化劑層。

6. 在CNT生長腔室中插入基板，且使用促進垂直對準之CNT之生長的生長條件而在催化劑圖案上生長CNT(關於垂直，吾人意謂與基板垂直)。歸因於在CNT生長之前及期間所使用的基板溫度，催化劑層分裂為奈米粒子。

7. 藉由電鍍或其他方法而將厚銅層沈積於整個結構上。

8. 將銅CMP(化學機械研磨)至僅高於CNT束端(見圖6)。

基於圖6，覆蓋有催化劑/CNT層之熱點上之導熱率比覆蓋有Cu之具有較低冷卻需求之區域高至少10倍。現在，結構準備用於應用標準冷卻技術，例如，流體冷卻，包括水或水蒸汽冷卻、空氣冷卻、有機流體冷卻(包括其共沸物)；鹵化致冷劑流體冷卻，包括此項技術中已知之鹵化致冷劑之共沸混合物；大體上惰性氣體冷卻，諸如，氮氣冷卻；稀有氣體冷卻及其類似者；作為一次完成的冷卻流體製程或再循環的冷卻流體製程。亦可使用冷卻流體之混合物，其中當使用混合物時，混合物之每一組份為基於重量的自約1%至約99%。如所指出，可使用其他冷卻製程。

圖2包含具有對應於圖1之晶片晶粒上之較冷區域的黑色區域2001之微影光罩之說明，且區域2002、2003及2004包含隨著增加冷卻需要而增加熱產生之區域。根據本發明，需要發生具有大體上垂直於基板之長軸且具有變化填充因數(見以上如何達成此變化)的CNT束之沈積，其中最高填充因數在區域2004(熱點)處，較低填充因數在區域2003處，且甚至更低填充因數在區域2002處。CNT陣列或束變化愈大，則由各種CNT束或陣列區域之冷卻能力所進行的溫度梯度之匹配愈佳。圖2所說明之每一區域對應於用於壓印微影之微影光罩或PDMS戳記。每一光罩或戳記用以圖案化催化劑層(催化劑奈米粒子)，在催化劑層上，可接著生長垂直對準之CNT束。

圖7包含在 n^+ 型多孔矽基板上所合成之自定向奈米管之電子顯微圖(圖取自前文Fan, S. S.等人)。圖框(A)包含在

250 μm 乘 250 μm 催化劑圖案上所合成之奈米管塊之 SEM(掃描電子顯微鏡)影像。奈米管為 80 μm 長且經定向成垂直於基板(參看圖框(F))。圖框(B)包含在 38 μm 乘 38 μm 催化劑圖案上所合成之奈米管塔之 SEM 影像。奈米管為 130 μm 長。圖框(C)包含圖框(B)中所展示之奈米管塔之側視圖。奈米管經自裝配，使得塔之邊緣完美地與基板垂直。圖框(D)包含奈米管"雙塔"之 SEM 影像，其為圖框(C)中所說明之組態之放大圖。圖框(E)包含奈米管塔之頂部之尖銳邊緣及拐角之 SEM 影像。圖框(F)包含展示塊中之奈米管與垂直於基板表面之方向良好地對準之 SEM 影像。圖框(G)包含生長於 n^+ 型多孔矽基板上之若干奈米管塊中之純多壁奈米管之 TEM(透射電子顯微鏡)影像。即使在 1,2-二氯乙烷中超音處理達 15 分鐘，奈米管之對準且成束之組態仍明顯。圖框(G)中之插入物為展示成束於一起之兩個奈米管的高解析度 TEM 影像。解析兩個奈米管之良好定序的石墨晶格邊緣。

貫穿本說明書，吾人已陳述等效物，諸如，等效元素、材料、化合物、組合物、條件、製程、結構及其類似者，且即使經個別地陳述，亦包括此等等效物之組合，諸如，兩個組份、三個組份或四個組份組合。在所有例子中，在處理加工之群及組合中所陳述的等效物及/或其他材料之組合包括(但不限於)在每一群中所陳述的各種項目或元素之組合以及一群之元素與所有或任一其他群之元素的組合。

另外，如貫穿本說明書所闡明的描述本發明之各種數值範圍亦包括範圍之下端與範圍之上端之任何組合，及一範圍內之任一單一數值，或將減小範圍之下限之範疇或範圍之上限之範疇的範圍內之任一單一數值，或範圍之下端及上端兩者，及屬於此等範圍中之任一者的範圍。術語"至少一"意謂一個以上，或複數個，或大量，或自1至約1000，或自1至約500，或自1至約100。

如目前或隨後應用於本文中之任何參數(諸如，數值，包括用以描述數值範圍之值)的術語"約"或"實質"或"大體上"意謂參數之輕微變化，或其主要地或在極大程度上完全地被指定。吾人亦以與一般熟習此項技術者將理解術語"約"、"實質"及"大體上"或使用該等術語相同的方式來使用該等術語。在另一實施例中，當用以界定數值參數時，術語"約"、"實質"或"大體上"包括(例如)高達百分之五、高達百分之十或高達百分之15或稍高或稍低於百分之五、百分之十或百分之15的上限之變化。界定數值參數之術語"高達"意欲包括零或極小數目(例如，0.001)之下限。

此書面描述所提到之所有科學刊物論文及其他論文以及專利及專利申請案(包括另外在此等科學刊物論文及其他論文以及此等專利及專利申請案中所引用之參考案)以引用的方式全部併入本文中，以用於此書面描述中所引用之目的，且用於此等科學刊物論文及其他論文以及專利及專利申請案中所含有之所有其他揭示案，因為所有或任一或任何組合皆可整體地涉及或不僅適用於此書面描述，而且

適用於本說明書。

雖然吾人已參考一些實施例而描述吾人之發明，但吾人不意欲使此等實施例應限制吾人之發明，而由等效原則所包含之其他實施例意欲經包括為屬於前述書面描述、發明摘要、圖式及申請專利範圍之廣泛範疇及精神。

【圖式簡單說明】

圖1包含裝置1000且說明如藉由IR成像而揭露之晶粒上熱點。較亮陰影區域對應於較高溫度。處理器特徵之精細圖案為明顯的(Hamann, H.F.等人之"Power Distribution Measurements of the Dual Core Power PC™ 970 MP Microprocessor", ISSCC Dig. Tech Papers第534頁, 2006年2月)。

圖2包含具有對應於圖1之晶片晶粒上之較冷區域的黑色區域2001之微影光罩2000之說明，且區域2002、2003及2004為隨著增加冷卻需要而增加熱產生之區域。

圖3包含說明諸如矽晶粒或VLSI晶片之材料相對於其傳導熱之能力中之數學關係的三維曲線圖，且用以說明裝置之熱特性之數學計算。

圖4包含半導體裝置之橫截面中之側視圖，半導體裝置包含由Cu層(未圖示)在其表面之一些部分中且由與Cu層相同之厚度之CNT層(未圖示)在一些其他區域中所背撐的Si晶圓。吾人亦在裝置之熱特性之數學計算中使用此圖。

圖5包含半導體裝置之橫截面中之側視圖且展示以由催化劑層圖案所強加之預定圖案而排陣列之碳奈米管束。吾

人亦在裝置之熱特性之數學計算中使用此圖。

圖6包含半導體裝置之橫截面中之側視圖，半導體裝置包含以由催化劑層圖案所強加之預定圖案而排陣列之碳奈米管束(Fan, S. S.等人之"Self Oriented Regular Arrays of Carbon Nanotubes and Their Field Emission Properties", *Science*，第283卷第512至514頁(1999))。CNT經定向成大體上垂直於基板。使CNT陣列或束生長於藉由晶片之表面之熱分析而判定的晶片上之潛在熱點區域上之此圖案上。吾人使用此分析以將圖案形成為微影光罩(如在圖2中)。晶片區域覆蓋有吾人向下化學機械研磨(CMP)至CNT之頂部的銅。吾人亦在裝置之熱特性之數學計算中使用此圖。

圖7包含在 n^+ 型多孔矽基板上所合成之自定向奈米管之電子顯微圖。其展示以由催化劑層圖案所強加之預定圖案而排陣列之碳奈米管束。CNT經定向成垂直於基板(取自前文Fan, S. S.等人之圖)。

圖8包含對照距離作為橫座標而標繪溫度作為一縱座標且標繪填充因數作為第二縱座標以指示本發明之半導體裝置上自熱點至最冷區域之路徑的曲線圖。在此方面，圖8展示溫度以階梯狀方式之降低，每一階梯對應於奈米管冷卻構件之額外區域，其具有與先前者不同之導熱率。

圖9說明本發明之一態樣，其包含將CNT置放於表面上以製造本發明之半導體裝置之方法，其中用於生長CNT之NNN(下一最近相鄰者)催化劑粒子之間的距離經變化以獲得用於CNT束之不同填充因數。控制NNN催化劑奈米粒子

之間的距離會控制具有相同大小之CNT之密度。圖9說明在催化劑奈米粒子上添加自裝配單層(SAM)蓋罩之結果，其中SAM分子具有不同烷基鏈長度。此提供NNN催化劑奈米粒子距離之控制。在CNT生長之前將此等SAM蓋罩燒掉。

圖10A及圖10B包含由Ag粒子組成之壓縮膜之TEM影像，其說明用於在使用由具有不同烷基鏈長度之分子組成之SAM來蓋罩奈米粒子時控制經蓋罩Ag奈米粒子催化劑之緊密裝填膜中之粒子間距離以用於產生CNT之先前技術方法的結果。

【主要元件符號說明】

1000	裝置
1310	元件/說明
1320	元件/說明
2000	微影光罩
2001	黑色區域
2002	區域
2003	區域
2004	區域
4000	裝置
4001	BGA(球柵格陣列)
4002	互連區域
4003	裝置部件或層
4004	Si晶圓/層

4005	Cu層
5000	裝置
5001	BGA
5002	互連區域
5003	裝置層
5004	Si晶圓
5005	CNT(碳奈米管)束
6000	裝置
6001	BGA
6002	互連區域
6003	裝置層
6004	Si晶圓
6005	Cu層
6006	CNT束
A	面積
d_1	厚度
d_2	厚度
D_1	距離
D_2	距離
L	厚度
ΔT	溫度差

五、中文發明摘要：

本發明提供一種包含一晶粒之電子裝置，該晶粒具有：至少一經界定熱點區域；及至少一經界定中間溫度區域，其係處於一比該熱點區域之溫度低的溫度。該裝置亦包含一冷卻結構，其包含用於冷卻該熱點區域之至少一第一奈米管束，及用於冷卻該中間溫度區域且具有比該第一奈米管束低之導熱率之至少一額外奈米管束。兩組該等奈米管之該導熱率足以減小該晶粒上之該經界定熱點區域、該經界定中間溫度區域與至少一較低溫度區域之間的任一溫度梯度。該等第一奈米管及該等額外奈米管之壁係由一與該較低溫度區域操作性地相關聯之導熱基質材料包圍。

六、英文發明摘要：

An electronic device comprises a die with at least one defined hot-spot area; and at least one defined intermediate temperature area at a temperature lower than the temperature of the hot-spot area. The device also comprises a cooling structure comprising at least one bundle of first nanotubes for cooling the hot spot area and at least one bundle of additional nanotubes for cooling the intermediate temperature area, and having heat conductivity lower than the bundle of first nanotubes. The heat conductivity of both sets of the nanotubes is sufficient to decrease any temperature gradient between the defined hot spot area, the defined intermediate temperature area, and at least one lower temperature area on the die. The walls of the first nanotubes and the additional nanotubes are surrounded by a heat conducting matrix material operatively associated with the lower temperature area.

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

A 面積

L 厚度

ΔT 溫度差

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

102年5月13日修正本

P1~6

1. 一種包含一晶粒之半導體裝置，其中該晶粒包含：
 - (a) 至少一經界定熱點區域，其位於該晶粒上之一平面中；
 - (b) 至少一經界定最小溫度區域，其包含一位於該晶粒上之一平面中且處於一比該熱點區域之溫度低之溫度的區域，其中該最小溫度區域包含該晶粒之最小溫度；
 - (c) 至少一經界定中間溫度區域，其包含一處於一比該熱點區域之該溫度低溫度之位於該晶粒上之一平面中之之區域；
 - (d) 冷卻構件，其包含由一導熱材料構成且在自該熱點區域之該平面向外之一方向上延伸的至少一第一奈米管構件束，該第一奈米管構件與該熱點區域操作性地相關聯且與該熱點區域處於導熱關係，且具有足夠導熱率以減小該晶粒上之該熱點區域與任何其他溫度區域之間的任一溫度梯度；
 - (e) 冷卻構件，其包含由一導熱材料構成且在自該中間溫度區域之該平面向外之一方向上延伸的至少一額外奈米管構件束，該額外奈米管構件與該中間溫度區域操作性地相關聯且與該中間溫度區域處於導熱關係，且具有足夠導熱率以減小該晶粒上之該中間溫度區域與任何其他溫度區域之間的任一溫度梯度；
 - (f) 該第一奈米管構件束之該導熱率比該額外奈米管構件之該導熱率大；

(g) 該第一奈米管構件束及該額外奈米管構件束大體上由一包含一與該最小溫度區域操作性地相關聯且與該最小溫度區域處於導熱關係之導熱材料之基質材料所包圍；

(h) 該第一奈米管構件束及該額外奈米管構件束之該導熱率比該基質材料之該導熱率大；

(i) 該第一奈米管構件束及該額外奈米管構件束之遠端經定位成用於與一包含一熱交換介質之介質的直接接觸。

2. 如請求項1之裝置，其包含該第一奈米管構件束、該額外奈米管構件束及該基質材料，其中該第一奈米管構件束彼此大體上平行；且該額外奈米管構件束彼此大體上平行；且該第一奈米管構件束及該額外奈米管構件束大體上：

(a) 為線性或螺旋狀；

(b) 垂直於該熱點之該平面；

(c) 包含單壁或多壁奈米管。

3. 如請求項2之裝置，其中該第一奈米管構件束與該額外奈米管構件束在該裝置上具有不同arial密度，其中在該裝置上具有較高arial密度之該奈米管構件以一比在該裝置上具有較低arial密度之該奈米管構件高的速率來冷卻該裝置。

4. 如請求項2之裝置，其中該第一奈米管構件束中之該等奈米管與該額外奈米管構件束中之該等奈米管具有不同

直徑，其中具有較小直徑奈米管之該奈米管構件以一比具有較大直徑奈米管之該奈米管構件高的速率來冷卻該裝置。

5. 如請求項2之裝置，其中該基質材料包含一金屬材料且該奈米管構件包含碳。
6. 如請求項2之裝置，其包含一VLSI裝置。
7. 一種用於在一具有一晶粒之半導體裝置之表面上提供冷卻構件之製程，其包含：

(a)藉由熱分析來界定位於該晶粒上之一平面中之至少一熱點區域(a)；

(b)藉由熱分析來界定至少一最小溫度區域(b)，其包含一位於該晶粒上之一平面中且處於一比該經界定熱點區域之溫度低之溫度之經界定區域，其中該最小溫度區域包含該晶粒之最小溫度；

(c)藉由熱分析來界定至少一中間溫度區域(c)，其包含一處一比該經界定熱點區域之該溫度低之溫度之位於該晶粒上之一平面中的區域；

(d)製造一對應於該熱點區域(a)之光罩(d)；

(e)藉由該光罩(d)將一催化劑選擇性地施加至該晶粒之該表面以界定一對應於該熱點區域(a)之催化劑區域(e)，且藉此產生一具有一具有一對應於熱點區域(a)之選擇性催化表面(e)之晶粒的半導體裝置；該催化劑經選擇以促進一導熱第一奈米管構件束之生長；

(f)製造一對應於該中間溫度區域(c)之光罩(f)；

(g)藉由該光罩(f)將一第二催化劑選擇性地施加至該晶粒之該表面，以界定一對應於該中間溫度區域(c)之催化劑區域(g)，且藉此產生一具有一對應於中間溫度區域(c)之選擇性催化表面(g)之晶粒的半導體裝置；該第二催化劑經選擇以促進一導熱額外奈米管構件束之生長；

(h)自一導熱材料且在對應於該熱點區域(a)之該選擇性催化表面(e)上生長第一奈米管構件(h)，且在自該熱點區域(a)之該平面向外之一方向上延伸，該第一奈米管構件(h)與該熱點區域(a)操作性地相關聯且與該熱點區域(a)處於一導熱關係，以減小該裝置上之該熱點區域(a)與其他區域之間的任一溫度梯度；

(i)自一導熱材料且在對應於該中間溫度區域(c)之該選擇性催化表面區域(g)上生長額外奈米管構件(i)，以自該中間溫度區域(c)之該平面向外延伸，該額外奈米管構件(i)與該中間溫度區域(c)操作性地相關聯且與該中間溫度區域(c)處於一導熱關係，以減小該裝置上之該中間溫度區域(c)與其他區域之間的任一溫度梯度；

(j)在該最小溫度區域(b)上沈積一導熱基質材料(j)，以形成一基質以包圍該第一奈米管構件及該額外奈米管構件，該導熱基質材料(j)延伸至該區域(b)且與該區域(b)操作性地相關聯以傳導熱離開該區域(b)；

(k)由導熱材料製成之該第一奈米管構件(h)及該額外奈米管構件(i)具有一比該導熱基質材料高之導熱率，該

第一奈米管構件(h)之該導熱率比該額外奈米管構件(i)之該導熱率大；

(1)提供該第一奈米管構件及該額外奈米管構件之遠端，以充分地暴露於該導熱基質材料(j)上方以使該等遠端可用於與一包含一熱交換介質之介質的直接接觸。

8. 如請求項7之製程，其包含該第一奈米管構件束、該額外奈米管構件束及該基質材料，其中：

該第一奈米管構件束包含彼此大體上平行之奈米管；

該額外奈米管構件束包含彼此大體上平行之奈米管；且

該第一奈米管構件束及該額外奈米管構件束大體上：

(a)為線性或螺旋狀；

(b)垂直於該熱點之該平面；

(c)包含單壁或多壁奈米管。

9. 如請求項7之製程，其包含形成該第一奈米管構件束及該額外奈米管構件束以在該裝置上具有不同表面密度，其中在該裝置上具有較高arial密度之該奈米管構件以一比在該裝置上具有較低arial密度之該奈米管構件高的速率來冷卻該裝置。

10. 如請求項7之製程，其包含形成該第一奈米管構件束及該額外奈米管構件束，以藉由將作為催化劑粒子之該催化劑施加於該晶粒上且控制該催化劑之間隔而在該裝置上具有不同arial密度，其中在該裝置上具有較高表面密度之該奈米管構件以一比在該裝置上具有較低表面密度之該奈米管構件高的速率來冷卻該裝置。

11. 如請求項10之製程，其中將不同大小之催化劑粒子置放於該晶粒上之不同區域中以用於製造該等奈米管。
12. 如請求項10之製程，其包含藉由一SAM製程來控制該催化劑之該間隔。
13. 如請求項7之製程，其包含由一金屬材料形成該基質材料且由碳形成該奈米管構件。
14. 如請求項7之製程，其中該裝置包含一VLSI裝置。
15. 如請求項7之製程，其中在選擇性地將該催化劑層施加至該晶粒之該表面之前，將一金屬黏著層施加至該晶粒之該表面之步驟。
16. 如請求項7之製程，其中藉由奈米衝壓來圖案化該等催化劑區域。
17. 如請求項8之製程，其中藉由奈米衝壓來圖案化該等催化劑區域。