

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5067011号  
(P5067011)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl. F I  
**HO 4 N 5/374 (2011.01)** HO 4 N 5/335 7 4 O  
**HO 1 L 27/146 (2006.01)** HO 1 L 27/14 A

請求項の数 15 (全 41 頁)

(21) 出願番号 特願2007-132787 (P2007-132787)  
 (22) 出願日 平成19年5月18日(2007.5.18)  
 (65) 公開番号 特開2008-288953 (P2008-288953A)  
 (43) 公開日 平成20年11月27日(2008.11.27)  
 審査請求日 平成22年3月19日(2010.3.19)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 田浦 忠行  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 固体撮像装置、撮像装置、電子機器

(57) 【特許請求の範囲】

【請求項1】

単位画素が配列された画素部と、  
 前記画素部の各単位画素から読み出されたアナログの画素信号の大きさに応じたデジタル値をもつデジタル信号と、当該デジタル信号に対し位相が180度異なるデジタル補信号とを生成する相補信号生成部と、  
 相補の信号線対と、  
 前記デジタル信号と前記デジタル補信号のそれぞれを、前記相補の信号線対に転送する水平走査部と、  
 前記相補の信号線対を伝送された前記デジタル信号と前記デジタル補信号を差動入力を受けて、前記デジタル信号を再生する差動増幅部と、  
 を備える固体撮像装置。

10

【請求項2】

前記画素部は、前記単位画素が行列状に配列されており、  
 前記画素部の各単位画素からアナログの画素信号を読み出す垂直走査部をさらに備えた、  
 請求項1に記載の固体撮像装置。

【請求項3】

前記画素部の各単位画素から読み出されたアナログの画素信号を前記デジタル信号に変換し、当該デジタル信号と前記デジタル補信号を出力するA/D変換部をさらに備え、

20

前記デジタル信号と前記デジタル補信号は、相補のビットデータの信号である  
請求項 1 に記載の固体撮像装置。

【請求項 4】

前記相補の信号線対上の各信号をそれぞれ増幅する相補信号増幅部をさらに備え、  
前記差動増幅部は、前記相補信号増幅部で増幅された各信号を差動入力を受けて、前記  
デジタル信号を再生する、

請求項 1 から 3 の何れか一項に記載の固体撮像装置。

【請求項 5】

前記相補信号増幅部は、増幅した信号に基づき前記相補の信号線対上の各信号の振幅変  
動を抑制する方向に働く帰還回路を有する、

請求項 4 に記載の固体撮像装置。

【請求項 6】

前記相補の信号線対の電位をプルダウンする駆動トランジスタを具備した第 1 のレベル  
調整部と、

前記相補の信号線対の電位をプルアップする負荷トランジスタを具備した第 2 のレベル  
調整部と、

を備え、

前記帰還回路は、前記増幅した信号を前記負荷トランジスタの制御入力端に供給するよ  
うに構成されている、

請求項 5 に記載の固体撮像装置。

【請求項 7】

前記プルアップ時の電位を所定範囲に抑制する第 3 のレベル調整部を備える、

請求項 6 に記載の固体撮像装置。

【請求項 8】

前記第 3 のレベル調整部は、前記相補の信号線と基準電位との間に順方向で接続された  
ダイオードを有する、

請求項 7 に記載の固体撮像装置。

【請求項 9】

単位画素が行列状に配列された画素部と、

前記画素部の各単位画素からアナログの画素信号を読み出す垂直走査部と、

前記画素部の各単位画素から読み出されたアナログの画素信号の大きさに応じたデジタ  
ル値をもつデジタル信号と、当該デジタル信号に対し位相が 180 度異なるデジタル補信  
号とを生成する相補信号生成部と、

相補の信号線対と、

前記デジタル信号と前記デジタル補信号のそれぞれを、前記相補の信号線対に転送する  
水平走査部と、

前記相補の信号線対を伝送された前記デジタル信号と前記デジタル補信号を差動入力  
を受けて、前記デジタル信号を再生する差動増幅部と、

前記垂直走査部および前記水平走査部を制御するための制御情報を生成する主制御部と  
、

を備える撮像装置。

【請求項 10】

互いに位相差が 180 度異なる相補関係をもつ 2 つの相補のデジタル情報を伝送する相  
補の信号線対と、

前記 2 つの相補のデジタル情報を、前記相補の信号線対上に転送して伝送させる走査部  
と、

前記相補の信号線対上を伝送された前記 2 つの相補のデジタル情報をそれぞれ増幅する  
相補信号増幅部と、

前記相補信号増幅部で増幅された相補のデジタル情報の各信号を差動入力を受けて、前  
記 2 つの相補のデジタル情報の一方を再生する差動増幅部と、

10

20

30

40

50

を備える電子機器。

【請求項 1 1】

前記相補信号増幅部は、増幅した信号に基づき前記相補の信号線対上の各信号の振幅変動を抑制する方向に働く帰還回路を有する、

請求項 1 0 に記載の電子機器。

【請求項 1 2】

前記相補の信号線対の電位をプルダウンする駆動トランジスタを具備した第 1 のレベル調整部と、

前記相補の信号線対の電位をプルアップする負荷トランジスタを具備した第 2 のレベル調整部と、

を備え、

前記帰還回路は、前記増幅した信号を前記負荷トランジスタの制御入力端に供給するように構成されている、

請求項 1 1 に記載の電子機器。

【請求項 1 3】

前記プルアップ時の電位を所定範囲に抑制する第 3 のレベル調整部を備える、

請求項 1 2 に記載の電子機器。

【請求項 1 4】

前記第 3 のレベル調整部は、前記相補の信号線と基準電位との間に順方向で接続されたダイオードを有する、

請求項 1 3 に記載の電子機器。

【請求項 1 5】

前記差動増幅部から出力された情報を所定のタイミングで取り込み保持するデータ保持部をさらに備える、

請求項 1 0 から 1 4 の何れか一項に記載の電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量分布検知の半導体装置の一例である固体撮像装置および撮像装置、並びに電子機器に関する。詳細には、信号を他の機能部や外部に順次（たとえば水平転送して）出力する仕組みに関する。

【背景技術】

【0002】

電気回路の分野では、ある機能部で生成した電気信号を他の機能部や外部に順次（たとえば水平転送して）出力することがしばしば行なわれる。

【0003】

たとえば光や放射線などの外部から入力される電磁波あるいは圧力（接触など）などの物理量変化に対して感応性をする単位構成要素（たとえば画素）を行列状（マトリクス状）に複数個配列してなる物理量分布検知半導体装置が様々な分野で使われている。

【0004】

一例として映像機器の分野では、物理量の一例である光（電磁波の一例）の変化を検知する CCD（Charge Coupled Device）型あるいは MOS（Metal Oxide Semiconductor；金属酸化膜半導体）や CMOS（Complementary Metal-oxide Semiconductor；相補金属酸化膜半導体）型の撮像素子（撮像デバイス）を用いた固体撮像装置が使われている。

【0005】

近年では、固体撮像装置の一例として、CCDイメージセンサが持つ種々の問題を克服し得る MOS や CMOS 型のイメージセンサが注目を集めている。また、コンピュータ機器の分野では、指紋に関する情報を圧力に基づく電気的特性の変化や光学的特性の変化に基づき指紋の像を検知する指紋認証装置などが使われている。これらは、単位構成要素（固体撮像装置にあっては画素）によって電気信号に変換された物理量分布を電気信号とし

10

20

30

40

50

て読み出す。

【0006】

たとえば、CMOSイメージセンサは、画素ごとにフローティングディフュージョンアンブなどによる増幅回路を持ち合わせており、画素信号の読出しに当たっては、アドレス制御の一例として、画素アレイ部の中のある1行を選択し、その1行分を同時にアクセスして行単位で、つまり1行分の全画素について同時並列的に、画素信号を画素アレイ部から読み出す、いわゆる列並列出力型あるいはカラム型と称される方式が多く用いられている。

【0007】

また、固体撮像装置では、画素アレイ部から読み出されたアナログの画素信号を、アナログ-デジタル変換装置(A/D変換装置; Analog Digital Converter)にてデジタルデータに変換してから外部に出力する方式が採られることもある。

【0008】

この点については、列並列出力型の固体撮像装置についても同様であり、その信号出力回路については様々なものが考案されているが、その最も進んだ形態の一例として、列ごとにA/D変換装置を備え、デジタルデータとして画素情報を外部に取り出す方式が考えられている(たとえば非特許文献1を参照)。

【0009】

【非特許文献1】W.Yang et. al., "An Integrated 800x600 CMOS Image System", IS SCC99 DIGEST OF TECHNICAL PAPERS, SESSION17/PAPER WA17.3, pp.304-305, Feb., I E E E, 1999

【0010】

A/D変換方式としては、回路規模や処理速度(高速化)や分解能などの観点から様々な方式が考えられているが、一例として、アナログの単位信号とデジタルデータに変換するための漸次値の変化するいわゆるランプ状の参照信号(ランプ波)と比較するとともに、この比較処理と並行してカウント処理を行ない、比較処理が完了した時点のカウント値に基づいて単位信号のデジタルデータを取得する、いわゆるスロープ積分型あるいはランプ信号比較型(以下本明細書においては参照信号比較型と称する)と言われるA/D変換方式がある。前述の非特許文献1でも参照信号比較型A/D変換方式を採用した構成例が開示されている。参照信号比較型A/D変換方式と前述の列並列出力型とを組み合わせることで、画素からのアナログ出力を列並列に低帯域でA/D変換ができ、高画質と高速性を両立するイメージセンサに適しているといえる。

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、単位画素から得られた画素信号に基づく画素の情報を後段に出力する場合(一般的には水平転送と称される)、水平転送用の信号線(情報転送路:特に水平信号線と称する)に存在する寄生容量が問題となる。寄生容量の容量値が大きくなれば、その分だけ信号遅延の原因となり、情報転送の高速化を妨げることとなる。

【0012】

たとえば、フレームレートを上げるなど理由で高速動作を行なう場合は、行走査、水平転送などの動作を高速に動作させる必要がある。A/D変換を伴う場合はA/D変換も高速に動作させる必要がある。この中で、水平転送を高速化させたい場合、列アドレス選択で指定された列の情報出力段が水平信号線を駆動し、その列の情報が後段の回路に到達するまでの時間が支配的となる。

【0013】

列並列出力型を採用する場合には水平信号線には水平方向の画素列分の情報出力段が接続されることになり、情報出力段おのおの持つ寄生容量が合成されて全体の寄生容量が形成されることになるし、情報転送路である水平信号線の長さ起因する線抵抗は画素列の数に依存して大きくなる。選択された列の情報出力段はその大きな寄生容量Cや線抵抗

10

20

30

40

50

Rを負荷として駆動することになる。寄生CRが画素情報の転送速度を制限することとなる。近年は多画素化の要求があるため水平信号線に接続される情報出力段の数が増加傾向にあり、近年、特に要求のある高速動作化の制約となってしまう。

【0014】

本発明は、上記事情に鑑みてなされたものであり、信号を他の機能部や装置外部に順次転送して出力する仕組みにおいて、高速転送できる仕組みを提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明に係る固体撮像装置の一実施形態の仕組みは、固体撮像装置において、画素部の各単位画素から読み出されたアナログの画素信号に基づき、互いに相補関係を持つ2種類の相補信号を生成する相補信号生成部と、2種類の相補信号を伝送する2種類の相補の信号線と、2種類の相補信号のそれぞれを相補の信号線上で転送させる水平走査部と、2種類の相補の信号線上の信号を差動入力を受けて比較する差動増幅部を備えるものとした。

10

【0016】

端的に言えば、固体撮像装置において、画素情報を水平転送する際に、互いに相補関係を持つ2種類の相補信号で転送して後段の差動増幅部で元の情報(あるいはそれに相当する情報)を再生する点に特徴を有する。

【0017】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とが纏めてパッケージングされた、撮像機能を有するモジュール状の形態であってもよい。

20

【0018】

また、本発明に係る固体撮像装置の一実施形態の仕組みは、撮像装置にも適用可能である。この場合、撮像装置として、固体撮像装置と同様の効果が得られる。ここで、撮像装置は、たとえば、カメラ(あるいはカメラシステム)や撮像機能を有する携帯機器のことを示す。また「撮像」は、通常のカメラ撮影時の像の撮り込みだけではなく、広義の意味として、指紋検出なども含むものである。

【0019】

本発明に係る電子機器の一実施形態の仕組みは、互いに相補関係を持つ2種類の相補情報を伝送する2種類の相補の信号線と、2種類の相補情報のそれぞれを相補の信号線上で転送させる走査部と、2種類の相補の信号線上の相補情報をそれぞれ増幅する増幅部と、増幅部で増幅された各信号を差動入力を受けて比較する差動増幅部を備えるものとした。

30

【0020】

端的に言えば、電子機器において、情報を転送する際に、互いに相補関係を持つ2種類の相補データで転送して後段の差動増幅部で元のデータを再生する。特に、相補の信号線と差動増幅部との間に増幅部を介在させ、信号線側の振幅は小さくし、かつ差動増幅部の入力側は振幅を大きくする点に特徴を有する。

【発明の効果】

【0021】

本発明に係る固体撮像装置や撮像装置の一実施形態によれば、画素情報を相補信号で転送して後段の差動増幅部で再生するようにしたので、信号線にノイズが混入しても、その影響をキャンセルできる。その結果、高速転送が可能となる。

40

【0022】

本発明に係る電子機器の一実施形態によれば、デジタルデータを相補データで転送して後段の差動増幅部で再生するようにしたので、信号線にノイズが混入しても、その影響をキャンセルできる。また、相補の信号線と差動増幅部との間に増幅部を介在させ、信号線側の振幅は小さくし、かつ差動増幅部の入力側は振幅を大きくするようにしたので、バスラインである水平信号線上の寄生容量に起因する問題を改善できる。大振幅の情報での転送よりも小振幅の情報での転送の方が、低消費電力であり、また高速転送動作が可能になるからである。

50

## 【発明を実施するための最良の形態】

## 【0023】

以下、図面を参照して本発明の実施形態について詳細に説明する。なお、以下においては、X-Yアドレス型の固体撮像装置の一例である、CMOS固体撮像装置をデバイスとして使用した場合を例に説明する。また、CMOS固体撮像装置は、全ての画素がNMOSよりなるものであるとして説明する。

## 【0024】

ただしこれは一例であって、対象となるデバイスはMOS型の固体撮像装置に限らない。光や放射線などの外部から入力される電磁波に対して感応性を有する単位構成要素をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知用の半導体装置の全てに、後述する全ての実施形態が同様に適用できる。

## 【0025】

<固体撮像装置の全体概要>

図1は、本発明に係る固体撮像装置の一実施形態であるCMOS固体撮像装置(CMOSイメージセンサ)の概略構成図である。

## 【0026】

固体撮像装置1は、入射光量に応じた信号を出力する受光素子(電荷生成部の一例)を含む複数個の画素が行および列に配列された(すなわち2次元マトリクス状の)画素部を有し、各画素からの信号出力が電圧信号であって、CDS(Correlated Double Sampling; 相関2重サンプリング)処理機能部やデジタル変換部(ADC; Analog Digital Converter)などが列並列に設けられているものである。

## 【0027】

“列並列にCDS処理機能部やデジタル変換部が設けられている”とは、垂直列の垂直信号線(列信号線の一例)19に対して実質的に並列に複数のCDS処理機能部やデジタル変換部が設けられていることを意味する。

## 【0028】

複数の各機能部は、デバイスを平面視したときに、ともに画素アレイ部10に対して列方向の一方の端縁側(図の下側に配されている出力側)にのみ配されている形態のものであってもよいし、画素アレイ部10に対して列方向の一方の端縁側(図の下側に配されている出力側)とその反対側である他方の端縁側(図の上側)に分けて配されている形態のものであってもよい。後者の場合、行方向の読出走査(水平走査)を行なう水平走査部も、各端縁側に分けて配して、それぞれが独立に動作可能に構成するのがよい。

## 【0029】

たとえば、列並列にCDS処理機能部やデジタル変換部が設けられている典型例としては、撮像部の出力側に設けたカラム領域と呼ばれる部分に、CDS処理機能部やデジタル変換部を垂直列ごとに設け、順次出力側に読み出すカラム型のものである。また、カラム型(列並列型)に限らず、隣接する複数(たとえば2つ分)の垂直信号線19(垂直列)に対して1つのCDS処理機能部やデジタル変換部を割り当てる形態や、N本おき(Nは正の整数; 間にN-1本を配する)のN本分の垂直信号線19(垂直列)に対して1つのCDS処理機能部やデジタル変換部を割り当てる形態などを採ることもできる。

## 【0030】

カラム型を除くものは、何れの形態も、複数の垂直信号線19(垂直列)が1つのCDS処理機能部やデジタル変換部を共通に使用する構成となるので、画素アレイ部10側から供給される複数列分の画素信号を1つのCDS処理機能部やデジタル変換部に供給する切替回路(スイッチ)を設ける。なお、後段の処理によっては、出力信号を保持するメモリを設けるなどの対処が別途必要になる。

## 【0031】

何れにしても、複数の垂直信号線19(垂直列)に対して1つのCDS処理機能部やデジタル変換部を割り当てる形態などを採ることで、各画素信号の信号処理を画素列単位で読み出した後に行なうことで、同様の信号処理を各单位画素内で行なうものに比べて、各

10

20

30

40

50

単位画素内の構成を簡素化し、イメージセンサの多画素化、小型化、低コスト化などに対応できる。

【0032】

また、列並列に配された複数の信号処理部にて1行分の画素信号を同時並行処理することができるので、出力回路側やデバイスの外部で1つのCDS処理機能部やデジタル変換部にて処理を行なう場合に比べて、信号処理部を低速で動作させることができ、消費電力や帯域性能やノイズなどの面で有利である。逆に言えば、消費電力や帯域性能などと同じにする場合、センサ全体の高速動作が可能となる。

【0033】

なお、カラム型の構成の場合、低速で動作させることができ消費電力や帯域性能やノイズなどの面で有利であるとともに切替回路(スイッチ)が不要である利点もある。以下の実施形態では、特に断りのない限り、このカラム型で説明する。

【0034】

図1に示すように、本実施形態の固体撮像装置1は、複数の単位画素3が行および列に配列された画素部や撮像部などとも称される画素アレイ部10と、画素アレイ部10の外側に設けられた駆動制御部7と、画素アレイ部10の単位画素3に画素信号読出用の動作電流(読出電流)を供給する読出電流源部24と、垂直列ごとに配されたカラム回路25を有するカラム処理部26と、出力回路(S/A:センスアンプ)28とを備えている。これらの各機能部は、同一の半導体基板上に設けられている。

【0035】

なお、必要に応じて、出力回路28の前段に、デジタル演算部29を設けてもよい。ここで、「必要に応じて」とは、カラム回路25ではなくカラム回路25の後段にてリセットレベル $S_{rst}$ と信号レベル $S_{sig}$ との間の差分処理を行なう場合や、カラム処理部26にて補数カウント処理を行なうことに対応したデータ修正や、その他の積和演算処理を行なう場合などを意味する。

【0036】

図1では、簡単のため行および列の一部を省略して示しているが、現実には、各行や各列には、数十から数千の単位画素3が配置される。この単位画素3は、典型的には、検知部の一例である受光素子(電荷生成部)としてのフォトダイオードと、増幅用の半導体素子(たとえばトランジスタ)を有する画素内アンプ(画素信号生成部の一例)とから構成される。

【0037】

なお、固体撮像装置1は、色分解(色分離)フィルタを使用することで、画素アレイ部10をカラー撮像対応にすることができる。すなわち、画素アレイ部10における各電荷生成部(フォトダイオードなど)の電磁波(本例では光)が入射される受光面に、カラー画像を撮像するための複数色の色フィルタの組合せからなる色分解フィルタの何れの色フィルタを、たとえばいわゆるベイヤー(Bayer)配列などにして設けることで、カラー画像撮像対応とする。

【0038】

本実施形態のカラム回路25は、画素信号 $S_o$ の基準レベルである画素リセット直後の信号レベル(以下リセットレベルと称する)と信号レベルとの間で差分処理を実行することで、リセットレベルと信号レベルの差で示される信号成分を取得する差分処理部(CDS)25aと、画素信号の基準レベルであるリセットレベルと信号レベルとの差である信号成分をNビットデジタルデータに変換するAD変換部(ADC)25bの機能を備えている。

【0039】

差分処理部25aとAD変換部25bは、その配置順は自由であり、たとえば、図1に示すように、差分処理部25aによりアナログのリセットレベルと信号レベルとの間で差分処理を行ない、その差分処理結果をAD変換部25bでデジタルデータに変換する構成としてもよいし、図示を割愛するが、AD変換部25bでリセットレベルと信号レベルと

10

20

30

40

50

をそれぞれデジタルデータに変換し、各デジタルデータの差分を差分処理部 25 a でとる構成としてもよい。なお、画素信号を A D 変換部 25 b でデジタルデータに変換することは必須ではない。

【0040】

差分処理部 25 a の機能は、画素信号電圧  $V_x$  のリセットレベル  $S_{rst}$  と真の（受光光量に応じた）信号成分  $V_{sig}$  を含む信号レベル  $S_{sig}$  との差分をとる処理（いわゆる C D S 処理と等価）と等価となり、固定パターンノイズ（F P N ; Fixed Pattern Noise）やリセットノイズと言われるノイズ信号成分を取り除くことができる。

【0041】

このように、本実施形態のカラム回路 25 は、画素アレイ部 10 から転送されたアナログの画素信号をデジタルデータに変換する A D 変換機能と、ノイズ成分を抑制・除去する機能の両方を兼ね備えた A D 変換・ノイズ除去信号処理装置として機能するように構成できる。カラム回路 25 では、行アドレスを選択する垂直走査部 14 で選択された行の単位画素 3 から出力される画素信号電圧  $V_x$  をそれぞれ 1 行同時に  $n$  ビットのデジタルデータへの変換およびノイズ除去信号処理を行なう。

10

【0042】

カラム処理部 26 における A D 変換処理としては、行単位で並列に保持されたアナログ信号を、列ごとに設けられたカラム回路 25（詳細には A D 変換部 25 b）を使用して、行ごとに並列に A D 変換する方法を採ることができる。この際には、参照信号比較型（シングルスロープ積分型やランプ信号比較型など）の A D 変換方式を採用するとよい。この手法は、簡単な構成で A D 変換器が実現できるため、並列に設けても回路規模が大きくなりという特徴を有している。

20

【0043】

また、この際、A D 変換部 25 b の回路構成や動作を工夫することで、A D 変換とともに、垂直信号線 19 を介して入力された電圧モードの画素信号に対して、画素リセット直後のリセットレベルと真の（受光光量に応じた）信号レベルとの差分をとる C D S 処理を行なうことができ、固定パターンノイズなどのノイズ信号成分を取り除く差分処理部 25 a としても機能させることができる。

【0044】

参照信号比較型の A D 変換に当たっては、変換開始（比較処理の開始）から変換終了（比較処理の終了）までの時間に基づいてカウント動作有効期間（その期間を示す信号をカウントイネーブル信号と称する）を決定し、カウントイネーブル信号に基づきアナログの処理対象信号をデジタルデータに変換する。

30

【0045】

カラム回路 25 として参照信号比較型 A D 変換方式を採用することは一例に過ぎず、A D 変換処理やノイズ除去信号処理を行なうことができるものであれば好ましく、その他の任意の回路構成を採用することができる。

【0046】

また、カラム回路 25 にて画素信号電圧  $V_x$  を A D 変換してデジタルデータにして水平転送することに限らず、画素信号電圧  $V_x$  に対応するアナログ情報を水平転送するものであってもよい。この際には、画素列ごとに、差分処理部 25 a にて画素信号電圧  $V_x$  のリセットレベル  $S_{rst}$  と信号レベル  $S_{sig}$  との差分をとる C D S 処理を行なっておくのがよい。

40

【0047】

本実施形態は、水平転送における水平信号線 18 上の負荷容量に起因する問題を解決する仕組みに特徴があり、参照信号比較型の A D 変換の具体的な仕組みとしては、たとえば特許文献 1 に記載の仕組みを始めとして、どのようなものを用いてもよい。

【0048】

詳細は後述するが、本実施形態の水平転送においては、画素信号電圧  $V_x$  に対応する 1 つの情報を表す 2 つの相補関係（complementarity）を持つ情報を水平転送して後段回路

50



にて元の情報を復元するようにする点に特徴を有する。特に好ましくは、画素信号電圧  $V_x$  を A/D 変換して得たデジタル情報の各ビットデータについて、相補関係を持つ論理が互いに逆の 2 つの相補データを水平転送して後段回路にて元のビットデータを復元するようにする。

【 0 0 4 9 】

たとえば、アナログ情報で水平転送する場合であれば、互いに逆極性の差動信号をそれぞれ異なる対となる水平信号線 1 8 , 1 8 x で出力回路 2 8 まで転送する。また、デジタルデータで水平転送する場合であれば、ビット別に L / H が逆の関係を持つ相補データ（相補のビットデータ）をそれぞれ異なる対となる水平信号線 1 8 , 1 8 x（ビット別に持つ）で出力回路 2 8 まで転送する。差動信号や相補データを如何様に生成するかは自由である。差動信号と相補データを纏めて相補情報と称する。

10

【 0 0 5 0 】

駆動制御部 7 は、画素アレイ部 1 0 の信号を順次読み出すための制御回路機能を備えている。たとえば駆動制御部 7 としては、列アドレスや列走査を制御する水平走査部（列走査回路）1 2 と、行アドレスや行走査を制御する垂直走査部（行走査回路）1 4 と、内部クロックを生成するなどの機能を持つ通信・タイミング制御部 2 0 とを備えている。

【 0 0 5 1 】

単位画素 3 は、行選択のための行制御線 1 5 を介して垂直走査部 1 4 と、また垂直信号線 1 9 を介してカラム回路 2 5 が垂直列ごとに設けられているカラム処理部 2 6 と、それぞれ接続されている。ここで、行制御線 1 5 は垂直走査部 1 4 から画素に入る配線全般を示す。

20

【 0 0 5 2 】

垂直走査部 1 4 は、画素アレイ部 1 0 の行を選択し、その行に必要なパルスを提供するものであり、たとえば、垂直方向の読出し行を規定する（画素アレイ部 1 0 の行を選択する）垂直デコーダ 1 4 a と、垂直デコーダ 1 4 a にて規定された読出アドレス上（行方向）の単位画素 3 に対する行制御線 1 5 にパルスを提供して駆動する垂直駆動部 1 4 b とを有する。なお、垂直デコーダ 1 4 a は、信号を読み出す行（読出し行：選択行や信号出力行とも称する）の他に、電子シャッタ用の行なども選択する。

【 0 0 5 3 】

水平走査部 1 2 は、クロックに同期してカラム処理部 2 6 のカラム回路 2 5 を順番に選択し、画素信号をデジタル変換したデータを水平信号線 1 8 へ読み出す読出走査部の機能を持つ。たとえば、水平走査部 1 2 は、水平方向の読出列を規定する（カラム処理部 2 6 内の個々のカラム回路 2 5 を選択する）水平デコーダ 1 2 a と、水平デコーダ 1 2 a にて規定された読出アドレスに従って、カラム処理部 2 6 の各信号を水平信号線 1 8 に導く水平駆動部 1 2 b とを有する。水平信号線 1 8 は、カラム回路 2 5 で生成されたデータを転送するためのバスラインである。

30

【 0 0 5 4 】

通信・タイミング制御部 2 0 は、図示しないが、各部の動作に必要なクロックや所定タイミングのパルス信号を提供するタイミングジェネレータ T G（読出アドレス制御装置の一例）の機能ブロックと、端子 5 a を介して外部の主制御部から供給されるマスタークロック CLK0 を受け取り、また端子 5 b を介して外部の主制御部から供給される動作モードなどを指令するデータを受け取り、さらに固体撮像装置 1 の情報を含むデータを外部の主制御部に出力する通信インタフェースの機能ブロックとを備える。

40

【 0 0 5 5 】

たとえば、水平アドレス信号を水平デコーダ 1 2 a へ、また垂直アドレス信号を垂直デコーダ 1 4 a へ出力し、各デコーダ 1 2 a , 1 4 a は、それを受けて対応する行もしくは列を選択する。水平走査部 1 2 や垂直走査部 1 4 は、アドレス設定用のデコーダ 1 2 a , 1 4 a を含んで構成され、通信・タイミング制御部 2 0 から与えられる制御信号 C N 1 , C N 2 に応答してシフト動作（走査）などにより読出しアドレスを切り替える。

【 0 0 5 6 】

50

この際、単位画素3を2次元マトリクス状に配置してあるので、単位画素3に設けられる画素信号生成部により生成され垂直信号線19を介して列方向に出力されるアナログの画素信号を行単位で(列並列で)アクセスし取り込む(垂直)スキャン読みを行ない、この後に、垂直列の並び方向である行方向にアクセスし画素信号(本例ではデジタル化された画素データ)を出力側へ読み出す(水平)スキャン読みを行なうようにすることで、画素信号や画素データの読出しの高速化を図るのがよい。もちろん、スキャン読みに限らず、読み出したい単位画素3を直接にアドレス指定することで、必要な単位画素3の情報のみを読み出すランダムアクセスも可能である。

【0057】

水平走査部12や垂直走査部14などの駆動制御部7の各要素は、画素アレイ部10とともに、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成されたいわゆる1チップもの(同一の半導体基板上に設けられているもの)として、半導体システムの一部であるCMOSイメージセンサとして、本実施形態の固体撮像装置1の一部をなすように構成される。

10

【0058】

なお、固体撮像装置1は、このように各部が半導体領域に一体的に形成された1チップとして形成された形態であってもよいし、図示を割愛するが、画素アレイ部10、駆動制御部7、カラム処理部26などの各種の信号処理部の他に、撮影レンズ、光学ローパスフィルタ、あるいは赤外光カットフィルタなどの光学系をも含む状態で、これらを纏めてパッケージングされた撮像機能を有するモジュール状の形態としてもよい。

20

【0059】

このような構成の固体撮像装置1において、単位画素3から出力された画素信号は、垂直列ごとに、垂直信号線19を介して、カラム処理部26のカラム回路25に供給される。

【0060】

データ記憶・転送出力部256を設けない基本構成の場合は、AD変換部25bもしくは差分処理部25aの出力を水平信号線18に接続する。差分処理部25aによりアナログで差分処理してからAD変換部25bでデジタルデータに変換する場合にはAD変換部25bの出力が水平信号線18に接続されるし、逆に、AD変換部25bでデジタルデータに変換してから差分処理部25aにより差分処理する場合には差分処理部25aの出力が水平信号線18に接続される。以下、図1のように、前者の場合で説明する。

30

【0061】

AD変換部25bには、水平走査部12から制御線12cを介して制御パルス(水平データ転送クロックH)を入力する。AD変換部25bは、カウント結果を保持するラッチ機能を有しており、制御線12cを介しての制御パルスによる指示があるまでは、データを保持する。

【0062】

本実施形態では、個々のカラム回路25の出力側は、図示のように、AD変換部25bの後段に、このAD変換部25bの保持したカウント結果を保持するNビットのメモリ装置としてのデータ記憶・転送出力部256と、AD変換部25bとデータ記憶・転送出力部256との間に配されたデータ切替部の一例であるスイッチ(SEL)258を備える。

40

【0063】

データ記憶・転送出力部256を備える構成を採る場合、スイッチ258には、他の垂直列のスイッチ258と共通に、通信・タイミング制御部20から、所定のタイミングで、制御パルスとしてのメモリ転送指示パルスCN8が供給される。

【0064】

スイッチ258は、ロード機能に基づき、メモリ転送指示パルスCN8が供給されると、対応する自列のAD変換部25bのデータをデータ記憶・転送出力部256に転送する。データ記憶・転送出力部256は、転送されたデータを保持・記憶する。

50

## 【 0 0 6 5 】

本実施形態の水平走査部 1 2 は、スイッチ 2 5 8 を設けたことに対応して、カラム処理部 2 6 の各差分処理部 2 5 a と A D 変換部 2 5 b が、それぞれが担当する処理を行なうのと並行して、各データ記憶・転送出力部 2 5 6 が保持していたデータを読み出す読出走査部の機能を持つ。

## 【 0 0 6 6 】

データ記憶・転送出力部 2 5 6 を備えた構成とすれば、A D 変換部 2 5 b が保持した A D 変換データを、データ記憶・転送出力部 2 5 6 に転送することができるため、A D 変換部 2 5 b の A D 変換処理と、A D 変換結果の水平信号線 1 8 への読出動作とを独立して制御可能であり、A D 変換処理と外部への信号の読出動作とを並行して行なうパイプライン動作が実現できる。

10

## 【 0 0 6 7 】

たとえば A D 変換部 2 5 b にて画素データの A D 変換結果をラッチ（保持・記憶）することで A D 変換を完了する。その後、所定のタイミングでデータ記憶・転送出力部 2 5 6 に転送し、記憶・保持しておく。この後、カラム回路 2 5 は、所定のタイミングで水平走査部 1 2 から制御線 1 2 c を介して入力される制御パルスに同期したシフト動作に基づき、データ記憶・転送出力部 2 5 6 に記憶・保持した画素データを、順次、カラム処理部 2 6 外や画素アレイ部 1 0 を有するチップ外へ出力端子 5 c から出力する。

## 【 0 0 6 8 】

< < 参照信号比較型 A D 変換の仕組み > >

20

図 2 および図 2 A は、参照信号比較型 A D 変換を実行するための基本回路構成例を示す図である。

## 【 0 0 6 9 】

図 2 に示すように、参照信号比較型 A D 変換を実行するための第 1 の構成例としては、まず、カラム処理部 2 6 に A D 変換用の参照信号 SLP\_ADC を供給する参照信号生成部 2 7 を備えている。参照信号 SLP\_ADC は、全体的にある傾きを持って線形に変化する波形を持つものであればよく、その変化が滑らかなスロープ状を呈するものであってもよいし、階段状に順次変化するものであってもよい。

## 【 0 0 7 0 】

参照信号生成部 2 7 は、D A 変換回路（D A C ; Digital Analog Converter）2 7 a を有して構成されており、通信・タイミング制御部 2 0 からの制御データ C N 4 で示される初期値からカウントクロック C K dac に同期して、参照信号 SLP\_ADC を生成して、カラム処理部 2 6 の個々の A D 変換部 2 5 b に、この生成した参照信号 SLP\_ADC を A D 変換用の参照電圧（A D C 基準信号）として供給するようになっている。なお、図示を割愛しているが、ノイズ防止用のフィルタを設けるとよい。

30

## 【 0 0 7 1 】

通信・タイミング制御部 2 0 から参照信号生成部 2 7 の D A 変換回路 2 7 a に供給する制御データ C N 4 は、比較処理ごとの参照信号 SLP\_ADC が基本的には同じ傾き（変化率）となるように、時間に対するデジタルデータの変化率を同じにする情報も含んでいる。具体的には、カウントクロック C K dac に同期して、単位時間ごとに 1 ずつカウント値を変化させ、そのカウント値を電流加算型の D A 変換回路で電圧信号に変換するようにする。カウントクロック C K dac はカウントクロック C K CNT と同一にしてもよい。

40

## 【 0 0 7 2 】

A D 変換部 2 5 b は、参照信号生成部 2 7 の D A 変換回路 2 7 a で生成される参照信号 SLP\_ADC と、行制御線 1 5（V 1, V 2, V 3, ..., V v）ごとに単位画素 3 から垂直信号線 1 9（H 1, H 2, ..., H h）を経由し得られるアナログの画素信号を比較する電圧比較部（コンパレータ）2 5 2 と、電圧比較部 2 5 2 が比較処理を完了するまでや完了後から所定期間までの時間をカウントし、その結果を保持するカウンタ部 2 5 4 を備えて構成され n ビット A D 変換機能を有している。

## 【 0 0 7 3 】

50

本構成例におけるカウンタ部 2 5 4 は、参照信号 SLP\_ADC の時間変化に合わせてカウンタクロック CK\_CNT を計数してカウントデータ（計数値）を生成する計数部と、計数部で生成されるカウントデータの内の画素信号電圧  $V_x$  に対応するカウントデータを保持するデータ保持部（計数値保持部）の両機能を備える。

【 0 0 7 4 】

また、A/D変換部 2 5 b は、電圧比較部 2 5 2 とカウンタ部 2 5 4 との間に、カウンタ部 2 5 4 におけるカウント処理の期間やカウントデータの保持動作を制御するカウント動作制御部 2 5 3 を有する。カウント動作制御部 2 5 3 は、カウンタ部 2 5 4 におけるカウント処理の期間（カウント動作有効期間 T<sub>EN</sub>）を制御するカウント位相調整部（PH SEL）2 6 0 を有する。カウント位相調整部 2 6 0 には、通信・タイミング制御部 2 0 からカウンタ期間を制御するカウント期間制御信号 S E L が供給され、また、電圧比較部 2 5 2 から比較パルス COMP が供給される。

10

【 0 0 7 5 】

カウント期間制御信号 S E L としては様々な使い方が考えられる。たとえば、全列のカウンタ部 2 5 4 のカウント動作有効期間を一律に制御する使い方や、垂直列を幾つか（典型的には 2 つ）のグループに分けてグループ別にカウント動作有効期間を制御する使い方や、画素信号電圧  $V_x$  のレベルに応じてカウント動作有効期間を制御する使い方などが考えられる。

【 0 0 7 6 】

カウント位相調整部 2 6 0 は、通信・タイミング制御部 2 0 からのカウント期間制御信号 S E L あるいは前列もしくは自列の電圧比較部 2 5 2（電圧比較部 2 5 2 とは別のコンパレータを使用してもよい）の画素信号電圧  $V_x$  と参照信号 SLP\_ADC との比較結果（纏めて位相調整制御信号と称する）に基づき電圧比較部 2 5 2 からの比較パルス COMP を論理反転して（逆相で）カウントイネーブル信号 EN としてカウンタ部 2 5 4 に渡すか、もしくは比較パルス COMP をそのまま（同相で）カウントイネーブル信号 EN としてカウンタ部 2 5 4 に渡す。カウント位相調整部 2 6 0 は、カウント期間を決定するカウント期間制御部の一例である。

20

【 0 0 7 7 】

たとえば、カウント位相調整部 2 6 0 としては E X - O R（排他的論理和）ゲートを使用し、一方の入力端に比較パルス COMP を入力し、他方の入力端に位相調整制御信号を入力する。この場合、E X - O R ゲートは、位相調整制御信号が H レベルのときに比較パルス COMP を論理反転してカウントイネーブル信号 EN とし、位相調整制御信号が L レベルのときに比較パルス COMP をそのままカウントイネーブル信号 EN とする。

30

【 0 0 7 8 】

本構成例のカラム A/D変換処理においては、列ごとに配された電圧比較部 2 5 2 に D/A変換回路 2 7 a から参照信号 SLP\_ADC が共通に供給され、各電圧比較部 2 5 2 が処理を担当する画素信号電圧  $V_x$  について、共通の参照信号 SLP\_ADC を使用して比較処理を行なう。カウンタ部 2 5 4 は、カウント位相調整部 2 6 0 の出力をカウントイネーブル信号 EN として使用し、カウントイネーブル信号 EN が H レベルのときにカウンタクロック CK\_CNT を元にカウント処理を行ない、カウント処理終了時のカウント結果を保持する。

40

【 0 0 7 9 】

通信・タイミング制御部 2 0 から各 A/D変換部 2 5 b のカウント位相調整部 2 6 0 やカウンタ部 2 5 4 には、カウント期間制御信号 S E L の他にも、カウンタ部 2 5 4 が 2 回に亘るカウント処理をダウンカウントモードで動作するのかアップカウントモードで動作するのかや、1 回目のカウント処理における初期値 D<sub>ini</sub> の設定やリセット処理など、その他の制御情報を指示するための制御信号 C N 5 が入力されている。

【 0 0 8 0 】

電圧比較部 2 5 2 の一方の入力端子 RAMP は、他の電圧比較部 2 5 2 の入力端子 RAMP と共通に、参照信号生成部 2 7 で生成される階段状の参照信号 SLP\_ADC が入力され、他方の入力端子には、それぞれ対応する垂直列の垂直信号線 1 9 が接続され、画素アレイ部 1 0 が

50

らの画素信号電圧が個々に入力される。電圧比較部 252 の出力信号（比較パルスCOMP）はカウンタ位相調整部 260 に供給される。

【0081】

カウンタ部 254 のクロック端子CKには、他のカウンタ部 254 のクロック端子CKと共通に、通信・タイミング制御部 20 からカウンタクロックCK\_CNTが入力されている。このカウンタ部 254 は、その構成については図示を割愛するが、ラッチで構成されたデータ記憶部の配線形態を同期カウンタ形式に変更することで実現でき、1本のカウンタクロックCK\_CNTの入力で、内部カウントを行なうようになっている。

【0082】

カウンタ部 254 は、1画素の信号成分VsigのデジタルデータDsigを取得するための2回に亘るカウント処理において、ダウンカウント動作とアップカウント動作を切り替えて動作させる場合には、好ましくは、ダウンカウント動作とアップカウント動作を切替可能なアップダウンカウンタを用いるのがよい。

10

【0083】

一方、2回に亘るカウント処理において、ダウンカウント動作とアップカウント動作の何れか一方のみで動作すればよい場合には、その動作に対応するアップカウンタもしくはダウンカウンタの何れかであれば十分である。ただし、原理的には、利用形態として、ダウンカウント動作とアップカウント動作を切替可能なアップダウンカウンタを用いて、ダウンカウント動作とアップカウント動作の何れか一方で動作させるようにしても差し支えない。しかしながら通常は、アップダウンカウンタは、そのモード切替用の回路構成が必要であり、アップカウンタやダウンカウンタと言った単一のカウンタモードのみに対応した構成に比べると回路規模が大きくなるので、何れか一方のみで動作すればよい場合にはアップダウンカウンタを採用しないのがよい。

20

【0084】

また、カウンタ部 254 としては、カウンタ出力値がカウンタクロックCK\_CNTに同期せずに出力される非同期カウンタを使用するのが好ましい。基本的には、同期カウンタを使用することもできるが、同期カウンタの場合、全てのフリップフロップ（カウンタ基本要素）の動作がカウンタクロックCK\_CNTで制限される。よって、より高周波数動作が要求される場合には、カウンタ部 254 としては、その動作制限周波数が最初のフリップフロップ（カウンタ基本要素）の制限周波数でのみ決められるため高速動作に適する非同期カウンタの使用がより好ましいのである。

30

【0085】

カウンタ部 254 には、水平走査部 12 から制御線 12c を介して制御パルスが入力される。カウンタ部 254 は、カウンタ結果を保持するラッチ機能を有しており、制御線 12c を介しての制御パルスによる指示があるまでは、カウンタ出力値を保持する。

【0086】

個々のAD変換部 25b の出力側は、たとえば、カウンタ部 254 の出力を水平信号線 18 に接続することができる。あるいは、図1に示したように、カウンタ部 254 の後段に、このカウンタ部 254 の保持したカウンタ結果を保持するメモリ装置としてのデータ記憶・転送出力部 256 を備える構成を採ることもできる。

40

【0087】

データ記憶・転送出力部 256 の出力は、水平信号線に接続される。前述のように、本実施形態では、ビット別にL/Hが逆の関係を持つ相補データを出力回路 28 まで転送する。よって、水平信号線としては、一例としてカラム回路 25 が取り扱うビット数  $n$  ( $n$  は正の整数) 分と相補データで転送するための組（水平信号線 18,  $18 \times$ ）に対応する  $2 * n$  本、たとえば 10 (=  $n$ ) ビットであれば、 $2 * 10 = 20$  本配置されるバスラインである。

【0088】

ここで、参照信号比較型のAD変換においては、カウンタ動作有効期間の側面では、カウンタ開始を参照信号SLP\_ADCの変化開始時点としカウンタ終了を参照信号SLP\_ADCと処

50

理対象信号電圧とが一致する時点とする前半カウント動作と、カウント開始を参照信号SLP\_ADC と処理対象信号電圧とが一致する時点としカウント終了をその回の所望のカウント数に到達する時点（典型的には最大AD変換期間が到達した時点）とする後半カウント動作とに大別できる。

【0089】

本願明細書において、参照信号SLP\_ADC の変化を開始した時点から参照信号SLP\_ADC と画素信号電圧  $V_x$  が同一になるまでの前半期間でカウント処理を行なうことを、実数のカウント処理とも称する。一方、参照信号SLP\_ADC と画素信号電圧  $V_x$  が同一になった時点からその回の最大AD変換期間に到達する時点までの後半期間でカウント処理を行なうことを、補数のカウント処理とも称する。

10

【0090】

また、カウントモードの側面では、アップカウントモードで処理するかダウンカウントモードで処理するかに大別できる。

【0091】

垂直信号線19から出力される画素信号  $S_o$ （画素信号電圧  $V_x$ ）は、時間系列として、一般的には、基準レベルとしての画素信号の雑音を含むリセットレベル  $S_{rst}$  の後に信号レベル  $S_{sig}$  が現れるものである。基準レベル（リセットレベル  $S_{rst}$ 、事実上リセットレベル  $S_{rst}$  と等価）についての処理をプリチャージ相（P相と省略して記すこともある）の処理（もしくはリセットカウンタ期間の処理）と称し、信号レベル  $S_{sig}$  についての処理をデータ相（D相と省略して記すこともある）の処理（もしくはデータカウンタ期間の処理）と称する。P相の処理後にD相の処理を行なう場合、D相の処理はリセットレベル  $S_{rst}$  に信号成分  $V_{sig}$  を加えた信号レベル  $S_{sig}$  についての処理となる。

20

【0092】

第1の構成例を採用する場合、カウンタ部254を垂直列ごとに備えているので、列ごとに参照信号比較型のAD変換においてCD S機能をAD変換とともに実行する際には、前半カウント動作および後半カウント動作と、カウントモード（アップカウントかダウンカウントか）と、これらをP相の処理およびD相の処理で何れを採用するかによって、様々な処理手法を採ることができる。

【0093】

一方、図2Aに示すように、参照信号比較型AD変換を実行するための第2の構成例としては、参照信号生成部27と同様に、カウンタ部254を各垂直列に対して共通に使用する構成としている。カラム回路25は、電圧比較部252と、データ記憶・転送出力部256を有する。カウンタ部254は、P相およびD相の各処理において、参照信号SLP\_ADCのスロープ期間に対応する最大AD変換期間中アップカウント動作（もしくはダウンカウント動作）を継続して行なう。その各ビットのカウントデータ（カウントクロックとも称する） $CK_0, \dots, CK_{n-1}$ は各垂直列のデータ記憶・転送出力部256に通知される。各垂直列のデータ記憶・転送出力部256は、自列の電圧比較部252の比較出力COMPが反転したときにカウンタ部254のカウントデータを取り込んで保持する。

30

【0094】

本構成例におけるカウンタ部254は、参照信号SLP\_ADCの時間変化に合わせてカウントクロックCK\_CNTを計数してカウントデータ（計数値）を生成する計数部の機能を備える。データ記憶・転送出力部256は、計数部で生成されるカウントデータの内の画素信号電圧  $V_x$  に対応するカウントデータを保持するデータ保持部（計数値保持部）の機能を備える。

40

【0095】

データ記憶・転送出力部256は、P相およびD相の各処理において取得した各データ  $D_p, D_d$  を内部の異なった格納部に保持する。そして、水平走査部12の制御の元で、P相およびD相の各処理において取得した各データ  $D_p, D_d$  を各別の水平信号線18にてデジタル演算部29へと転送する。デジタル演算部29では、各データ  $D_p, D_d$  の差分を求めることで信号成分  $V_{sig}$  のデジタルデータ  $D_{sig}$  を求める。

50

## 【 0 0 9 6 】

データ記憶・転送出力部 2 5 6 の出力は、水平信号線に接続される。本実施形態では、ビット別に L / H が逆の関係を持つ相補データをデジタル演算部 2 9 まで転送する。よって、水平信号線としては、一例としてカラム回路 2 5 が取り扱うビット数  $n$  ( $n$  は正の整数) 分と P 相および D 相のデータ  $D_p$ ,  $D_d$  ごとに相補データで転送するための組 (水平信号線 1 8, 1 8 x) に対応する  $2 * 2 * n$  本、たとえば 1 0 (=  $n$ ) ビットであれば、 $2 * 2 * 1 0 = 4 0$  本配置されるバスラインである。

## 【 0 0 9 7 】

何れの構成例や処理手法においても、原理的には、コンパレータ (電圧比較器) にランプ状の参照信号 SLP\_ADC を供給し、垂直信号線 1 9 を介して入力されたアナログの画素信号電圧  $V_x$  を参照信号 SLP\_ADC と比較するとともに、カウント動作有効期間に入るとクロック信号でのカウント (計数) を開始することによって、指定されているカウント動作有効期間におけるクロック数をカウントすることで A D 変換を行なう。

10

## 【 0 0 9 8 】

さらに何れの構成例や処理手法においても、P 相処理時には、単位画素 3 のリセット成分  $V_{rst}$  を読み出して、画素信号電圧  $V_x$  におけるリセットレベル  $S_{rst}$  について処理することになる。リセット成分  $V_{rst}$  内には、単位画素 3 ごとにばらつく雑音がオフセットとして含まれている。しかし、このリセット成分  $V_{rst}$  のばらつきは一般に小さく、またリセットレベル  $S_{rst}$  は概ね全画素共通であるので、任意の垂直信号線 1 9 の画素信号電圧  $V_x$  におけるリセット成分  $V_{rst}$  の出力値 (= リセットレベル  $S_{rst}$ ) はおおよそ既知である。したがって、P 相処理時には、参照信号 SLP\_ADC を調整することにより、比較期間を短くすることが可能である。たとえば、P 相処理時の最大カウント数  $D_{rm}$  を 7 ビット分のカウント数 (1 2 8 クロック) にする。

20

## 【 0 0 9 9 】

一方、D 相処理時には、リセットレベル  $S_{rst}$  に加えて、単位画素 3 ごとの入射光量に応じた信号成分  $V_{sig}$  を読み出して、信号成分  $V_{sig}$  を含む信号レベル  $S_{sig}$  について処理することになる。よって、D 相処理時には、入射光量に応じた信号成分  $V_{sig}$  を読み出すので、光量の大小を広い範囲で判定するために、比較期間を広く取り、電圧比較部 2 5 2 に供給する参照信号 SLP\_ADC を大きく変化させる必要がある。たとえば、D 相処理時の比較処理の最大カウント数  $D_{sm}$  を 1 0 ビット分のカウント数 (1 0 2 4 クロック) ~ 1 2 ビット分のカウント数 (4 0 9 6 クロック) にする。リセットレベル  $S_{rst}$  についての比較処理の最長期間を、信号レベル  $S_{sig}$  についての比較処理の最長期間よりも短くするのである。双方を同じにするのではなく、こうすることで、2 回に亘るトータルの A D 変換期間が短くなるように工夫するのである。

30

## 【 0 1 0 0 】

< 固体撮像装置の動作 ; 第 1 処理例の動作 >

図 3 は、参照信号比較型 A D 変換の第 1 処理例の動作を説明するタイミングチャートである。第 1 処理例の適用に当たっては、回路構成としては図 2 に示した第 1 の構成例を採用する。

## 【 0 1 0 1 】

参照信号比較型の A D 変換におけるカウント動作有効期間としては、カラム回路 2 5 にてリセットレベルと信号レベルとの間の差分処理を行なう場合には、たとえば一般的には、2 回に亘る各回の処理時に何れも、カウント開始を参照信号 SLP\_ADC の変化開始時点としカウント終了を参照信号 SLP\_ADC と処理対象信号電圧とが一致する時点とする第 1 処理例を採り得る。つまり、第 1 処理例では、2 回に亘る各回の処理時に何れも前半カウント動作を適用する。

40

## 【 0 1 0 2 】

この場合、1 画素の信号成分  $V_{sig}$  のデジタルデータ  $D_{sig}$  を取得するための 2 回に亘るカウント処理において、カウンタ部 2 5 4 を、ダウンカウント動作とアップカウント動作とを切り替えて動作させる。全体動作としては、D 相処理がアップカウントのときには

50

信号レベル  $S_{sig}$  に関して実数をカウントする動作と考えるとよく、D相処理がダウンカウントのときには信号レベル  $S_{sig}$  に関して補数（負数）をカウントする動作と考えるとよい。

#### 【0103】

詳細な説明は割愛するが、基本的には、たとえば、特開2005-311933号公報や特開2006-33452号公報などに記載の手法と同様の手法をとる。一般的な参照信号比較型と称するAD変換処理においては、まず、ある処理対象行  $V_x$  について、垂直列  $H_1 \sim H_h$  のそれぞれについて、1回目の処理時、つまりリセットレベル  $S_{rst}$  についてのAD変換期間であるP相の処理期間においては、カウンタ部254の各フリップフロップのカウント値をP相の最大AD変換階調の最小値  $min$ 、たとえば“0”にリセットさせる。そして、カウンタ部254をダウンカウントモードに設定して、電圧比較部252による参照信号  $SLP\_ADC$  と画素信号電圧  $V_x$  のP相レベルとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、P相レベルのAD変換を行なう。当初は、画素信号電圧  $V_x$  のP相レベルよりも参照信号  $SLP\_ADC$  の方が高く電圧比較部252の比較出力COMPはHレベルにあるものとする。比較処理開始後、P相レベルであるリセットレベル  $S_{rst}$  と参照信号  $SLP\_ADC$  とが一致した時点で電圧比較部252の比較出力COMPがHレベルからLレベルへ変化し、この時点でカウンタ部254には、リセットレベル  $S_{rst}$  の大きさに対応したデジタル値  $D_{rst}$  を示す（符号を加味すれば  $-D_{rst}$  を示す）カウント値が保持される。

#### 【0104】

続いての2回目の処理時、つまり信号レベル  $S_{sig}$  についてのAD変換期間であるD相の処理期間には、リセットレベル  $S_{rst}$  に加えて、単位画素3ごとの入射光量に応じた信号成分  $V_{sig}$  を読み出し、P相の読出しと同様の動作を行なう。まず、カウンタ部254をP相処理時とは逆のアップカウントモードに設定して、電圧比較部252による参照信号  $SLP\_ADC$  と画素信号電圧  $V_x$  のD相レベルとの比較処理とカウンタ部254によるカウント処理を並行して動作させることで、D相レベルのAD変換を行なう。当初は、画素信号電圧  $V_x$  のD相レベルよりも参照信号  $SLP\_ADC$  の方が高く電圧比較部252の比較出力COMPはHレベルにあるものとする。比較処理開始後、D相レベルである信号レベル  $S_{sig}$  と参照信号  $SLP\_ADC$  とが一致した時点で電圧比較部252の比較出力COMPがHレベルからLレベルへ変化し、この時点でカウンタ部254には、信号レベル  $S_{sig}$  の大きさに対応したカウント値を保持される。

#### 【0105】

このとき、P相の読出しおよびAD変換時に取得された画素信号電圧  $V_x$  のリセットレベル  $S_{rst}$  のデジタル値  $D_{rst}$ （ここでは負の値となっている）から、P相とは逆にアップカウントする。信号レベル  $S_{sig}$  は、リセットレベル  $S_{rst}$  に信号成分  $V_{sig}$  を加えたレベルであるので、信号レベル  $S_{sig}$  のAD変換結果のカウント値は、基本的には“ $D_{rst} + D_{sig}$ ”であるが、アップカウントの開始点を、リセットレベル  $S_{rst}$  のAD変換結果である“ $-D_{rst}$ ”としているので、実際にカウンタ部254に保持されるカウント値は、“ $-D_{rst} + (D_{sig} + D_{rst}) = D_{sig}$ ”となる。

#### 【0106】

つまり、カウンタ部254におけるカウント動作を、P相の処理時にはダウンカウント、D相の処理時にはアップカウントと、それぞれのカウントモードを異なるものとしているので、カウンタ部254内で自動的に、リセットレベル  $S_{rst}$  のAD変換結果であるカウント数“ $-D_{rst}$ ”と信号レベル  $S_{sig}$  のAD変換結果であるカウント数“ $D_{rst} + D_{sig}$ ”との間での差分処理（減算処理）が自動的に行なわれ、この差分処理結果に応じたカウント数  $D_{sig}$  がカウンタ部254に保持される。この差分処理結果に応じたカウンタ部254に保持されるカウント数  $D_{sig}$  は信号成分  $V_{sig}$  に応じたデジタルデータを表すものとなる。

#### 【0107】

上述のようにして、P相の処理時におけるダウンカウントとD相の処理時におけるアッ

10

20

30

40

50



ブカウントといった、2回の読出しとカウント処理によるカウンタ部254内での差分処理によって、単位画素3ごとのばらつきを含んだりセットレベル $S_{rst}$ を除去することができ、単位画素3ごとの入射光量に応じた信号成分 $V_{sig}$ のみのAD変換結果を簡易な構成で取得することができる。よって、カラム回路25は、アナログの画素信号をデジタルの画素データに変換するデジタル変換部としてだけでなく、CDS処理機能部としても動作することとなる。

#### 【0108】

第1処理例のAD変換処理では、1画素分についての1回目のカウント処理と2回目のカウント処理において、P相はダウンカウント処理でD相はアップカウント処理で各カウント動作を行なうことで、事実上P相は補数のカウント処理を行ないD相は実数のカウント処理を行なうことが特徴となっている。事実上、補数のカウント処理は負側のカウント処理であり減算要素と見なすことができ、実数のカウント処理は正側のカウント処理であり加算要素と見なすことができる。

10

#### 【0109】

第1処理例を適用するに当たっては、1画素の信号成分 $V_{sig}$ のデジタルデータ $D_{sig}$ を取得するための2回に亘るカウント処理において、ダウンカウント動作とアップカウント動作を切り替えて動作する。よって、カウンタ部254は、ダウンカウント動作とアップカウント動作を切替可能なアップダウンカウンタを用いるのがよい。

#### 【0110】

カウンタ部254の後段にデータ記憶・転送出力部256を備えている場合、カウンタ部254の動作や水平転送を開始する前に、通信・タイミング制御部20からのメモリ転送指示パルス $C_{N8}$ としてサブクロックDLATがデータ記憶・転送出力部256に供給される。データ記憶・転送出力部256は、このサブクロックDLATをトリガとしてカウンタ部254に保持されている1行前 $V_{x-1}$ のデジタルデータ $D_{sig}$ を内部のラッチ回路に取り込み保持する。

20

#### 【0111】

つまり、AD変換期間終了後、カウンタ部254内のデジタルデータ $D_{sig}$ をデータ記憶・転送出力部256へと退避し、カラム回路25は次の行 $V_x$ のAD変換を開始する。データ記憶・転送出力部256内の1行前のデジタルデータ $D_{sig}$ は、カラム処理部26の各垂直列のカラム回路25におけるAD変換処理の裏で水平走査部12により順に選択され、相補情報転送用の各水平信号線 $18, 18x$ を通じて、相補データ $Q_{sig}, xQ_{sig}$ として出力回路28に転送される。出力回路28は、相補データ $Q_{sig}, xQ_{sig}$ に基づき元のデジタルデータ $D_{sig}$ を再生する。AD変換処理と並行して、相補データ $Q_{sig}, xQ_{sig}$ の水平転送動作も行なわれるのである。水平走査部12が、高速に各垂直列を順次選択することで、各列の相補データ $Q_{sig}, xQ_{sig}$ は、データ記憶・転送出力部256の出力段のドライブトランジスタを通して高速に出力回路28に転送される。その後、順次行ごとに同様の動作が繰り返されることで2次元画像が生成される。

30

#### 【0112】

< 固体撮像装置の動作 ; 第2処理例の動作 >

カラム回路25にてリセットレベルと信号レベルとの間の差分処理を行なう場合に、2回に亘る各回の処理時に何れも、カウント開始を参照信号 $SLP\_ADC$ と処理対象信号電圧とが一致する時点としカウント終了をその回の所望のカウント数に到達する時点(典型的には最大AD変換期間が到達した時点)とする第2処理例を採用することもできる。つまり、第2処理例では、2回に亘る各回の処理時に何れも後半カウント動作を適用する。

40

#### 【0113】

この場合も、1画素の信号成分 $V_{sig}$ のデジタルデータ $D_{sig}$ を取得するための2回に亘るカウント処理において、垂直列ごとに、カウンタ部254を、ダウンカウント動作とアップカウント動作とを切り替えて動作させる。このため、第2処理例の適用に当たっては、回路構成としては図2に示した第1の構成例を採用する。

#### 【0114】

50

基本的な動作は、第1処理例と大差はないのであるが、最大AD変換期間の後半にてカウント処理を行なうことに対応したデータの修正を考慮する点が異なる。つまり、第2処理例の全体動作としては、補数をカウントする動作と考えてよい。この場合、補数をカウントするので、最終的なデータが実数となるようにするデータ修正の仕組みが必要となる。そのデータ修正の仕組みとしては、1回目のカウント処理時の初期値で対処することもできるし、後段のデジタル演算部29にてデジタル演算で対処することもできる。

【0115】

データ修正を考慮する必要があるのは、以下の理由による。まず、P相処理時の最大カウント数を  $D_{rm}$ 、D相処理時の最大の信号成分  $V_{sig}$  に対応する最大カウント数を  $D_{sm}$  とする。この場合、D相処理時の最大カウント数は " $D_{rm} + D_{sm}$ " となる。各相の最大AD変換期間において、画素信号電圧  $V_x$  と参照信号SLP\_ADC とが一致して比較出力COMPが反転した後の後半部分でカウント処理を行なう場合、P相でのカウント値  $D_p$  はリセットレベル  $S_{rst}$  のカウント値  $D_{rst}$  としたとき " $D_{rm} - D_{rst}$ " となるし、D相でのカウント値  $D_d$  は信号レベル  $S_{sig}$  のカウント値  $D_{sig}$  としたとき " $(D_{rm} + D_{sm}) - (D_{rst} + D_{sig})$ " となる。

【0116】

ここで、P相処理時にアップカウントモード、D相処理時にダウンカウントモードとし、D相処理はP相処理で得られたカウント値からスタートする場合、D相処理後のデータは、 $(D_{rm} - D_{rst}) - \{(D_{rm} + D_{sm}) - (D_{rst} + D_{sig})\} = D_{sig} - D_{sm}$  となる。" $-D_{sm}$ " を相殺して信号成分  $V_{sig}$  のデジタルデータ  $D_{sig}$  を得るには、たとえば1回目のP相処理時の初期値  $D_{ini}$  を  $D_{sm}$  に設定するか、もしくはデジタル演算部29にて " $D_{sig} - D_{sm}$ " に  $D_{sm}$  を加算すればよい。

【0117】

このようなカウントモードの組合せにおいては、信号レベル  $S_{sig}$  に関してAD変換期間の後半部の補数カウントをダウンカウントで行なうので、補数カウントによる負側へのカウント処理の性質とダウンカウント処理による負側へのカウント処理の性質の合成によって  $D_{sig}$  を正側への値として得ることができる。前述の " $D_{sig} - D_{sm}$ " がそれを表している。この場合、1回目の初期値の設定次第で2回目の処理後に直ちにデジタルデータ  $D_{sig}$  を取得できる利点がある。

【0118】

一方、P相処理時にダウンカウントモード、D相処理時にアップカウントモードとし、D相処理はP相処理で得られたカウント値からスタートする場合、D相処理後のデータは、 $\{(D_{rm} + D_{sm}) - (D_{rst} + D_{sig})\} - (D_{rm} - D_{rst}) = D_{sm} - D_{sig}$  となる。 $D_{sm}$  を相殺して信号成分  $V_{sig}$  のデジタルデータ  $D_{sig}$  の負数を得るには、たとえば1回目のP相処理時の初期値  $D_{ini}$  を " $-D_{sm}$ " に設定するか、もしくはデジタル演算部29にて " $D_{sm} - D_{sig}$ " から  $D_{sm}$  を減算すればよい。また、デジタルデータ  $D_{sig}$  の負数 " $-D_{sig}$ " を正数に戻すには、たとえばデータ記憶・転送出力部256から反転したビットデータを出力するかデジタル演算部29にてビットデータを反転すればよい。ただし、ビットデータの反転だけでは正確には " $1$ " の差があるので、より正確なデータにするにはデジタル演算部29にて " $1$ " を加えるとよい。あるいは、 $\{D_{sm} - (D_{sm} - D_{sig})\}$  なる演算をデジタル演算部29にて行なうことでデジタルデータ  $D_{sig}$  を取得することもできる。

【0119】

このようなカウントモードの組合せにおいては、信号レベル  $S_{sig}$  に関してAD変換期間の後半部の補数カウントをアップカウントで行なうので、補数カウントによる負側へのカウント処理の性質とアップカウント処理による正側へのカウント処理の性質の合成によって  $D_{sig}$  を負側への値として得ることになる。前述の " $D_{sm} - D_{sig}$ " がそれを表している。

【0120】

図3Aは、参照信号比較型AD変換の第2処理例の動作を説明するタイミングチャート

10

20

30

40

50

である。ここでは、前述の第1処理例との組合せで示している。具体的には、前行の画素信号電圧  $V_x$  における信号レベル  $S_{sig}$  が所定の閾値に対して低い低輝度範囲であれば第1処理例を適用し、所定の閾値に対して高い高輝度範囲であれば第2処理例を適用するようにしている。

【0121】

図示した例では、前行の信号レベル  $S_{sig}$  が低輝度範囲であった画素信号電圧  $V_{x\_0}$  (当該行が低輝度範囲であるとは限らない) および前行の信号レベル  $S_{sig}$  が高輝度範囲であった画素信号電圧  $V_{x\_1}$  (当該行が高輝度範囲であるとは限らない) とともにリセットデータ  $D_{rst}$  が50、信号データ  $D_{sig}$  が1950で、P相処理期間の最大カウント数  $D_{rm}$  が128、D相処理期間の最大カウント数  $D_{sm}$  が4096となっている場合で説明する。また、第1処理例および第2処理例の何れにおいても、P相処理時にダウンカウントモード、D相処理時にはアップカウントモードとする。P相処理時には、初期値 = 0 からカウント処理を開始するものとする。なお、図では、画素信号電圧  $V_{x\_0}$  と画素信号電圧  $V_{x\_1}$  が異なりコンパレータの反転タイミングがずれているが、実際には、画素信号電圧  $V_{x\_0}$  と画素信号電圧  $V_{x\_1}$  は前述のように同一であるので、コンパレータの反転タイミングは同一となる。

【0122】

画素信号電圧  $V_{x\_0}$  についてはP相処理およびD相処理ともに第1処理例を適用するので、まず、P相処理期間として用意される  $D_{rm} = 128$  カウント期間において、参照信号  $SLP\_ADC$  と画素信号電圧  $V_{x\_0}$  との比較を電圧比較部252にて行ない、画素信号電圧  $V_{x\_0}$  のリセットレベル  $S_{rst\_0}$  と参照信号  $SLP\_ADC$  が一致する50カウント目で電圧比較部252の比較出力  $COMP (= COMPOUT0)$  が反転し、さらに、カウントイネーブル信号  $EN (= PCOMPOUT0)$  も反転 ( $COMPOUT0$  と  $PCOMPOUT0$  は同相) し、ダウンカウント動作は停止してカウント値 “ - 50 ” がカウンタ部254に保持される。

【0123】

次にD相処理期間として用意される  $D_{rm} + D_{sm} = 128 + 4096$  カウント期間において、参照信号  $SLP\_ADC$  と画素信号電圧  $V_{x\_0}$  との比較を電圧比較部252にて行ない、画素信号電圧  $V_{x\_0}$  の信号レベル  $S_{sig\_0}$  と参照信号  $SLP\_ADC$  が一致する “  $50 + 1950$  ” = 2000カウント目で電圧比較部252の比較出力  $COMP (= COMPOUT0)$  が反転し、さらに、カウントイネーブル信号  $EN (= PCOMPOUT0)$  も反転 ( $COMPOUT0$  と  $PCOMPOUT0$  は同相) し、アップカウント動作は停止する。このとき、P相処理で得られるカウント値 “ - 50 ” からアップカウントを行なうので、カウンタ部254には、 “  $- 50 + 2000$  ” = 1950が保持される。1950は、信号データ  $D_{sig}$  と一致する。

【0124】

一方、画素信号電圧  $V_{x\_1}$  についてはP相処理およびD相処理ともに第2処理例を適用するので、まず、P相処理期間として用意される  $D_{rm} = 128$  カウント期間において、参照信号  $SLP\_ADC$  と画素信号電圧  $V_{x\_0}$  との比較を電圧比較部252にて行ない、画素信号電圧  $V_{x\_1}$  のリセットレベル  $S_{rst\_1}$  と参照信号  $SLP\_ADC$  が一致する50カウント目で電圧比較部252の比較出力  $COMP (= COMPOUT1)$  が反転し、さらに、カウントイネーブル信号  $EN (= PCOMPOUT1)$  も反転 ( $COMPOUT1$  と  $PCOMPOUT1$  は逆相) し、この時点からカウンタ部254はダウンカウントを開始して  $D_{rm} = 128$  カウント目でカウント動作を停止する。したがって、カウンタ部254は、 “  $128 - 50 = 78$  ” クロック分をダウンカウントするので、P相処理終了後には “ - 78 ” を保持することになる。

【0125】

次にD相処理期間として用意される  $D_{rm} + D_{sm} = 128 + 4096$  カウント期間において、参照信号  $SLP\_ADC$  と画素信号電圧  $V_{x\_1}$  との比較を電圧比較部252にて行ない、画素信号電圧  $V_{x\_1}$  の信号レベル  $S_{sig\_1}$  と参照信号  $SLP\_ADC$  が一致する2000カウント目で電圧比較部252の比較出力  $COMP (= COMPOUT1)$  が反転し、さらに、カウントイネーブル信号  $EN (= PCOMPOUT1)$  も反転 ( $COMPOUT1$  と  $PCOMPOUT1$  は逆相) し、この時点からカウンタ部254はアップカウントを開始して  $D_{rm} + D_{sm} = 128 + 4096$  カウント目で

10

20

30

40

50

カウント動作を停止する。

【 0 1 2 6 】

したがって、カウンタ部 2 5 4 は、“  $1 2 8 + 4 0 9 6 - 2 0 0 0 = 2 2 2 4$  ” クロック分をアップカウントする。このとき、P相処理で得られるカウント値“ - 7 8 ”からアップカウントを行なうので、カウンタ部 2 5 4 には、“  $- 7 8 + 2 2 2 4$  ” = 2 1 4 6 が保持される。このカウント値 2 1 4 6 のデータ D<sub>out</sub> はデジタル演算部 2 9 へ転送される。デジタル演算部 2 9 は、信号データ D<sub>sig</sub> の最大値に対応する最大カウント数 D<sub>sm</sub> からデータ D<sub>out</sub> を減算することで、“  $4 0 9 6 - 2 1 4 6$  ” = 1 9 5 0 を最終的な信号データ D<sub>sig</sub> として取得する。

【 0 1 2 7 】

なお、画素信号電圧 V<sub>x\_0</sub> および画素信号電圧 V<sub>x\_1</sub> の何れについても D 相処理時には、カウント位相調整部 2 6 0 は、低輝度範囲と高輝度範囲とを切り分ける閾値に対応する、参照信号 SLP\_ADC のスロープ期間のたとえば中間電圧近傍で立ち上がるクロック信号 CLK で電圧比較部 2 5 2 の比較出力 COMP をラッチしておく。そして、次行の処理時に比較出力 COMP を正転出力してカウントイネーブル信号 EN とするのか、反転出力してカウントイネーブル信号 EN とするのかの位相調整を行なう。低輝度範囲と高輝度範囲とを切り分ける CLK 信号が立ち上がるタイミングを参照信号 SLP\_ADC の中間電圧に設定すれば、カウンタ部 2 5 4 の活性化期間は、参照信号 SLP\_ADC のスロープ期間の半分より長くなることはない。

【 0 1 2 8 】

当該行での D 相処理時の画素信号電圧 V<sub>x</sub> の信号レベル S<sub>sig</sub> が低輝度範囲に属するときにはクロック信号 CLK の立上り時点では電圧比較部 2 5 2 の比較出力 COMP が反転して L レベルにあるので、カウント位相調整部 2 6 0 は、比較出力 COMP の位相情報として L レベルをラッチする。逆に、当該行での D 相処理時の画素信号電圧 V<sub>x</sub> の信号レベル S<sub>sig</sub> が高輝度範囲に属するときにはクロック信号 CLK の立上り時点では電圧比較部 2 5 2 の比較出力 COMP が反転しておらず H レベルにあるので、カウント位相調整部 2 6 0 は、比較出力 COMP の位相情報として H レベルをラッチする。

【 0 1 2 9 】

EX-OR ゲートの一方の入力端に比較パルス COMP を入力し、他方の入力端に当該行でのラッチ情報を位相調整制御信号として入力する。位相調整制御信号は、信号レベル S<sub>sig</sub> が低輝度範囲に属するときに L レベル、信号レベル S<sub>sig</sub> が高輝度範囲に属するときに H レベルである。こうすることで、当該行において信号レベル S<sub>sig</sub> が低輝度範囲に属するときには、次行の処理時には、比較パルス COMP を論理反転しないでカウントイネーブル信号 EN として出力するので前半カウント動作（第 1 処理例）を適用することになる。また、当該行において信号レベル S<sub>sig</sub> が高輝度範囲に属するときには、次行の処理時には、比較パルス COMP を論理反転してカウントイネーブル信号 EN として出力するので後半カウント動作（第 2 処理例）を適用することになる。

【 0 1 3 0 】

本例のように、補数カウント動作に伴うデータ修正をデジタル演算部 2 9 にて行なう構成とする場合には、カウント位相調整部 2 6 0 にてラッチしておいた比較出力 COMP の位相情報を水平信号線 1 8 , 1 8 x を介してデジタル演算部 2 9 へ通知する。デジタル演算部 2 9 は、この情報を元に、補数カウントがなされた画素データに関して、補数カウント動作に伴うデータ修正を行なう。

【 0 1 3 1 】

< 固体撮像装置の動作 ; 第 3 処理例の動作 >

図示を割愛するが、第 3 処理例では、参照信号比較型などと称される A D 変換方式を採用する場合に、カウンタ部 2 5 4 の面積増大の問題を抑えながら、差分処理機能を A D 変換と同時に進められる仕組にする。

【 0 1 3 2 】

回路構成面では、カウントモードを切り替える仕組を採らずに、1 回目と 2 回目の各

10

20

30

40

50

A/D変換処理時に同一カウントモードでカウントするとともに、それぞれのカウント位相を異なるものとする仕組みを採る。第1処理例や第2処理例と同様に、2回目のカウント処理時には、1回目のカウント処理結果からカウント処理を開始する。

【0133】

第3処理例では、カウントモードを切り替える必要がないので、回路構成としては図2に示した第1の構成例を採用することもできれば、図2Aに示した第2の構成例を採用することもできる。

【0134】

ここで、「カウント位相を異なるものとする」とは、1回目のA/D変換処理（たとえばP相の処理）時と2回目のA/D変換処理（たとえばD相の処理）時とで、カウント処理期間を異なるものとするを意味する。より具体的には、参照信号SLP\_ADCの変化を開始した時点から参照信号SLP\_ADCと画素信号電圧 $V_x$ が同一になるまでの期間でカウント処理を行なうか、参照信号SLP\_ADCと画素信号電圧 $V_x$ が同一になった時点からその回の最大A/D変換期間に到達する時点（通常は参照信号SLP\_ADCの変化を停止させる時点）までの期間でカウント処理を行なうかの違いがカウント位相の違いを意味する。

【0135】

つまり、2回に亘るカウント処理において、比較出力COMPが反転する時点を経として、前半カウント動作である実数カウント処理と後半カウント動作である補数カウント処理とを組み合わせるのである。

【0136】

一般的には、参照信号SLP\_ADCの変化を開始した時点から参照信号SLP\_ADCと画素信号電圧 $V_x$ が同一になるまでの期間および参照信号SLP\_ADCと画素信号電圧 $V_x$ が同一になった時点からその回の最大A/D変換期間に到達する時点までの期間と、電圧比較部252から出力される比較パルスCOMPの出力レベルとが対応しているため、比較パルスCOMPがLレベルの期間でカウント処理を開始するかHレベルの期間でカウント処理を開始するかを切り替えればよい。

【0137】

加えて第3処理例では、2回に亘るカウント処理結果として差分処理結果が取得できるように、第1の手法としては、1回目のカウント処理を開始する際に、参照信号SLP\_ADCと画素信号電圧 $V_x$ が同一になった時点以降でカウント処理を行なう回の最大A/D変換期間に相当するカウント値をカウントモードに応じた符号（正または負）を付して初期値 $D_{ini}$ として初期設定し、その初期値 $D_{ini}$ からカウント処理を開始する。あるいは、第2の手法としては、第1処理例と同様に“0”からカウント処理を開始しつつ、2回目のカウント処理が完了した後、カウンタ部254の後段のデジタル演算部29で初期値 $D_{ini}$ の分を補正する。第1の手法は、カウンタ部254の後段で初期値 $D_{ini}$ の分を補正する必要がなく、1画素分のA/D変換処理結果が得られればよい場合に好適な手法である。一方、第2の手法は、複数画素の信号成分 $V_{sig}$ の積和演算のA/D変換処理結果を得る場合に好適な手法である。

【0138】

つまり、第3処理例において、他方を信号レベル $S_{sig}$ のカウント処理に割り当てる場合には、信号レベル $S_{sig}$ のカウント処理は補数をカウントする動作と考えてよい。この場合、補数をカウントするので、最終的なデータが実数となるようにするデータ修正の仕組みが必要となる。そのデータ修正の仕組みとしては、1回目のカウント処理時の初期値で対処することもできるし、後段回路であるデジタル演算部29にてデジタル演算で対処することもできるのである。

【0139】

< 固体撮像装置の動作；第4処理例の動作 >

図3Bは、参照信号比較型A/D変換の第4処理例の動作を説明するタイミングチャートである。

【0140】

10

20

30

40

50

第4処理例は、カラム回路25の後段（たとえばデジタル演算部29）にてリセットレベルと信号レベルとの間の差分処理を行なう場合に対応したものである。

【0141】

この場合には、ダウンカウント動作とアップカウント動作の何れか一方のみで動作しつつ、2回に亘る各回の処理時に何れも、カウント開始を参照信号SLP\_ADCの変化開始時点としカウント終了を参照信号SLP\_ADCと処理対象信号電圧とが一致する時点とするか、もしくはカウント開始を参照信号SLP\_ADCと処理対象信号電圧とが一致する時点としカウント終了をその回の所望のカウント数に到達する時点（典型的には最大AD変換期間が到達した時点）とする。

【0142】

第4処理例では、カウントモードを切り替える必要がないので、回路構成としては図2に示した第1の構成例を採用することもできれば、図2Aに示した第2の構成例を採用することもできる。なお、第1の構成例を採用する場合には、たとえばカウンタ部254およびデータ記憶・転送出力部256ともに、P相およびD相の各処理において取得した各データD<sub>p</sub>、D<sub>d</sub>を内部の異なった格納部に保持するように対処すればよい。

【0143】

図3Bでは、図2Aに示した第2の構成例を採用した場合で示している。任意の行V<sub>x</sub>の単位画素3から垂直信号線19\_1~19\_hのP相レベル（リセットレベルS<sub>rst</sub>）の読み出しが安定した後、参照信号生成部27は各列の電圧比較部252へ供給する参照信号SLP\_ADCの時間変化を開始し、かつカウンタ部254ではアップカウントを開始し、列ごとにリセットレベルS<sub>rst</sub>との比較を行なう。リセットレベルS<sub>rst</sub>と参照信号SLP\_ADCとが一致したとき比較出力COMPが反転するので、そのタイミングでデータ記憶・転送出力部256はカウントデータを取り込み、P相データD<sub>p</sub>用の保持部（メモリ装置1）へ格納する。

【0144】

さらに、D相レベル（信号レベルS<sub>sig</sub>）の読み出しが安定した後、参照信号生成部27は各列の電圧比較部252へ供給する参照信号SLP\_ADCの時間変化を開始し、かつカウンタ部254ではアップカウントを開始し、列ごとに信号レベルS<sub>sig</sub>との比較を行なう。信号レベルS<sub>sig</sub>と参照信号SLP\_ADCとが一致したとき比較出力COMPが反転するので、そのタイミングでデータ記憶・転送出力部256はカウントデータを取り込み、D相データD<sub>d</sub>用の保持部（メモリ装置2）へ格納する。

【0145】

以上のAD変換期間終了後、水平走査部12による制御の元で、データ記憶・転送出力部256に保持されたP相とD相のそれぞれnビットのデジタルデータD<sub>p</sub>、D<sub>d</sub>がそれぞれ相補データQ<sub>p</sub>、x<sub>Q<sub>p</sub></sub>、Q<sub>d</sub>、x<sub>Q<sub>d</sub></sub>として2\*2\*n本の水平信号線18、18xを経て、順次デジタル演算部29へ転送される。つまり、カラム回路25は、各回のカウント結果をリセットレベルS<sub>rst</sub>に関する相補データQ<sub>p</sub>、x<sub>Q<sub>p</sub></sub>と信号レベルS<sub>sig</sub>に関する相補データQ<sub>d</sub>、x<sub>Q<sub>d</sub></sub>としてデジタル演算部29へ出力する。デジタル演算部29は、相補データQ<sub>p</sub>、x<sub>Q<sub>p</sub></sub>に基づき元のデジタルデータD<sub>p</sub>を再生するとともに、相補データQ<sub>d</sub>、x<sub>Q<sub>d</sub></sub>に基づき元のデジタルデータD<sub>d</sub>を再生する。その後、再生したデータD<sub>p</sub>、D<sub>d</sub>を使って“D<sub>d</sub>-D<sub>p</sub>”の差分処理を行なうことで、信号成分V<sub>sig</sub>に関するAD変換データD<sub>sig</sub>を取得する。その後、順次行ごとに同様の動作が繰り返されることで2次元画像が生成される。

【0146】

<水平転送の問題点について>

ここで、各列のデータ記憶・転送出力部256に保持されたデータを、シングルエンドの情報としてバスラインである水平信号線18を介して順次出力回路28（あるいはデジタル演算部29）側に転送する場合、水平信号線18に寄生容量が存在するため、転送スピードの劣化や、寄生容量抑制のため水平信号線18に使われる配線幅（Metal幅）を広げなければならずチップサイズが大きくなるなどの、寄生容量の存在により様々な問題が

10

20

30

40

50

生ずる。

【 0 1 4 7 】

たとえば、寄生容量の値は、

- ( 1 ) 水平信号線 1 8 による容量、
  - ( 2 ) 出力回路 2 8 の入力段による容量、
  - ( 3 ) 1 つのデータ記憶・転送出力部 2 5 6 の出力段による容量 × データ記憶・転送出力部 2 5 6 の総数、
  - ( 4 ) 水平信号線 1 8 と 1 つのデータ記憶・転送出力部 2 5 6 の出力段とを接続する配線の容量 × データ記憶・転送出力部 2 5 6 の総数、
- などを合計した値となる。

10

【 0 1 4 8 】

したがって、各列のデータ記憶・転送出力部 2 5 6 に保持されたデータを、データ記憶・転送出力部 2 5 6 を順次選択して水平信号線 1 8 に読み出す場合、上述した水平信号線 1 8 の寄生容量のため、データ転送に障害が生じる。特に、寄生容量の容量値が大きくなれば、信号遅延の原因となり、データ転送の高速化を妨げることとなる。

【 0 1 4 9 】

たとえば、フレームレートを上げるなど理由で高速動作を行なう場合は、行走査、A D 変換および水平データ転送などの動作を高速に動作させる必要がある。この中で、水平データ転送を高速化させたい場合、水平走査部 1 2 で選択されたデータ記憶・転送出力部 2 5 6 が水平信号線 1 8 を駆動し、その信号が出力回路 2 8 に到達するまでの時間が支配的

20

【 0 1 5 0 】

水平方向の画素分、たとえば 2 0 0 0 列の単位画素 3 を有する画素アレイ部 1 0 の場合、2 0 0 0 個のデータ記憶・転送出力部 2 5 6 が水平信号線 1 8 に接続されることになり、データ記憶・転送出力部 2 5 6 の出力段おのおの持つ寄生容量が合成され、選択されたデータ記憶・転送出力部 2 5 6 はその大きな容量を負荷として駆動することになる。近年は多画素化の要求があるため水平信号線 1 8 に接続されるデータ記憶・転送出力部 2 5 6 の数が増加傾向にあり、近年、特に要求のある高速動作化の制約となってしまう。

【 0 1 5 1 】

このような問題を解決する一手法として、寄生抵抗を減少させ、寄生容量による配線遅延を抑制するために、水平信号線 1 8 に使われる配線幅を広げる手法が考えられるが、ビット別のデータをバスラインとしての水平信号線 1 8 で転送するには、チップサイズが大きくなってしまう。

30

【 0 1 5 2 】

そこで、本実施形態では、画素信号をデジタル変換して固体撮像装置 1 の外部に出力を行なう仕組みにおいて、水平信号線の寄生容量に起因する問題を改善することのできる仕組みにする。その仕組みの基本は、シングルエンドの情報として水平信号線上を転送するのではなく、相補情報として水平信号線上を転送することにある。以下、具体的に説明する。

【 0 1 5 3 】

< データ記憶・転送出力部と出力回路の構成 >

図 4 ~ 図 4 B は、図 1 に示したカラム処理部 2 6 (特にデータ記憶・転送出力部 2 5 6 周辺) と出力回路 2 8 の構成例を説明する図である。図 4 はデータ記憶・転送出力部 2 5 6 の詳細を示す回路ブロック図である。図 4 A はデータ記憶・転送出力部 2 5 6 周辺と出力回路 2 8 の構成例を示す回路ブロック図である。図 4 B は、その基本動作を説明する電圧レベル図である。

40

【 0 1 5 4 】

本実施形態の固体撮像装置 1 においては、水平信号線 1 8 の寄生容量の影響を受けずにデータの高速転送を実現する仕組みとして、各データ記憶・転送出力部 2 5 6 のデータ保持機能部から出力される H , L の論理レベルのデータをそのまま転送ドライバを介して水

50

平信号線 18 に出力するのではなく、相補データ Qsig , x Qsig として、それ用の水平信号線 18 , 18 x 上を転送し、出力回路 28 にて元の論理レベルのデータ D に再変換する構成をとる。

【 0 1 5 5 】

そのための仕組みの基本構成としては、先ず図 4 ( 1 ) に示すように、データ記憶・転送出力部 256 は、クロック端子 CK に入力されたサブクロック DLAT に同期して D 入力端子に入力されたカラム回路 25 の A D 変換部 25 b からのデータを取り込み保持するデータ保持部の一例である D 型フリップフロップ ( D - F F ) 402 と、転送出力機能部としてのバス駆動回路 ( データ出力段 ) の一例である転送ドライバ 404 , 404 x を有する。

【 0 1 5 6 】

D 型フリップフロップ 402 の非反転出力 Q が転送ドライバ 404 に入力され、その出力は、バスラインである水平信号線 18 を介して出力回路 28 に接続されている。一方、D 型フリップフロップ 402 の反転出力 x Q が転送ドライバ 404 x に入力され、その出力は、バスラインである水平信号線 18 x を介して出力回路 28 に接続されている。

【 0 1 5 7 】

各転送ドライバ 404\_1 ~ 404\_h , 404 x\_1 ~ 404 x\_h の出力イネーブル端子 OE には、通信・タイミング制御部 20 から、対応する水平データ転送クロック H\_1 ~ H\_h が入力されるようになっている。転送ドライバ 404\_1 ~ 404\_h , 404 x\_1 ~ 404 x\_h のそれぞれは、対応する水平データ転送クロック H\_1 ~ H\_h がアクティブ ( 本例では H ( ハイ ) レベルとする ) のときに ( つまり出力イネーブル端子 OE が H レベルのときに ) 、入力された情報を、水平信号線 18 , 18 x を介して出力回路 28 に転送する。

【 0 1 5 8 】

図 4 ( 2 ) に示すように、カウンタ部 254\_1 ~ 254\_h のそれぞれは、非同期アップ/ダウンカウンタの構成を持ち、n ビット分のカウンタセル ( たとえば D ラッチ ) 254\_0 ~ 254\_{n-1} を縦続接続している。「縦続接続」とは前段のカウンタセルの出力データを後段のカウンタセルのクロック端へ入力する接続を意味する。初段のカウンタセル 254\_0 のクロック端へはカウントクロック CK\_CNT を供給する。データ記憶・転送出力部 256 の D 型フリップフロップ 402\_1 ~ 402\_h のそれぞれは、ビット別に D ラッチを有する。転送ドライバ 404\_1 ~ 404\_h , 404 x\_1 ~ 404 x\_h のそれぞれは、ドライブトランジスタ ( D - T r ) を有する。カウント数に対応する n ビット分のカウンタセル、D ラッチ、ドライブトランジスタは、直列接続されている。

【 0 1 5 9 】

ドライブトランジスタは、対応する水平信号線 18 , 18 x ( 以下水平転送バス BUS , xBUS と称する ) に、並列接続され、水平走査部 12 により、選択的にカウントデータをビット別に出力する各 D ラッチからの相補データ Q , x Q を転送する。

【 0 1 6 0 】

固体撮像装置 1 は、D 型フリップフロップ ( D - F F ) 402 の後段には、D 型フリップフロップ 402 から出力される H ( 電源側 ) , L ( 接地側 ) の論理レベルの一方を電源 - 接地間の第 3 の電圧レベルに変更する第 1 振幅レベル変更部 410 , 410 x と、第 1 振幅レベル変更部 410 , 410 x で振幅レベルが変更された相補情報をそれぞれ増幅する主増幅部 411 と、主増幅部 411 の出力情報 ( 比較結果 ) を所定のタイミングで保持するラッチ部 419 とを備える。ラッチ部 419 は、差動増幅部 418 から出力された情報を所定のタイミングで取り込み保持するデータ保持部の一例である。ラッチ部 419 には、主増幅部 411 の出力情報 ( 比較結果 ) を保持するタイミングを規定する制御パルス ( ラッチクロック ) LT が水平走査部 12 から供給される。

【 0 1 6 1 】

ラッチクロック LT は、水平データ転送クロック H と同期したものとする。詳しくは、水平データ転送クロック H で規定される転送サイクル中の概ね中間の位置で主増幅部 411 の出力情報 ( 比較結果 ) をラッチ部 419 が保持するような制御パルスにしておく。

【 0 1 6 2 】

10

20

30

40

50



図4Aに示すように、主増幅部411は、第1振幅レベル変更部410、410xで振幅レベルが変更された情報を増幅する相補信号増幅部として機能する第2振幅レベル変更部417、417xと、第2振幅レベル変更部417、417xの出力を比較増幅する差動増幅部418を具備する。水平転送バスBUS上のデータQと水平転送バスxBUS上のデータxQとは反転データ（相補データ）となっており、第2振幅レベル変更部417、417xは同一の構成となっている。主増幅部411やラッチ部419は、各列共通の水平転送バスBUS、xBUSに対して設けられた出力回路28内に設けられている。

【0163】

第1振幅レベル変更部410、410xは先ず、D型フリップフロップ402の最終段アンプの出力端Q、xQから出力されるH（電源側）、L（接地側）の論理レベルの一方を電源-接地間の第3の電圧レベルに変換する第1レベル調整部414、414xを、それぞれ列ごとの転送ドライバ404、404xに備える。

10

【0164】

また、第1振幅レベル変更部410、410xは、D型フリップフロップ402から出力されるH、Lの論理レベルの他方を電源-接地間の第4の電圧レベルに変換する第2レベル調整部415、415xと、第2レベル調整部415、415xで変換される第4の電圧レベルによる過充電を抑制して第4の電圧レベルの最大値を電源-接地間の第5の電圧レベルに制限する第3レベル調整部416、416xを有する。第2レベル調整部415、415xと第3レベル調整部416、416xは、各列共通の水平転送バスBUS、xBUSに対して設けられた出力回路28内に設けられている。

20

【0165】

第1レベル調整部414、414xは、たとえば、図4Bに示すように、D型フリップフロップ402から出力されるHの論理レベルを電源-接地間の第3の電圧レベルVL3に変更する。これに対応して、第2レベル調整部415、415xは、D型フリップフロップ402から出力されるLの論理レベルを電源-接地間の第4の電圧レベルVH4(>VL3)に変更する。

【0166】

このように、本実施形態の転送ドライバ404、404x（特に第1レベル調整部414、414x）と第2レベル調整部415、415xは、反転型の構成となっており、図4Bに示すように、D型フリップフロップ402からの一般的な電圧レベルVL（接地電位相当）、VH（論理回路用の電源電位相当）の2値の論理レベル（ロジックレベル）のデータ（同図（1））を、より電圧振幅（VL3~VH4）の狭いアナログ状の電圧信号に変換して水平転送バスBUS、xBUSに出力する（同図（2））。これは、高負荷の水平転送バスBUS、xBUSの駆動において、高速データ転送の観点では、VL、VHの元の論理レベルのままで水平転送バスBUS、xBUSを介して出力回路28に情報を転送する場合よりも駆動能力や電力消費や対雑音性能などの面で有利にするためである。

30

【0167】

出力回路28の第2振幅レベル変更部417、417xは、転送ドライバ404、404x（特に第1レベル調整部414、414x）と第2レベル調整部415、415xによって論理レベル（ロジックレベル）から電圧振幅（VL3~VH4）の狭いアナログ状の信号に変換された水平転送バスBUS、xBUS上の電圧情報（VL3~VH4）を受け取ると、振幅レベルがVL3~VH4よりも広いVL6~VH6の差動増幅部418用の電圧情報VQ、xVQに変換（反転増幅）して出力する（同図（3））。

40

【0168】

第3レベル調整部416、416xは、相補データQ、xQがLレベルで第1レベル調整部414、414xに対する駆動がないときに、第2レベル調整部415、415xで変換された第4の電圧レベルVH4によって水平転送バスBUS、xBUSが充電されたときの最大充電電位を第5の電圧レベルVH5に制限することで、電源レベルまで過充電されるのを抑制する機能を持つ。

【0169】

50

差動増幅部 418 は、たとえば図 4B(4) に示すように、振幅レベル VL6 ~ VH6 で互いに逆極性で変化する電圧情報 VQ, xVQ に基づき、水平転送バス BUS 上の電圧情報 VQ が、水平転送バス xBUS 上の電圧情報 xVQ よりも高いか低いかを電圧比較器(コンパレータ)で比較し、その電圧差を電圧比較器が持つ増幅機能により(必要に応じて出力バッファとの協働処理によって)、ラッチ部 419 用の論理レベル VLout, VHout まで増幅する。

#### 【0170】

情報をシングルエンドで水平信号線 18 上を転送する場合、水平転送路としての水平信号線 18 は長く、そのため寄生 CR が転送スピードを制限することとなる。また、動作の高速化のため、AD 変換用のカウンタ動作と水平転送動作を並行して行なうパイプライン処理にする場合、カウンタ動作時の電源ノイズが、水平転送路に混入し、その高速化を制限し、高速化を抑制することにもなる。

10

#### 【0171】

これに対して、本実施形態では、ラッチ回路(本例では D 型フリップフロップ 402)の論理出力レベルのまま水平信号線 18 上をデータ転送するのではなく、相補情報で転送するとともに、より小振幅の電圧信号に変換して出力回路 28 に伝達し、出力回路 28 にて再度後段回路用の論理レベルとなるようにデータ再生する構成となっているのである。相補的で、しかも小振幅の電圧信号で水平信号線 18, 18x 上を転送することにより、結果として高速な水平転送を実現するようにしている。また、相補情報を転送する構成とすることで、水平転送路に電源ノイズなどのコモンモードノイズがのっても、その影響をキャンセルできることから、転送エラーを飛躍的に低減することもできる。特にデジタルデータを相補データで転送する場合には、転送された相補データに基づき元のデータを再生してから所定のタイミングでラッチすることでデータ精度を飛躍的に高めることもできる。以下、具体的な構成例を示して説明する。

20

#### 【0172】

<構成例>

図 5 および図 5A は、具体的な構成例を説明する図である。図 5 に示すように、先ずデータ記憶・転送出力部 256 の第 1 レベル調整部 414, 414x は、D 型フリップフロップ 402 の出力端 Q, xQ と水平転送バス BUS, xBUS との間にドライブトランジスタ(D-Tr)として機能する NMOS トランジスタ 420 とアナログスイッチ機能を持つスイッチトランジスタとしての NMOS トランジスタ 422 を有する。

30

#### 【0173】

NMOS トランジスタ 422 のゲート端には、水平走査部 12 からの水平データ転送クロック H<sub>1</sub> ~ H<sub>h</sub> の列対応のものが供給される。NMOS トランジスタ 422 は、水平走査部 12 の制御の元で、NMOS トランジスタ 420 の反転出力を各列共通の水平転送バス BUS, xBUS 側に出力する。

#### 【0174】

NMOS トランジスタ 420 は、ゲート端に D 型フリップフロップ 402 の出力端 Q, xQ の出力データが入力され、ソース端が接地され、ドレイン端が NMOS トランジスタ 422 の一方の入出力端(たとえばソース端)に接続されている。

40

#### 【0175】

NMOS トランジスタ 420 は、NMOS トランジスタ 422 がオン時に D 型フリップフロップ 402 の出力端 Q, xQ の出力データの H(電源側)の論理レベルを、論理反転して電源-接地間の第 3 の電圧レベル VL3 に変換する。

#### 【0176】

また、水平転送バス BUS, xBUS には、D 型フリップフロップ 402 の出力端 Q, xQ から出力される L, H の論理レベルの内の L(接地側)の論理レベルに関して、論理反転して第 4 の電圧レベル VL4 に変換する第 2 レベル調整部 415, 415x が接続されている。本構成例において、第 2 レベル調整部 415, 415x は、水平転送バス BUS, xBUS の電位をブルアップする手段として機能するものを用いる。

50

## 【 0 1 7 7 】

具体的には、プルアップ手段として機能する第2レベル調整部415, 415xは、第1レベル調整部414, 414xの出力が非アクティブ時(データQ, xQがLレベル時に相当)に水平転送バスBUS, xBUSを電源電圧V<sub>dd</sub>側に引き寄せるために、PMOSトランジスタを用いてプルアップする。このため、先ず、水平転送バスBUS, xBUSと電源電圧V<sub>dd</sub>との間に、PMOSトランジスタ440を有する第2レベル調整部415, 415xを設ける。PMOSトランジスタ440のソース端には電源電圧V<sub>dd</sub>が供給され、PMOSトランジスタ440のドレイン端が水平転送バスBUS, xBUSと接続されている。

## 【 0 1 7 8 】

また、第1レベル調整部414, 414xの出力が非アクティブ(データQ, xQがLレベル時に相当)の状態が継続することで第4の電圧レベルV<sub>H4</sub>による過充電を第5の電圧レベルV<sub>H5</sub>までに制限する第3レベル調整部416, 416xとして、ダイオード接続したNMOSトランジスタ442を水平転送バスBUS, xBUSと接地との間に、アノードが水平転送バスBUS, xBUS側となり、カソードが接地側となるように設ける。

## 【 0 1 7 9 】

PMOSトランジスタ440は、第2振幅レベル変更部417, 417xの一部を担当するようにもなっている。第2振幅レベル変更部417, 417xは、ゲート端が水平転送バスBUS, xBUSと接続されているNMOSトランジスタ450と、NMOSトランジスタ450の負荷側(ドレイン端側)に設けられたカレントミラー接続されたPMOSトランジスタ452, 454とPMOSトランジスタ454の負荷側(ドレイン端側)に設けられたNMOSトランジスタ456とを有する。

## 【 0 1 8 0 】

PMOSトランジスタ452, 454は、各ソース端には電源電圧V<sub>dd</sub>が供給され、各ベース端が共通に接続されかつPMOSトランジスタ452のドレイン端と接続されている。NMOSトランジスタ450は、ソース端が接地され、ドレイン端がPMOSトランジスタ452のドレイン端と(さらにPMOSトランジスタ452, 454の各ゲート端とも)接続されている。NMOSトランジスタ456は、ソース端が接地され、ドレイン端がPMOSトランジスタ454のドレイン端と接続され、その接続点(アンプ出力端と称する)が差動増幅部418の各入力端の何れか一方と接続されている。ここでは、第2振幅レベル変更部417のNMOSトランジスタ456のドレイン端が差動増幅部418の非反転入力端(+)と接続され、第2振幅レベル変更部417xのNMOSトランジスタ456のドレイン端が差動増幅部418の反転入力端(-)と接続されている。

## 【 0 1 8 1 】

アンプ出力端の電圧情報V<sub>Q</sub>, xV<sub>Q</sub>は、PMOSトランジスタ440のゲート端(制御入力端)にも供給する。第2振幅レベル変更部417で増幅した電圧情報V<sub>Q</sub>, xV<sub>Q</sub>をNMOSトランジスタ420の負荷トランジスタとなるPMOSトランジスタ440の制御入力端に供給して、増幅した信号(電圧情報V<sub>Q</sub>, xV<sub>Q</sub>)に基づき水平転送バスBUS, xBUS上の信号振幅を抑制する方向に働く帰還回路を構成するようにしている(その動作の詳細は後述する)。

## 【 0 1 8 2 】

主増幅部411は、NMOSトランジスタ456の動作電流を規定するバイアス部460を有する。バイアス部460は、バイアス電圧V<sub>b</sub>がゲート端に設定されるPMOSトランジスタ462と、PMOSトランジスタ462の負荷側(ドレイン端側)に設けられたNMOSトランジスタ464とを有する。PMOSトランジスタ462は、ソース端には電源電圧V<sub>dd</sub>が供給され、ドレイン端がNMOSトランジスタ464のドレイン端と接続されている。NMOSトランジスタ464は、ソース端が接地され、ゲート端とドレイン端が接続されている。

## 【 0 1 8 3 】

第2振幅レベル変更部417, 417xの各NMOSトランジスタ456は、バイアス部460のNMOSトランジスタ464のゲート端と接続され、NMOSトランジスタ4

10

20

30

40

50

64とカレントミラー接続されるようになっている。つまり、NMOSトランジスタ456の入力側(ゲート端)には、定電流源となるバイアス部460から所定のバイアスレベルが入力されている。

【0184】

BUS増幅部として機能する第2振幅レベル変更部417のアンプ出力端の電圧情報VQは差動増幅部418の非反転入力(+)に供給され、xBUS増幅部として機能する第2振幅レベル変更部417xのアンプ出力端の電圧情報xVQは差動増幅部418の反転入力(-)に供給され、差動増幅部418によって比較増幅される。差動増幅部418にて比較増幅されることで再生されたデータのLレベルに対応するVLoutやデータのHレベルに対応するVHoutを呈する電圧情報VDはラッチ部419に供給される。ラッチ部419は、電圧情報VDを、水平データ転送クロックHと同期したラッチクロックLTに基づき、転送サイクル中の概ね中間の位置で取り込むことで、元の論理データDを再生して、水平データ転送クロックHと同期的に出力する。

10

【0185】

なお、ここでは、デジタルデータの水平転送に鑑みてラッチ部419にて最終的なデータを確定することでデータ再生の精度を高めるようにしているが、ラッチ部419を設けることは必須ではない。また、アナログ情報の水平転送のときにはラッチ部419を設けずに、差動増幅部418から出力される電圧情報をそのまま用いればよい。

【0186】

第2振幅レベル変更部417, 417xは、図から明らかなように同一の構成をなしている。これらは、さらに、アンプ出力端の電圧情報VQ, xVQが同じような特性を呈するように、同一の性能のものとするのが好ましい。このためには、たとえば、第2振幅レベル変更部417, 417xを近接した場所に配置するのが好ましい。特に、第2振幅レベル変更部417, 417xの動作点は、NMOSトランジスタ456の動作電流に大きく依存することから、第2振幅レベル変更部417側のNMOSトランジスタ456と第2振幅レベル変更部417x側のNMOSトランジスタ456とを近接した場所に配置するのが好ましい。

20

【0187】

また、NMOSトランジスタ456はバイアス部460のNMOSトランジスタ464とカレントミラー接続されるので、それぞれのミラー回路を対称に配置するべく、NMOSトランジスタ464を挟んで、第2振幅レベル変更部417側のNMOSトランジスタ456と第2振幅レベル変更部417x側のNMOSトランジスタ456とを対称な場所に配置するのが好ましい。図示した構成図(回路図)は、その点を模式的に示している。また、第2振幅レベル変更部417, 417x内でも、それぞれのトランジスタ440, 450, 452, 454, 456を近接した場所に配置するのが好ましい。

30

【0188】

このように、PMOSトランジスタ440をプルアップ手段として持つ第2振幅レベル変更部417, 417xの構成では、ある列の出力データQ, xQが“L”のときにはPMOSトランジスタ440を用いて水平転送バスBUS, xBUSの電圧を電源電圧Vdd側にプルアップするように作用させる。また、ある列の出力データQ, xQが“H”になったときに、駆動されるNMOSトランジスタ420によりプルダウンして、信号値“H”を論理反転して伝送する。もちろん、ある列の出力データが“L”の場合は、NMOSトランジスタ420がオフするため、PMOSトランジスタ440によるプルアップにより信号値“L”を論理反転して伝送する。

40

【0189】

ある列の出力データQ, xQが“H”になったときに、NMOSトランジスタ420がオンし、水平転送バスBUS, xBUSがプルダウンされてある電圧だけ低下し、Hレベルに対応する電源電圧VddとLレベルに対応する接地電圧GNDとの間の第3の電圧レベルVH3になる。どの程度の電圧低下が生じるかは、NMOSトランジスタ420のドレイン-ソース間の駆動能力(ドレイン-ソース間の駆動電流と出力抵抗に關係する)と水平転送バス

50

BUS , xBUS側の負荷抵抗と負荷容量とで決まる。

【 0 1 9 0 】

第1レベル調整部414を構成するに当たり、AD変換部25bやD型フリップフロップ402から出力されるH, Lの論理レベルを論理反転するトランジスタ(本例ではNMOSトランジスタ420)を使用することで、H, Lの論理レベルの一方(本例ではHレベル)を簡単に第3の電圧レベルVH3に変換できる利点がある。

【 0 1 9 1 】

また、ある列の出力データQ, xQが“L”のときにHレベルに対応する電源電圧V<sub>dd</sub>とLレベルに対応する接地電圧GNDとの間の第4の電圧レベルVL4とするためのプルアップ手段を具体的に構成するに当たり、MOSトランジスタを使用すれば、抵抗素子を使用する形態と比べて小面積で実現できる利点がある。加えて、LレベルからHレベル(水平転送バスBUS, xBUS上では論理反転されてHレベルからLレベル)への遷移時にはPMOSトランジスタ440の駆動能力を活かすことができるので抵抗素子に比べて駆動能力もある。ただし、NMOSトランジスタ420がオンになると、PMOSトランジスタ422Pを通じて、PMOSトランジスタ440からNMOSトランジスタ420への貫通電流が流れる可能性がある。

【 0 1 9 2 】

< 構成例の増幅作用 >

図6Aおよび図6Bは、図5Aに示した構成例における第2振幅レベル変更部417, 417xの増幅作用を説明する図であり、回路構成を機能的に表している。図6Aは、図5Aに示した構成例に対する比較例を適用する場合の動作を説明するものである。図6Bは、図5Aに示した構成例を適用する場合の本実施形態の動作を説明するものである。

【 0 1 9 3 】

図6Aに示すように、比較例の構成においては、寄生CRの大きい転送路(バス)で、データ転送を行なうべく、本実施形態と同様に、差動型の転送回路を用いている。この差動型の転送回路では、転送路を充電するための負荷トランジスタ(電流源の構成をしている)と、相補データのドライブトランジスタにより駆動し、差動アンプで比較出力する。しかしながら、このような比較例の構成では、転送のスピードは、負荷トランジスタとドライブトランジスタのDC的なバランスで充放電する能力で決まり、転送路の寄生CRが大きい場合、この能力でスピードが決まる難点がある。

【 0 1 9 4 】

一方、図5Aに示した本実施形態の構成例において、第2振幅レベル変更部417, 417xは、帰還増幅回路を構成するようになっている。すなわち、PMOSトランジスタ454のドレイン端とNMOSトランジスタ456のドレイン端とが接続された接続点がアンプ出力端となり、そのアンプ出力端に生じる差動増幅部418用の電圧情報V<sub>Q</sub>, xV<sub>Q</sub>がPMOSトランジスタ440のゲート端(制御入力端)に戻される。PMOSトランジスタ440は、そのゲート電圧に基づき、水平転送バスBUS, xBUSの電位変動を抑制する帰還回路を構成する。

【 0 1 9 5 】

まず、D型フリップフロップ402から出力される論理データQ, xQがLレベル時にNMOSトランジスタ420がオフすることでPMOSトランジスタ440のプルアップ作用によって水平転送バスBUS, xBUSの電位を上げる方向に作用すると、NMOSトランジスタ450はオンする方向に作用しカレントミラー接続されているPMOSトランジスタ452, 454の電流が増加する。この電流増加はアンプ出力端に生じる電圧情報V<sub>Q</sub>, xV<sub>Q</sub>を高くする方向に作用し、その情報がPMOSトランジスタ440のゲート端に通知される。PMOSトランジスタ440は、ゲート端の電位が高くなるとオフする方向に作用するので動作抵抗が高くなり、その結果、水平転送バスBUS, xBUSの電位を下げる方向に作用する。つまり、PMOSトランジスタ440は、水平転送バスBUS, xBUSの電位上昇(振幅増加)があったとき、第2振幅レベル変更部417, 417xのアンプ出力端の電圧情報V<sub>Q</sub>, xV<sub>Q</sub>を入力として水平転送バスBUS, xBUSの振幅増加を抑制する方

10

20

30

40

50

向に働く。

【0196】

逆に、D型フリップフロップ402から出力される論理データQ, xQがHレベル時にNMOSトランジスタ420がオンすることでプルダウンされ水平転送バスBUS, xBUSの電位を下げる方向に作用すると、NMOSトランジスタ450はオフする方向に作用しカレントミラー接続されているPMOSトランジスタ452, 454の電流が減少する。この電流減少はアンプ出力端に生じる電圧情報VQ, xVQを低くする方向に作用し、その情報がPMOSトランジスタ440のゲート端に通知される。

【0197】

PMOSトランジスタ440は、ゲート端の電位が低下するとオンする方向に作用するので動作抵抗が小さくなり、水平転送バスBUS, xBUSの電位を上げる方向に作用する。つまり、PMOSトランジスタ440は、水平転送バスBUS, xBUSの電位低下(振幅減少)があったとき、第2振幅レベル変更部417, 417xのアンプ出力端の電圧情報VQ, xVQを入力として水平転送バスBUS, xBUSの振幅減少を抑制する方向に働く。

10

【0198】

このことから分るように、第2振幅レベル変更部417, 417xは、帰還増幅回路として動作する。第2振幅レベル変更部417, 417xのアンプ出力端に生じる電圧情報VQ, xVQを負荷トランジスタとしてのPMOSトランジスタ440のゲート端に入力していることから、水平転送バスBUS, xBUSの振幅レベルは、NMOSトランジスタ456のゲート端のバイアスレベルと釣り合うレベルに自己整合的に安定する。

20

【0199】

第2レベル調整部415としてNMOSトランジスタ420の負荷トランジスタとなるPMOSトランジスタ440を使用し、さらにそのPMOSトランジスタ440のゲート端にアンプ出力端の電圧情報VQ, xVQを帰還させる構成とすることで、簡単に帰還増幅回路を構成できる利点がある。

【0200】

このように、本実施形態の構成では、図6Bに示すように、相補出力データを転送するための2本の水平転送バスBUS, xBUSと、水平転送バスBUS, xBUS上に分散配置され、相補出力データに基づき水平転送バスBUS, xBUSを駆動する各列のドライブトランジスタとして機能するNMOSトランジスタ420と、水平転送バスBUS, xBUS上の信号を入力とし、差動アンプとしての差動増幅部418への入力信号(電圧情報VQ, xVQ)を生成する増幅段としての第2振幅レベル変更部417(BUS増幅部), 417x(xBUS増幅部)を備える。加えて、第2振幅レベル変更部417(BUS増幅部), 417x(xBUS増幅部)で生成された電圧情報VQ, xVQを入力として水平転送バスBUS, xBUSにフィードバックする、すなわち水平転送路の振幅を抑制する方向に働く、負荷トランジスタとして機能するPMOSトランジスタ440を備える。

30

【0201】

このような構成により、データ転送路である水平転送バスBUS, xBUSに関しては、負荷トランジスタとしてのPMOSトランジスタ440がフィードバックトランジスタとしても機能するので、水平転送バスBUS, xBUS上の情報を小振幅に抑えられるため、高速動作が可能となる。また、差動アンプとしての差動増幅部418の入力は、増幅段であるBUS増幅部とて機能する第2振幅レベル変更部417およびxBUS増幅部とて機能する第2振幅レベル変更部417xにより振幅を増幅して電圧情報VQ, xVQにしているため、高速かつ精度よく比較することができる。さらに、相補情報でデータ転送することで、水平転送バスBUS, xBUSにノイズが混入しても、その影響をキャンセルできることから、ノイズ耐性が高い。

40

【0202】

<構成例のレベル抑制作用>

図6Cおよび図6Dは、図5Aに示した構成例における第3レベル調整部416, 416xによるレベル抑制作用を説明する図である。

50

## 【 0 2 0 3 】

高負荷の水平転送バスBUS , xBUSを高速で駆動する場合には、スルーレートを確保することが難しくなる。このことを示したのが図6C(1)である。ここでは、第3レベル調整部416 , 416xが設けられていない場合で示している。図示のように、そもそも電源電圧まで振幅するはずの水平転送バスBUS , xBUSの電位が、実際にはある微小な振幅しか振れないことになる。これは、水平転送バスBUS , xBUSには抵抗があり、またバッファ(本例ではNMOSトランジスタ420)に有限の出カインピーダンスがあるため、いわゆるCR遅延により、微小な振幅になってしまうからである。

## 【 0 2 0 4 】

また、このように微小な振幅でしか振れない場合、信号の誤りを起こす可能性がある。このことを示したのが図6C(2)や図6D(1)である。図示のように、動作点が接地側に近い状態で隣り合った列ごとの出力が常に異なり、水平転送バスBUS , xBUSの変化が常にある場合は、接地側に近い状態で振幅が小さくなり、変化がない場合は振幅が大きくなる。水平転送バスBUS上の電位はデータがHになるまで上昇を続けるが、水平転送バスxBUS上の電位は第2振幅レベル変更部417の作用により、所定のレベルに留まる。

10

## 【 0 2 0 5 】

BUS増幅部として機能する第2振幅レベル変更部417のアンブ出力端の電圧情報VQは、差動増幅部418の非反転入力(+)に供給され、xBUS増幅部として機能する第2振幅レベル変更部417xのアンブ出力端の電圧情報xVQは、差動増幅部418の反転入力(-)に供給され、差動増幅部418によって比較増幅される。そのため、図6D(2)に示すように、差動増幅部418にてデータを再生する閾値が出力変化で異なってしまうことにより、誤判定(データの再生エラー)の原因になる。

20

## 【 0 2 0 6 】

第3レベル調整部416 , 416xは、この問題点を解消するために設けられる。第3レベル調整部416 , 416xとして、たとえばダイオード接続したNMOSトランジスタ422を設けることで、データQ , xQがLレベル時に水平転送バスBUS , xBUSを充電する電位をダイオード接続したNMOSトランジスタ442と第2振幅レベル変更部417の作用により、所定の第5の電圧レベルVH5までの上昇に制限できる。すなわち、第1レベル調整部414 , 414xによる水平転送バスBUS , xBUSを接地側にしようとするドライブがない場合に(データQ , xQがLレベル時に相当)、水平転送バスBUS , xBUSの充電は第5の電圧レベルVH5(ダイオード電圧=0.6V程度)まで抑えられるので、水平転送バスBUS , xBUSが電源レベルまで過充電されることを抑制できる。

30

## 【 0 2 0 7 】

この結果、水平転送バスBUS , xBUS上の情報は、振幅レベルVL3~VH4がダイオード電圧の範囲に制限され、非常に小振幅となり、高速に反転動作が可能となる。その結果、図6D(3)に示すように、水平転送バスBUS , xBUSの変化がない場合でも、データの再生エラーが起き難い。より完全にするには、振幅レベルVL3~VH4がダイオード電圧とほぼ等しくなるようにするのがよい。第3レベル調整部416 , 416xが存在しないときのプルアップ電位がダイオード電圧以上となるようにNMOSトランジスタ456のバイアスレベルを設定しておけば、NMOSトランジスタ422によって自動的に、振幅レベルVL3~VH4がダイオード電圧とほぼ等しくなるようにされる。

40

## 【 0 2 0 8 】

なお、プルアップ時の電位を所定範囲(第5の電圧レベルVH5)に抑制する第3レベル調整部416の構成としては、このようなNMOSトランジスタ442をダイオード接続した構成に限定されない。たとえば、ツェナーダイオードやその他の電圧制限素子を使用することもできる。ただし、ダイオードのカソードを接地(基準電位)側にアノードをバス線側に順方向で接続する構成を使用すれば、簡単にプルアップ時の電位を所定範囲(ダイオード電圧)に制限できる利点がある。MOSトランジスタをダイオード接続した構成では、集積回路への組み込みが容易である。

## 【 0 2 0 9 】

50

< 構成例の情報再生作用とバイアスレベルとの関係 >

図 6 E は、図 5 A に示した構成例における NMOS トランジスタ 4 6 4 のバイアスレベルと差動増幅部 4 1 8 による情報再生作用との関係を説明する図である。NMOS トランジスタ 4 6 4 の動作電流は第 2 振幅レベル変更部 4 1 7 , 4 1 7 x の消費電力や動作点に大きく作用する。消費電力の側面では、バイアス部 4 6 0 によるバイアス電流の設定 ( NMOS トランジスタ 4 5 6 のゲート端へのバイアスレベル ) に依存する構成にできることから、転送スピードに応じて、バイアス電流を変えることが可能であり、低消費電力化が可能となる。

【 0 2 1 0 】

一方、動作点の側面では、バイアスレベルが一致せずに、BUS 増幅部として機能する第 2 振幅レベル変更部 4 1 7 のアンプ出力端の動作点と xBUS 増幅部として機能する第 2 振幅レベル変更部 4 1 7 x のアンプ出力端の動作点とが一致していないときには、図 6 E に示すように、入力情報と差動増幅部 4 1 8 で再生される電圧情報 V D が示す再生情報との間にズレが生じる。図 6 E では僅かのズレで示しているが、アンプ出力端の動作点が大きくズレたときには、情報を再生できないことも起こり得る。

【 0 2 1 1 】

デジタルデータの水平転送であれば、差動増幅部 4 1 8 の後段にラッチ部 4 1 9 を設けて、転送サイクル中の概ね中間のタイミングで取り込むことで、データ再生の精度を高めることもできるが、アナログ情報の転送の場合にはそれができない。

【 0 2 1 2 】

この点においては、先にも説明したように、アンプ出力端の電圧情報 V Q , x V Q が同じような特性を呈するように、第 2 振幅レベル変更部 4 1 7 側の NMOS トランジスタ 4 5 6 と第 2 振幅レベル変更部 4 1 7 x 側の NMOS トランジスタ 4 5 6 とを近接した場所に配置するなどして、第 2 振幅レベル変更部 4 1 7 , 4 1 7 x を同一の性能のものとするのが好ましい。

【 0 2 1 3 】

< 類似の構成例との対比 >

なお、上述した本実施形態の構成と似通った仕組みとして、たとえば参考文献 1 ( 特開平 5 - 1 2 8 8 7 0 号公報 ) には、ダイナミック型半導体記憶装置の I O バス信号 ( 入出力バス信号 ) の差動増幅部に関して、列デコーダにより選択された相補のビット線の信号を相補のバス線に伝達する手段と、バス線の信号を差動入力比較判定をする差動増幅器と、相補のバス線と差動増幅器の差動入力との間に設けられた電圧レベル変換回路 ( たとえばソースフォロワ回路 ) とを備える仕組みが提案されている。

【 0 2 1 4 】

転送路の差電位を判定する差動増幅器の差動入力電位を電源電圧レベルから、電位レベル変換回路を使って、下げることにより、C - MOS 構成での差動増幅器を飽和領域で使うことができるため、増幅動作全体を高速でかつ高利得にできる。

【 0 2 1 5 】

参考文献 1 の仕組みでは、電圧レベル変換回路 ( たとえばソースフォロワ回路 ) には増幅機能がなく、水平転送バス BUS , xBUS 上の情報を小振幅に抑えつつ、差動アンプ ( 差動増幅部 4 1 8 ) の入力を大振幅にすることで、データ転送路に関して小振幅に抑えることで高速転送を実現しつつ、差動アンプの入力信号を大振幅にすることで高速かつ精度よく比較することができるという本実施形態に特有の作用効果を楽しむことはできない。

【 0 2 1 6 】

参考文献 2 ( 特開 2 0 0 2 - 8 4 4 6 0 号公報 ) には、CMOS 型撮像装置において、増幅出力を直列接続された帰還抵抗と入力抵抗により電圧分配して電圧分配出力とし、電圧分配出力を差動の反転入力とする仕組みが提案されている。転送対象の情報はアナログ情報であり、正相信号を転送する正相信号線上の画素信号に対しての相補関係となる、逆相信号線上の逆相信号を差動アンプで生成するようにしているとともに、アンプゲインを 1 以上に設定可能に構成している。固定パターンノイズを抑圧した、1 より大きい増幅度

10

20

30

40

50



で増幅された出力信号を得ることができ、雑音の少ない仕組みになる。

【0217】

しかしながら、参考文献2に記載の仕組みでは、アナログ情報の安定化時間を必要とする問題がある。それに対して、本実施形態の仕組みでは、デジタル情報の転送であり、2値の比較が可能な時間を保持すればよく、高速化の点で有利である。

【0218】

<撮像装置>

図7は、前述の本実施形態の固体撮像装置1と同様の仕組みを利用した物理情報取得装置の一例である撮像装置(カメラシステム)の概略構成を示す図である。この撮像装置8は、可視光カラー画像を得る撮像装置になっている。

10

【0219】

具体的には、撮像装置8は、太陽光や蛍光灯などの光源801の下にある被写体Zの像を担持する光Lを撮像装置側に導光して結像させる撮影レンズ802と、光学ローパスフィルタ804と、たとえばR、G、Bの色フィルタがベイヤー配列とされている色フィルタ群812と、画素アレイ部10と、画素アレイ部10を駆動する駆動制御部7と、画素アレイ部10から出力された画素信号に対してCDS処理やAD変換処理などを施すカラム処理部26と、カラム処理部26から出力された撮像データを処理するカメラ信号処理部810を備えている。

【0220】

カメラ信号処理部810は、撮像信号処理部820と、撮像装置8の全体を制御する主制御部として機能するカメラ制御部900とを有する。撮像信号処理部820は、色フィルタとして原色フィルタ以外のものが使用されているときにカラム処理部26のカラムAD回路25b(図1を参照)から供給されるデジタル撮像信号をR(赤)、G(緑)、B(青)の原色信号に分離する原色分離機能を具備した信号分離部822と、信号分離部822によって分離された原色信号R、G、Bに基づいて色信号Cに関する信号処理を行なう色信号処理部830とを有する。

20

【0221】

また撮像信号処理部820は、信号分離部822によって分離された原色信号R、G、Bに基づいて輝度信号Yに関する信号処理を行なう輝度信号処理部840と、輝度信号Y/色信号Cに基づいて映像信号VDを生成するエンコーダ部860とを有する。

30

【0222】

本実施形態のカメラ制御部900は、コンピュータが行なう演算と制御の機能を超小型の集積回路に集約させたCPU(Central Processing Unit)を代表例とする電子計算機の中枢をなすマイクロプロセッサ(microprocessor)902と、読出専用の記憶部であるROM(Read Only Memory)904、随時書込みおよび読出しが可能であるとともに揮発性の記憶部の一例であるRAM(Random Access Memory)906と、図示を割愛したその他の周辺部材を有している。マイクロプロセッサ902、ROM904、およびRAM906を纏めて、マイクロコンピュータ(microcomputer)とも称する。

【0223】

なお、上記において“揮発性の記憶部”とは、装置の電源がオフされた場合には、記憶内容を消滅してしまう形態の記憶部を意味する。一方、“不揮発性の記憶部”とは、装置のメイン電源がオフされた場合でも、記憶内容を保持し続ける形態の記憶部を意味する。記憶内容を保持し続けることができるものであればよく、半導体制のメモリ素子自体が不揮発性を有するものに限らず、バックアップ電源を備えることで、揮発性のメモリ素子を“不揮発性”を呈するように構成するものであってもよい。

40

【0224】

カメラ制御部900は、システム全体を制御するものである。ROM904にはカメラ制御部900の制御プログラムなどが格納されているが、特に本例では、カメラ制御部900によって、各種の制御パルスのオン/オフタイミングを設定するためのプログラムが格納されている。RAM906にはカメラ制御部900が各種処理を行なうためのデータ

50

などが格納されている。

【0225】

また、カメラ制御部900は、メモリカードなどの記録媒体924を挿脱可能に構成し、またインターネットなどの通信網との接続が可能に構成している。たとえば、カメラ制御部900は、マイクロプロセッサ902、ROM904、およびRAM906の他に、メモリ読出部907および通信I/F(インタフェース)908を備える。

【0226】

記録媒体924は、たとえば、マイクロプロセッサ902にソフトウェア処理をさせるためのプログラムデータや、輝度信号処理部840からの輝度系信号に基づく測光データDLの収束範囲や露光制御処理(電子シャッタ制御を含む)のための各種の制御パルスのオン/オフタイミングなど、様々な設定値などのデータを登録するなどのために利用される。

10

【0227】

メモリ読出部907は、記録媒体924から読み出したデータをRAM906に格納(インストール)する。通信I/F908は、インターネットなどの通信網との間の通信データの受け渡しを仲介する。

【0228】

なお、このような撮像装置8は、駆動制御部7およびカラム処理部26を、画素アレイ部10と別体にしてモジュール状のもので示しているが、固体撮像装置1について述べたように、これらが画素アレイ部10と同一の半導体基板上に一体的に形成されたワンチップものの固体撮像装置1を利用してもよいのは言うまでもない。

20

【0229】

また、図では、画素アレイ部10や駆動制御部7やカラム処理部26やカメラ信号処理部810の他に、撮影レンズ802、光学ローパスフィルタ804、あるいは赤外光カットフィルタ805などの光学系をも含む状態で、撮像装置8を示しており、この態様は、これらを纏めてパッケージングされた撮像機能を有するモジュール状の形態とする場合に好適である。

【0230】

ここで、前述の固体撮像装置1におけるモジュールとの関係においては、図示のように、画素アレイ部10(撮像部)と、AD変換機能や差分(CDS)処理機能を具備したカラム処理部26などの画素アレイ部10側と密接に関連した信号処理部(カラム処理部26の後段のカメラ信号処理部は除く)が纏めてパッケージングされた状態で撮像機能を有するモジュール状の形態で固体撮像装置1を提供するようにし、そのモジュール状の形態で提供された固体撮像装置1の後段に、残りの信号処理部であるカメラ信号処理部810を設けて撮像装置8の全体を構成するようにしてもよい。

30

【0231】

または、図示を割愛するが、画素アレイ部10と撮影レンズ802などの光学系とが纏めてパッケージングされた状態で撮像機能を有するモジュール状の形態で固体撮像装置1を提供するようにし、そのモジュール状の形態で提供された固体撮像装置1に加えて、カメラ信号処理部810をもモジュール内に設けて、撮像装置8の全体を構成するようにしてもよい。

40

【0232】

また、固体撮像装置1におけるモジュールの形態として、カメラ信号処理部200に相当するカメラ信号処理部810を含めてもよく、この場合には、事実上、固体撮像装置1と撮像装置8とが同一のものと見なすこともできる。

【0233】

このような撮像装置8は、「撮像」を行なうための、たとえば、カメラや撮像機能を有する携帯機器として提供される。なお、「撮像」は、通常のカメラ撮影時の像の撮り込みだけではなく、広義の意味として、指紋検出なども含むものである。

【0234】

50

このような構成の撮像装置 8 においては、前述の固体撮像装置 1 の全ての機能を包含して構成されており、前述の固体撮像装置 1 の基本的な構成および動作と同様とすることができ、データ記憶・転送出力部 2 5 6 や出力回路 2 8 として、前述の実施形態を適用することで、水平転送における水平信号線 1 8 上の負荷容量に起因する問題を解決できる。

【 0 2 3 5 】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【 0 2 3 6 】

また、前記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【 0 2 3 7 】

< 電子機器への適用 >

たとえば前述の説明では、固体撮像装置や撮像装置において、画素信号を A D 変換して水平転送する場合での適用例を説明したが、A D 変換やデータ転送の仕組みは、固体撮像装置や撮像装置に限らず、ダイナミック型半導体記憶装置において入出力バス信号を転送するなど、情報の転送処理を必要とするあらゆる電子機器に適用することができる。

【 図面の簡単な説明 】

【 0 2 3 8 】

【 図 1 】本発明に係る固体撮像装置の一実施形態である C M O S 固体撮像装置の概略構成図である。

【 図 2 】参照信号比較型 A D 変換を実行するための基本回路構成例（第 1 例）を示す図である。

【 図 2 A 】参照信号比較型 A D 変換を実行するための基本回路構成例（第 2 例）を示す図である。

【 図 3 】参照信号比較型 A D 変換の第 1 処理例の動作を説明するタイミングチャートである。

【 図 3 A 】参照信号比較型 A D 変換の第 2 処理例の動作を説明するタイミングチャートである。

【 図 3 B 】参照信号比較型 A D 変換の第 4 処理例の動作を説明するタイミングチャートである。

【 図 4 】データ記憶・転送出力部の詳細を示す回路ブロック図である。

【 図 4 A 】はデータ記憶・転送出力部周辺と出力回路の構成例を示す回路ブロック図である。

【 図 4 B 】図 4 A に示した構成の基本動作を説明する電圧レベル図である。

【 図 5 】具体的な構成例を説明する図である。

【 図 5 A 】具体的な構成例を説明する図である。

【 図 6 A 】図 5 A に示した構成例に対する比較例を適用する場合の動作を説明する図である。

【 図 6 B 】図 5 A に示した構成例を適用する場合の本実施形態の動作を説明する図である。

【 図 6 C 】図 5 A に示した構成例における第 3 レベル調整部によるレベル抑制作用を説明する図（その 1）である。

【 図 6 D 】図 5 A に示した構成例における第 3 レベル調整部によるレベル抑制作用を説明する図（その 2）である。

10

20

30

40

50

【図6E】図5Aに示した構成例におけるNMOSトランジスタのバイアスレベルと差動増幅部による情報再生作用との関係を説明する図である。

【図7】本実施形態の固体撮像装置と同様の仕組みを利用した物理情報取得装置の一例である撮像装置の概略構成を示す図である。

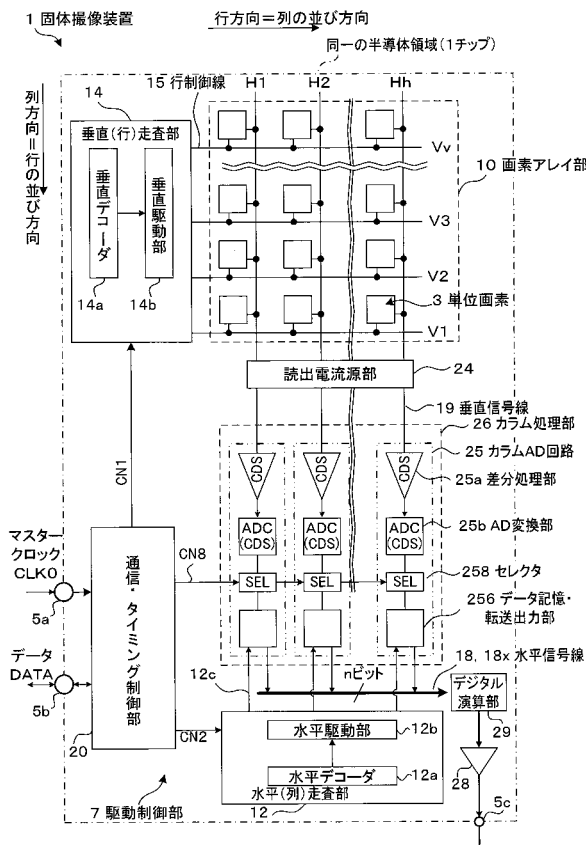
【符号の説明】

【0239】

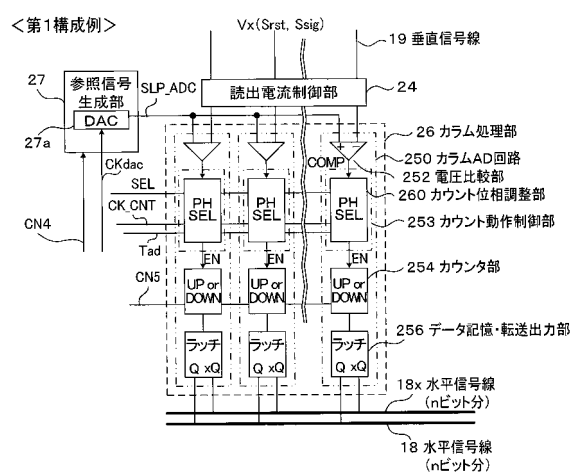
1...固体撮像装置、10...画素アレイ部、12...水平走査部、14...垂直走査部、18, 18x...水平信号線、19...垂直信号線、20...通信・タイミング制御部、24...読出電流源部、25...カラム回路、252...電圧比較部、253...カウント動作制御部、254...カウンタ部、256...データ記憶・転送出力部、25b...AD変換部、25a...差分処理部、26...カラム処理部、260...カウント位相調整部、27...参照信号生成部、27a...DA変換回路、28...出力回路、29...デジタル演算部、3...単位画素、410...第1振幅レベル変更部、411...主増幅部、414...第1レベル調整部、415...第2レベル調整部、416...第3レベル調整部、417...第2振幅レベル変更部、418...差動増幅部、419...ラッチ部、7...駆動制御部、8...撮像装置、900...カメラ制御部

10

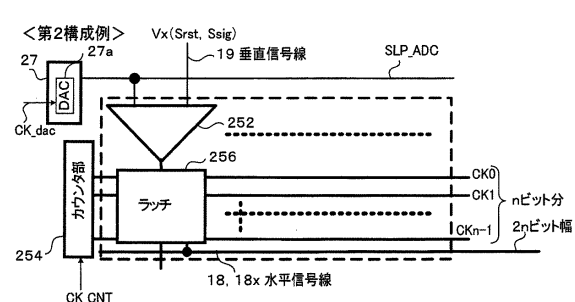
【図1】



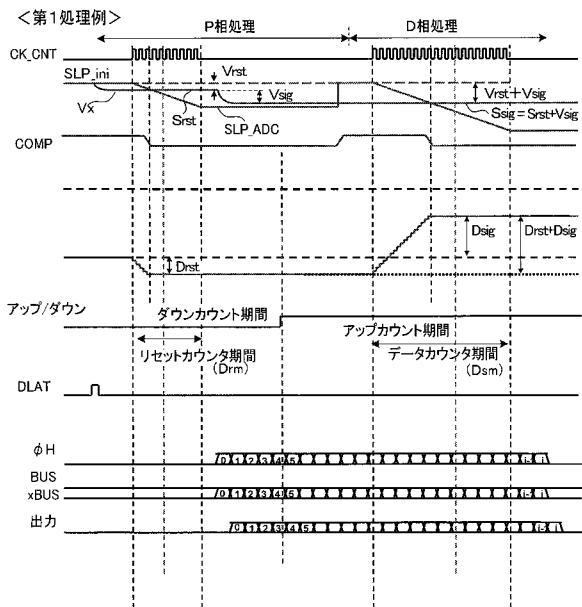
【図2】



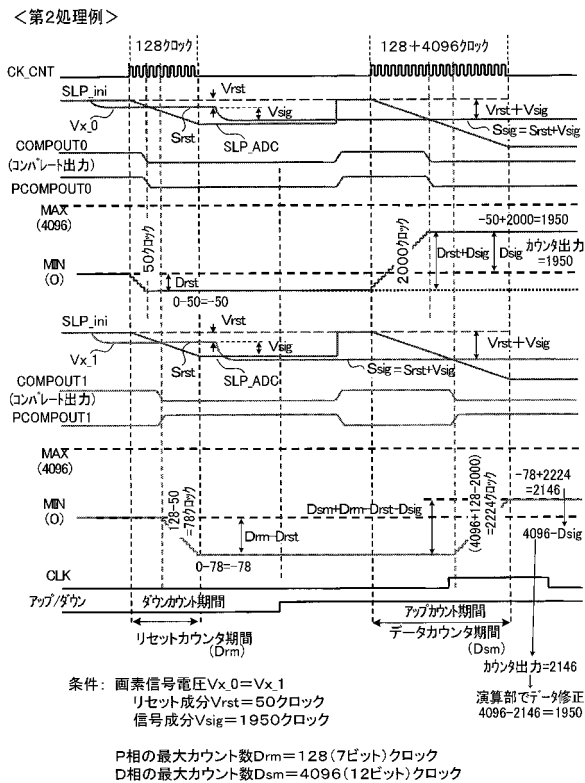
【図2A】



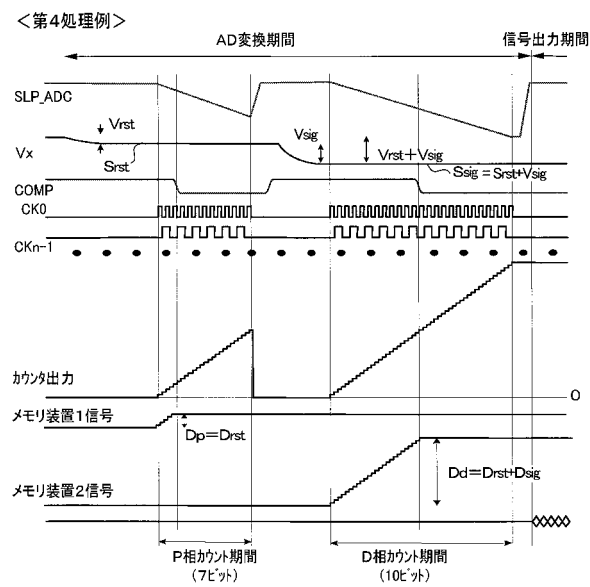
【図3】



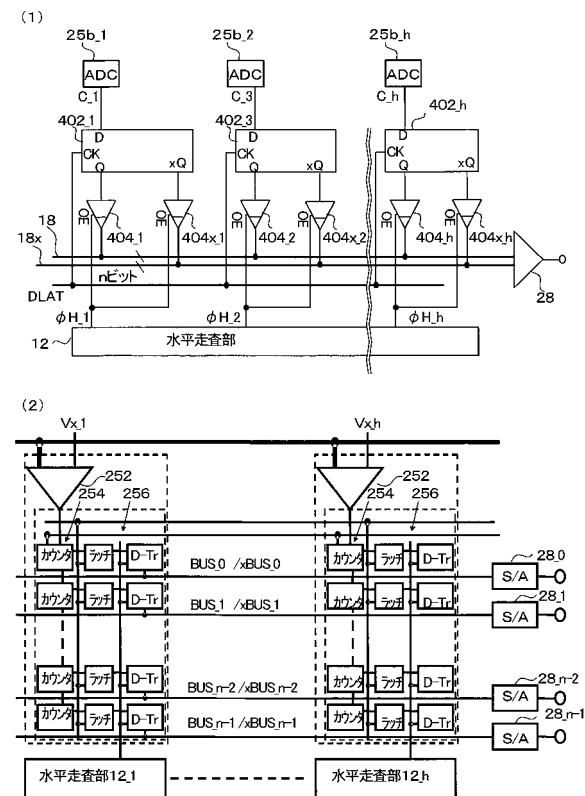
【図3A】



【図3B】



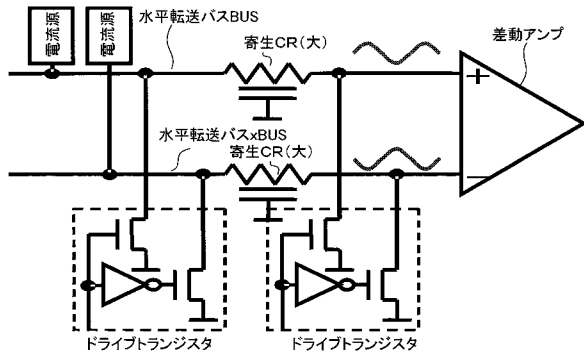
【図4】





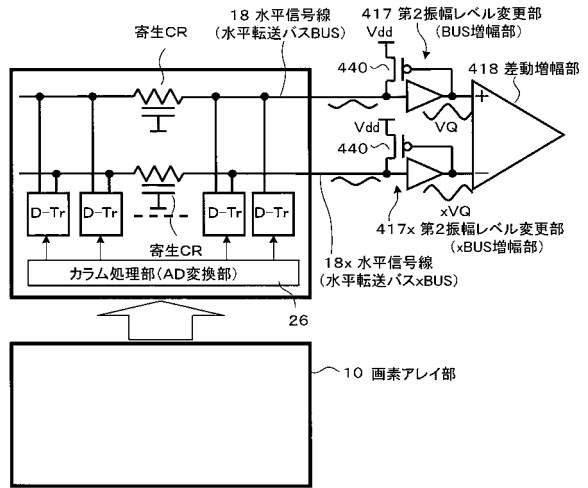
【図6A】

<比較例:転送作用>



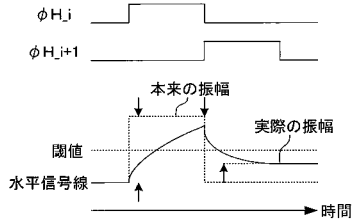
【図6B】

<本実施形態:増幅転送作用>

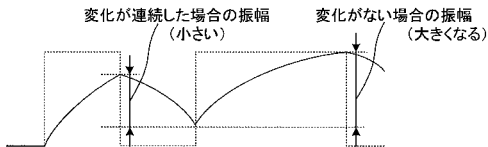


【図6C】

(1) スルーレートとの関係

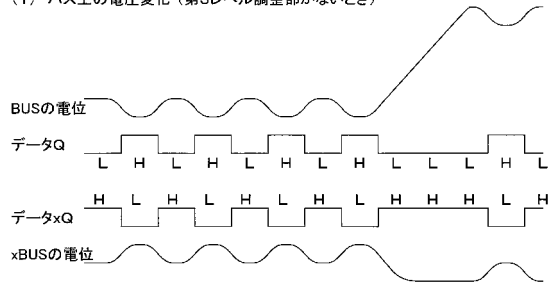


(2) データ変化との関係

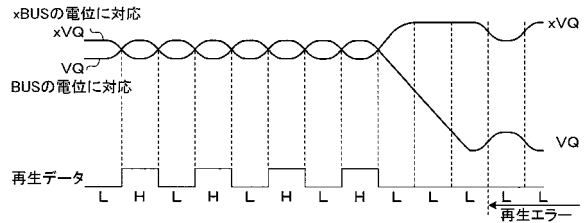


【図6D】

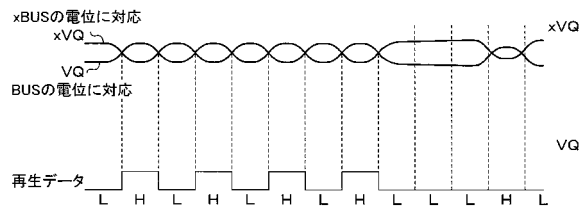
(1) バス上の電圧変化 (第3レベル調整部がないとき)



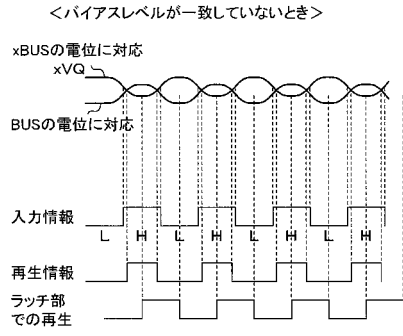
(2) 差動増幅部の作用 (第3レベル調整部がないとき)



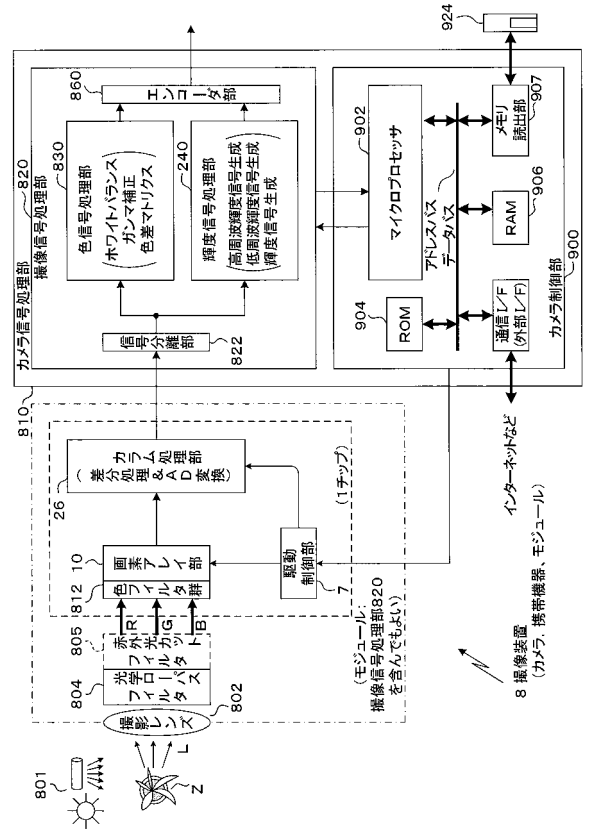
(3) 差動増幅部の作用 (第3レベル調整部があるとき)



【図6E】



【図7】





## フロントページの続き

- (56)参考文献 特開2004-186790(JP,A)  
特開2007-060080(JP,A)  
特開昭64-052288(JP,A)  
特開2004-110867(JP,A)  
特開2006-081203(JP,A)  
特開2006-040976(JP,A)  
特開平10-304133(JP,A)  
特開2007-281709(JP,A)  
特表2009-538074(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378  
H04N 5/222 - 5/257  
H01L 21/339  
H01L 21/8229  
H01L 21/8242 - 21/8247  
H01L 27/10 - 27/115  
H01L 27/14 - 27/148  
H01L 27/28  
H01L 29/762  
H01L 51/05  
G09G 5/00 - 5/42