



(12) 发明专利申请

(10) 申请公布号 CN 102355012 A

(43) 申请公布日 2012. 02. 15

(21) 申请号 201110230217. 8

(22) 申请日 2011. 08. 11

(71) 申请人 深圳市天微电子有限公司

地址 518057 广东省深圳市南山区高新中二道深圳软件园4栋503、505、522-523室

(72) 发明人 彭良宝 刘文峰 李杰平 门洪达 张碧珍

(74) 专利代理机构 广州华进联合专利商标代理有限公司 44224

代理人 何平

(51) Int. Cl.

H02J 7/00 (2006. 01)

H03K 23/56 (2006. 01)

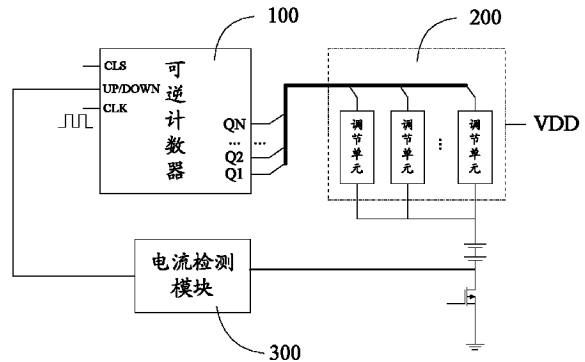
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

数控恒流驱动电路

(57) 摘要

本发明公开一种数控恒流驱动电路,包括可逆计数器、恒流大小调节模块以及电流检测模块,所述电流检测模块用于检测充电电流并根据充电电流的大小向可逆计数器发送信号使可逆计数器递增计数或递减计数,所述可逆计数器根据计数值使多个输出脚分别相应地输出高电平或低电平,所述恒流大小调节模块包括多个与所述输出脚对应的调节单元,所述调节单元在所述输出脚为高电平时导通,在所述输出脚为低电平时关闭。上述数控恒流驱动电路通过可逆计数器的递增和递减使调节单元导通或断开,从而改变充电电流的大小,电流检测模块则根据电流的变化使可逆计数器不停地做加、减计数,使充电电流会在设定值附近来回波动,其平均值就等于设定的恒流值,因而可以较为精确地控制恒流并适应多种负载。



1. 一种数控恒流驱动电路,其特征在于,包括可逆计数器、恒流大小调节模块以及电流检测模块,所述电流检测模块用于检测充电电流并根据充电电流的大小向可逆计数器发送信号使可逆计数器递增计数或递减计数,所述可逆计数器根据计数值使多个输出脚分别相应地输出高电平或低电平,所述恒流大小调节模块包括多个与所述输出脚对应的调节单元,所述调节单元在所述输出脚为高电平时导通,在所述输出脚为低电平时关闭。

2. 如权利要求 1 所述的数控恒流驱动电路,其特征在于,所述可逆计数器包括多个级联的 D 触发器,每一 D 触发器的 D 端和 Q 端连接、Q 端作为所述可逆计数器的输出脚之一,并且第一级的 D 触发器的时钟输入端 CLK 输入时钟信号,此后每一级的 D 触发器的时钟输入端 CLK 通过模拟开关与前一级的 D 触发器的 Q 端、Q 端复用连接,所有模拟开关都连接所述可逆计数器的计数方向脚,所有 D 触发器的复位端连接所述可逆计数器的复位信号输入脚。

3. 如权利要求 2 所述的数控恒流驱动电路,其特征在于,所述可逆计数器还包括计数溢出控制单元,所述计数溢出控制单元在所述多个 D 触发器的输出均为高电平或均为低电平时,使输入到第一级 D 触发器的时钟信号始终为低电平。

4. 如权利要求 1 所述的数控恒流驱动电路,其特征在于,所述调节单元包括与非门和 MOS 管,所述与非门的两个输入脚分别连接所述可逆计数器的复位信号输入脚和输出脚之一,所述与非门的输出脚连接 MOS 管的栅极,所述 MOS 管的源极、漏极连接电源的正极和充电电池的正极之间。

5. 如权利要求 4 所述的数控恒流驱动电路,其特征在于,所述 MOS 管为 PMOS,且数量为 7 个,按照与输出脚的计数位从高到低分别对应地记为 PMOS0 ~ PMOS6,其中,PMOS1 ~ PMOS6 的开通电阻分别为 PMOS0 的开通电阻的 1/2、1/4、1/8、1/16、1/32、1/64 倍。

6. 如权利要求 1 所述的数控恒流驱动电路,其特征在于,所述电流检测电路包括差分放大器、跟随器、镜像电流源以及比较器,所述跟随器包括 MOS 管 M1 和电阻 R1,所述差分放大器的同相输入端输入基准电压、反相输入端连接 MOS 管 M1 的漏极并通过所述电阻 R1 接地,所述差分放大器的输出端连接 MOS 管 M1 的栅极,所述 MOS 管 M1 的漏极与镜像电流源的一端连接,所述镜像电流源的另一端通过连接 MOS 管 M2 的源极、所述 MOS 管 M2 的漏极连接 MOS 管 M3 的源极,所述 MOS 管 M3 的漏极接地,所述 MOS 管 M2 的栅极输入所述基准电压,所述 MOS 管 M3 的栅极输入电源电压,所述 MOS 管 M2 的漏极还连接所述比较器的反相输入端,所述比较器的同相输入端采样所述充电电流,所述比较器的输出端输出使可逆计数器递增计数或递减计数的信号。

7. 如权利要求 6 所述的数控恒流驱动电路,其特征在于,所述镜像电流源包括两个源极和栅极均相互连接的 MOS 管 M4、MOS 管 M5,所述 MOS 管 M1 的源极连接所述 MOS 管 M4 的漏极,且连接到 MOS 管 M4 和 MOS 管 M5 共同连接的栅极。

数控恒流驱动电路

【技术领域】

[0001] 本发明涉及恒流驱动电路,尤其是涉及一种数控恒流驱动电路。

【背景技术】

[0002] 传统普遍采用的恒流驱动电路如图 1 所示,其工作原理为:电阻 R1 和稳压管 DZ 为电路提供基准电压,运算放大器 A 控制 MOS 管 Q1 对电池 BAT 进行充电,充电电流由电阻 R 上采样获得,并送至运算放大器 A 的反向端,实现闭环恒流控制。

[0003] 传统线性恒流充电的缺点:

[0004] 1、采用闭环线性控制,为了适应不同的电池负载,需要增加补偿网络,否则电路稳定性、可靠性大大降低。

[0005] 2、电路的基准电压采用稳压管,精度和温度系数、一致性不好;批量生产需要选测,给采购、加工、生产带来很多不便,生产成本低,维修和检测不便。

[0006] 3、充电电流由电阻 R 上获得,恒流精度取决于电阻 R 的温度系数、精度和一致性(这里忽略运算放大器的温度系数和失调电压)。如果选用温漂系数和一致性好的电阻,成本势必增加。

[0007] 4、Q1 必须工作线性放大区,否则不能恒流。Q1 的源漏压降过高会导致 Q1 的功耗过大,不利于散热,Q1 需要采用更大面积的 MOS 管;另一方面也限制了 VDD 下限范围。

[0008] 5、电路形式固定,如果想实现多样化恒流比如涓流充电时,修改不方便;而且电路无数控接口,需要增加较多的额外器件来实现智能控制。

【发明内容】

[0009] 基于此,有必要提供一种能够多样化提供精确恒流控制的数控恒流驱动电路。

[0010] 一种数控恒流驱动电路,包括可逆计数器、恒流大小调节模块以及电流检测模块,所述电流检测模块用于检测充电电流并根据充电电流的大小向可逆计数器发送信号使可逆计数器递增计数或递减计数,所述可逆计数器根据计数值使多个输出脚分别相应地输出高电平或低电平,所述恒流大小调节模块包括多个与所述输出脚对应的调节单元,所述调节单元在所述输出脚为高电平时导通,在所述输出脚为低电平时关闭。

[0011] 优选地,所述可逆计数器包括多个级联的 D 触发器,每一 D 触发器的 D 端和 Q 端连接、Q 端作为所述可逆计数器的输出脚之一,并且第一级的 D 触发器的时钟输入端 CLK 输入时钟信号,此后每一级的 D 触发器的时钟输入端 CLK 通过模拟开关与前一级的 D 触发器的 Q 端、Q 端复用连接,所有模拟开关都连接所述可逆计数器的计数方向脚,所有 D 触发器的复位端连接所述可逆计数器的复位信号输入脚。

[0012] 优选地,所述可逆计数器还包括计数溢出控制单元,所述计数溢出控制单元在所述多个 D 触发器的输出均为高电平或均为低电平时,使输入到第一级 D 触发器的时钟信号始终为低电平。

[0013] 优选地,所述调节单元包括与非门和 MOS 管,所述与非门的两个输入脚分别连接

所述可逆计数器的复位信号输入脚和输出脚之一,所述与非门的输出脚连接 MOS 管的栅极,所述 MOS 管的源极、漏极连接电源的正极和充电电池的正极之间。

[0014] 优选地,所述 MOS 管为 PMOS,且数量为 7 个,按照与输出脚的计数位从高到低分别对应地记为 PMOS0 ~ PMOS6,其中,PMOS1 ~ PMOS6 的开通电阻分别为 PMOS0 的开通电阻的 1/2、1/4、1/8、1/16、1/32、1/64 倍。

[0015] 优选地,所述电流检测电路包括差分放大器、跟随器、镜像电流源以及比较器,所述跟随器包括 MOS 管 M1 和电阻 R1,所述差分放大器的同相输入端输入基准电压、反相输入端连接 MOS 管 M1 的漏极并通过所述电阻 R1 接地,所述差分放大器的输出端连接 MOS 管 M1 的栅极,所述 MOS 管 M1 的漏极与镜像电流源的一端连接,所述镜像电流源的另一端通过连接 MOS 管 M2 的源极、所述 MOS 管 M2 的漏极连接 MOS 管 M3 的源极,所述 MOS 管 M3 的漏极接地,所述 MOS 管 M2 的栅极输入所述基准电压,所述 MOS 管 M3 的栅极输入电源电压,所述 MOS 管 M2 的漏极还连接所述比较器的反相输入端,所述比较器的同相输入端采样所述充电电流,所述比较器的输出端输出使可逆计数器递增计数或递减计数的信号。

[0016] 优选地,所述镜像电流源包括两个源极和栅极均相互连接的 MOS 管 M4、MOS 管 M5,所述 MOS 管 M1 的源极连接所述 MOS 管 M4 的漏极,且连接到 MOS 管 M4 和 MOS 管 M5 共同连接的栅极。

[0017] 上述数控恒流驱动电路通过可逆计数器的递增和递减使调节单元导通或断开,从而改变充电电流的大小,电流检测模块则根据电流的变化使可逆计数器不停地做加、减计数,使充电电流会在设定值附近来回波动,其平均值就等于设定的恒流值,因而可以较为精确地控制恒流并适应多种负载。

【附图说明】

[0018] 图 1 为传统的恒流驱动电路;

[0019] 图 2 为一实施例的数控恒流驱动电路的模块图;

[0020] 图 3 为图 2 实施例中的可逆计数器的内部电路原理图;

[0021] 图 4 为恒流大小调节模块的内部电路原理图;

[0022] 图 5 为电流检测模块内部电路原理图。

【具体实施方式】

[0023] 如图 2 所示,为一实施例的数控恒流驱动电路的模块图。该数控恒流驱动电路包括可逆计数器 100、恒流大小调节模块 200 以及电流检测模块 300。本实施的数控恒流驱动电路主要可用于充电时的恒流控制,当正常工作时,恒流大小调节模块 200 连接到充电电源的正极,并且恒流大小调节模块 200 的输出端与充电电池 BAT 的正极连接,充电电池 BAT 的负极通过开关器件连接充电电源的负极(一般都接地),开关器件的压降正比于充电电流。电流检测模块 300 用于检测充电电流并根据充电电流的大小向可逆计数器 100 发送信号使可逆计数器 100 递增计数或递减计数。可逆计数器 100 根据计数值使多个输出脚 Q0 ~ QN 分别相应地输出高电平或低电平。恒流大小调节模块 200 包括多个与所述输出脚 Q0 ~ QN 对应的调节单元 210,调节单元 210 在输出脚 Q_n(n 为 0 ~ N) 为高电平时导通,在输出脚 Q_n 为低电平时断开。多个调节单元 210 导通时可提供电阻并联效果,从而整个恒流大小调

节模块 200 的电阻是变化的,因此能够调节充电电流。

[0024] 可逆计数器 100 具有多个管脚,具体包括:

[0025] 复位信号输入脚 CLS,接收使能信号或复位信号,使可逆计数器 100 开始工作或计数清零。

[0026] 计数方向脚 UP/DOWN,根据输入信号为高电平或低电平,分别递增计数或递减计数。

[0027] 时钟脚 CLK,接收时钟信号。

[0028] 输出脚 Q0 ~ QN,根据计数值分别相应地输出高电平或低电平。

[0029] 如图 3 所示,为本实施例中可逆计数器 100 的内部电路图。可逆计数器 100 包括多个级联的 D 触发器,每一 D 触发器的 D 端和 Q 端连接、Q 端作为可逆计数器 100 的输出脚之一,并且第一级的 D 触发器的时钟输入端 CLK 输入时钟信号,此后每一级的 D 触发器的时钟输入端 CLK 通过模拟开关 MUX 与前一级的 D 触发器的 Q 端、Q 端复用连接,所有模拟开关 MUX 都连接可逆计数器 100 的计数方向脚 UP/DOWN,所有 D 触发器的复位端连接可逆计数器 100 的复位信号输入脚 CLS。

[0030] 可逆计数器 100 的工作原理如下:当计数方向脚 UP/DOWN 输入高电平时,模拟开关 MUX 的选通信号为 0,其将后一级 D 触发器的时钟信号输入端 CLK 与前一级 D 触发器的 Q 端连接,所有的 D 触发器构成减法计数器;当计数方向脚 UP/DOWN 输入低电平时,模拟开关 MUX 的选通信号为 1,其将后一级 D 触发器的时钟信号输入端 CLK 与前一级 D 触发器的 Q 端连接,所有的 D 触发器构成加法计数器。

[0031] 可逆计数器 100 的输出 Q0 ~ QN 依次与计数值对应,以 N = 6 为例,当计数值为 1 时,Q0 ~ Q6 输出为 0000001,当计数值为 2 时,Q0 ~ Q6 输出为 0000010,依次类推。

[0032] 如图 4 所示,恒流大小调节模块 200 中,调节单元 210 包括与非门和 MOS 管,与非门的两个输入脚分别连接并仅连接可逆计数器 100 的复位信号输入脚和输出脚之一,与非门的输出脚连接 MOS 管的栅极,所述 MOS 管的源极连接电源的正极,所述 MOS 管的漏极连接充电电池的正极。

[0033] 以 MOS 管为 PMOS、调节单元 210 的数量为 7 个为例,下表给出了 MOS 管开关状态与可逆计数器 100 输出的关系。

[0034]

Rstn	Q0-Q6	PMOS0	PMOS1	PMOS2	PMOS3	PMOS4	PMOS5	PMOS6
1	0000000	关	关	关	关	关	关	关
0	0000001	开	关	关	关	关	关	关
0	0000010	关	开	关	关	关	关	关
0	0000011	开	开	关	关	关	关	关
.....

0	1111111	开	开	开	开	开	开	开
---	---------	---	---	---	---	---	---	---

[0035] 如果将 PMOS1 ~ PMOS6 的面积分别设为 PMOS0 的 2、4、8、16、32、64 倍, 则其开通电阻 R_{dson} 也为 PMOS0 的 1/2、1/4、1/8、1/16、1/32、1/64 倍。设 PMOS0 开通电阻为 R_{dson} , 则 7 个 PMOS 按 7 位二进制组合开通的并联阻抗计算公式如下:

[0036]

$$R_{dson}(7) = \frac{1}{\frac{Q0}{R_{dson} * \frac{1}{2^0}} + \frac{Q1}{R_{dson} * \frac{1}{2^1}} + \frac{Q2}{R_{dson} * \frac{1}{2^2}} + \frac{Q3}{R_{dson} * \frac{1}{2^3}} + \frac{Q4}{R_{dson} * \frac{1}{2^4}} + \frac{Q5}{R_{dson} * \frac{1}{2^5}} + \frac{Q6}{R_{dson} * \frac{1}{2^6}}}$$

[0037] $R_{dson}(7)$ 的变化范围为 $R_{dson} \sim R_{dson}/127$, 将这个变阻器接入充电回路, 就可以实现 1/127 精度的阶梯调节。PMOS0-PMOS6 做在同一个集成电路里面, 当晶圆生产工艺出现偏差时, 或者是外界的温度变化时, 它们是同比变化的, 电流的调节精度不受影响。

[0038] 电流检测模块 300 用于检测充电电流并根据充电电流的大小向可逆计数器 100 发送信号使可逆计数器 100 递增计数或递减计数。

[0039] 如图 5 所示, 电流检测电路 300 包括差分放大器 310、跟随器 320、镜像电流源 330 以及比较器 340。跟随器 320 包括 MOS 管 M1 和电阻 R1, 差分放大器 310 的同相输入端输入基准电压 V_{ref} 、反相输入端连接 MOS 管 M1 的漏极并通过电阻 R1 接地, 差分放大器 310 的输出端连接 MOS 管 M1 的栅极。MOS 管 M1 的漏极与镜像电流源 330 的一端连接, 镜像电流源 330 的另一端通过连接 MOS 管 M2 的源极、MOS 管 M2 的漏极连接 MOS 管 M3 的源极, MOS 管 M3 的漏极接地, MOS 管 M2 的栅极输入基准电压 V_{ref} , MOS 管 M3 的栅极输入电源电压, MOS 管 M2 的漏极还连接比较器 340 的反相输入端, 比较器 340 的同相输入端采样所述充电电流, 比较器 340 的输出端输出使可逆计数器 100 递增计数或递减计数的信号。

[0040] 镜像电流源 330 包括两个源极和栅极均相互连接的 MOS 管 M4、MOS 管 M5, MOS 管 M1 的源极连接 MOS 管 M4 的漏极, 且连接到 MOS 管 M4 和 MOS 管 M5 共同连接的栅极。

[0041] 进一步地, 可逆计数器 100 还包括计数溢出控制单元 110, 所述计数溢出控制单元在所述多个 D 触发器的输出均为高电平或均为低电平时, 使输入到第一级 D 触发器的时钟信号始终为低电平。

[0042] 上述的 MOS 管可为 PMOS 或 NMOS。

[0043] 上述恒流驱动电路的充电电流控制过程为:

[0044] 当电池接入时, 使开关器件导通, 电池的负极通过此开关器件接地, 电池的正极通过恒流大小调节模块 200 的 PMOS 连接到 VDD, 一旦 PMOS 开通, 电源将会通过 PMOS 和开关器件, 对电池进行充电; PMOS 开通数量决定了充电回路的阻抗, 也决定了充电电流的大小。

[0045] 如果需要对电池进行充电, 输入使能信号为低电平。可逆计数器 100 在时钟信号的驱动下开始计数, 逐渐开通 PMOS, 充电电流逐渐递增, 开关器件上的电压也增加。当该电压大于设定阈值 V_{set} 时, 意味着充电电流已经大于设定的恒流值, 电流检测模块 300 使可逆计数器 100 的计数从递增变为递减, 逐渐关闭 PMOS, 充电电流开始逐渐变小。当充电电流减少到一定程度后, 电流检测模块 300 使可逆计数器 100 又从递减变为递增。随着充电电流变大、变小, 计数器不停地做加、减计数, 使充电电流会在设定值附近来回波动, 其平均值

就等于设定的恒流值。

[0046] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

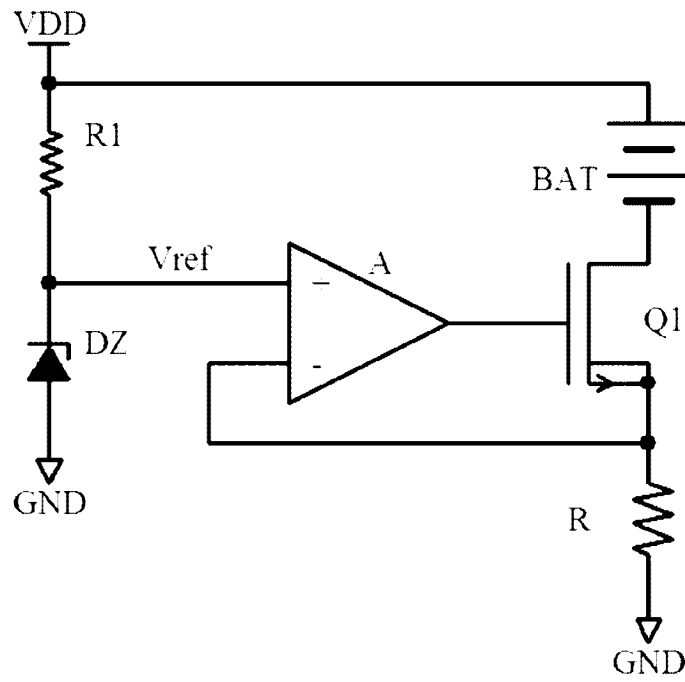


图 1

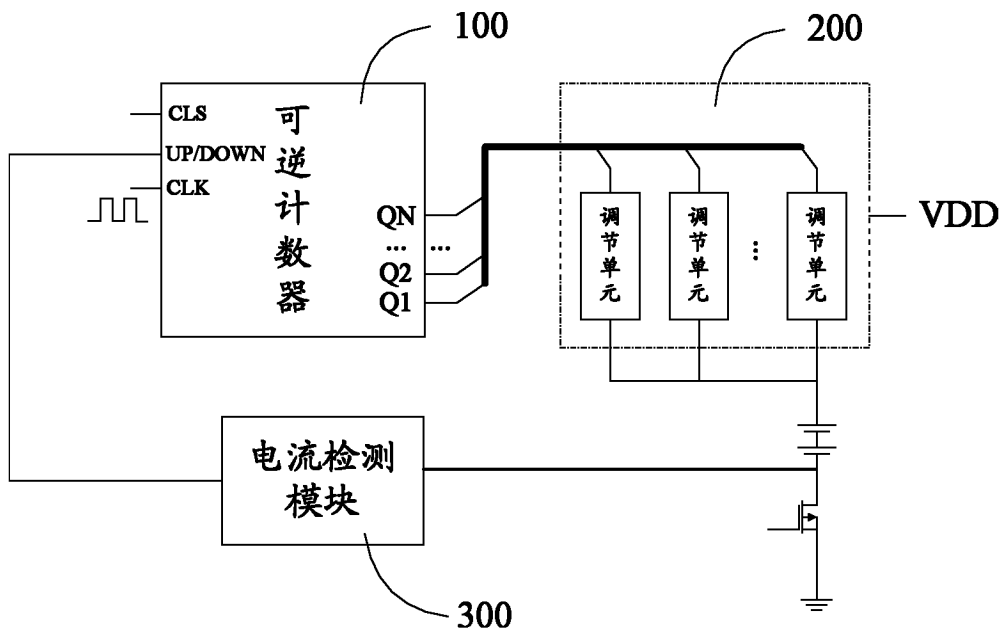


图 2

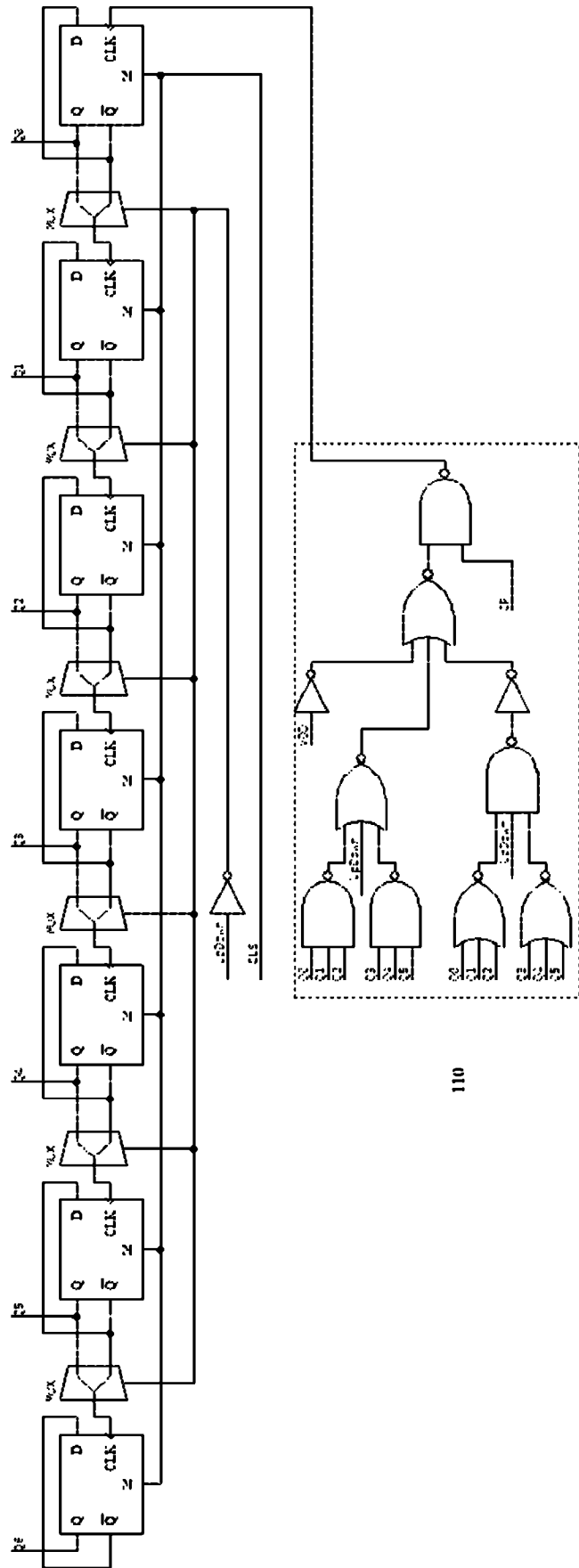


图 3

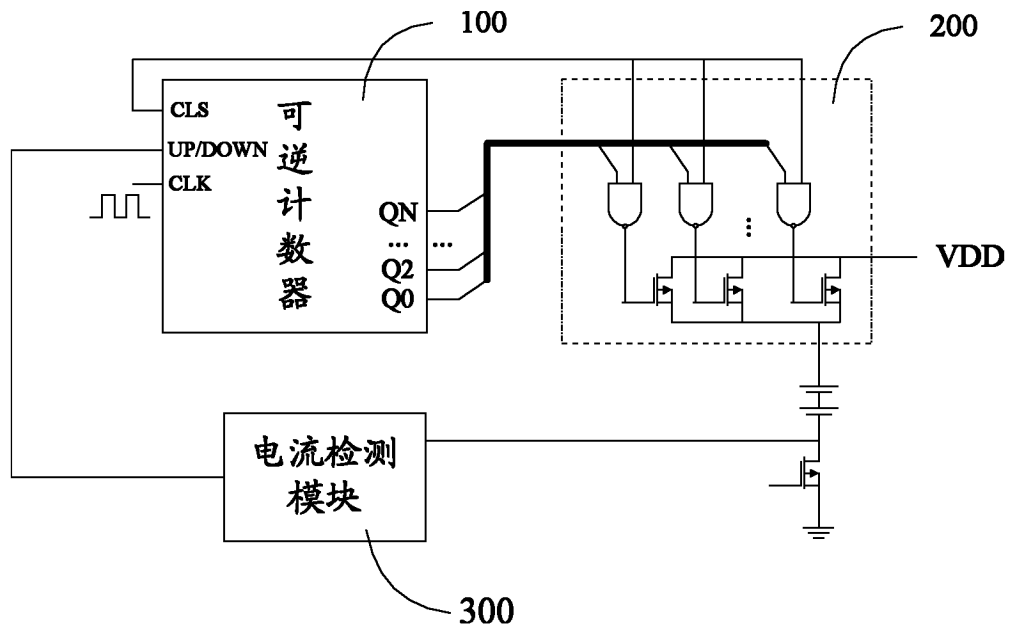


图 4

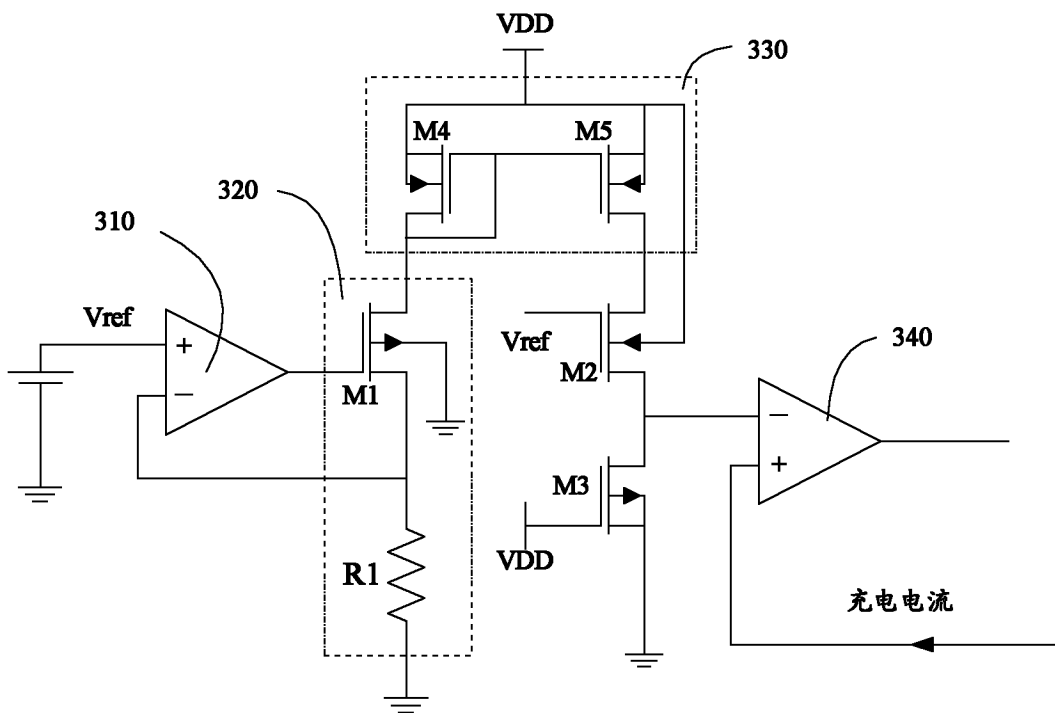


图 5