(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 29/00

(11) 공개번호 특2001-0109301
(43) 공개일자 2001년12월08일

(21) 출원번호 10-2001-7010959
(22) 출원일자 2001년08월27일
번역문 제출일자 2001년08월27일
(86) 국제출원번호 PCT/EP2000/12789
(86) 국제출원출원일자 2000년12월13일
(87) 국제공개번호 WO 2001/48823
(87) 국제공개일자 2001년07월05일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 터어키,

(30) 우선권주장 09/473,538 1999년12월28일 미국(US)

(71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
롤페스 요하네스 게라투스 알베르투스
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1

(72) 발명자 두포우어이브즈
네덜란드엔엘-5656에이에이아인드호펜홀스트란6
젠센룬에이치
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
김원준

심사청구 : 없음

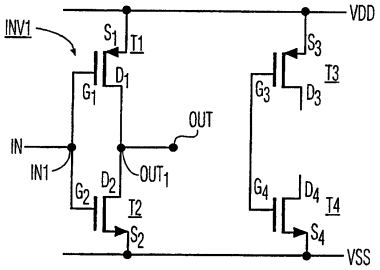
(54) 향상된 신뢰도를 가지는 금속 프로그램가능 로직을 가지는집적 회로

요약

본 발명은 금속 프로그램가능 로직 셀을 가지는 집적 회로를 제조하는 방법에 관한 것이다. 금속 프로그램가능 로직 셀은 집적 회로의 금속내의 도전체의 라우팅을 변경함으로써 셀의 입력과 출력사이에 연장하는 로직 경로에 접속되거나, 이로부터 분리되는 트랜지스터를 포함한다. 로직 경로 내에 접속되지 않음으로써 선택해제된 트랜지스터는 공급 레일로부터도 디커플링된다. 통상적으로, 선택해제된 트랜지스터는 실질적으로 회로를 추가하지 않고서는 스캔 테스트할 수 없는데, 이는 이들이 스캔 테스트 회로가 통상적으로 커플링되는 셀 입력과 및 출력사이의 로직 경로의 일부를 형성하

지 않기 때문이다. 로직 경로 내에 있지 않는 트랜지스터의 디커플링은 트랜지스터가 도전성 상태로 고정되는 " 스턱 온(stuck on)" 결함이 이들 결함있는 트랜지스터를 통해서 공급 레일사이를 전류가 흐르지 못하도록 하는 것을 보장하여, 열점 및 신뢰도 문제를 회피한다. " 스턱 온(stuck on)" 결함의 경우에도 손상을 방지함으로써, 여분의 테스트 회로의 필요성이 회피된다.

대표도



명세서

기술분야

본 발명은 집적 회로 분야에 관한 것으로 금속 프로그램가능 로직(metal programmable logic)을 가지는 집적 회로와 관련된 문제점을 해결한다.

배경기술

집적 회로(" ICs")는 전형적으로 기판과, 트랜지스터, 저항, 캐패시터 등의 많은 수의 회로 소자를 포함하는 기판상의 활성 영역과, 다수의 도전층과 그 도전층들 사이에 배치된 절연층을 가지는 활성 영역에 인접한 영역을 가진다. 도전층은 각기 회로 소자에 전력을 제공하며, 소자간의 신호를 라우팅(routing)하는 데에 이용되는 많은 수의 도전체 트랙(conductor track)을 포함한다.

집적 회로의 설계 및 테스트 동안에, 또는 IC가 생산된 후에도, 결함을 제거하거나 그렇지 않은 경우에는 회로 동작을 개선하기 위하여 회로 동작을 수정하는 것은 종종 필요하거나 이렇게 하는 것이 바람직하다. 수정의 마지막 단계에서(at the most severe end of the spectrum of revisions), 변화는 기판상의 회로 소자의 내용(content) 및 배치를 규정하는 마스크에의 변경을 요구할 것이다. 그러나, 보다 자주, 설계자는 잠재적인 문제점을 예상하여 이러한 문제점을 해결하기 위하여 충분한 회로 소자를 집적 회로 상에 포함하였다. 예를 들면, 설계자는 신호 라우팅(signal routing)에서의 타이밍(timing) 문제를 제거하기 위하여 버퍼 회로 소자의 선택(a selection of buffer circuit elements)을 포함할 수 있다. 그렇다면, 이는 교정(fix)을 수행하기 위하여 특정 회로 소자를 디커플링 및/또는 커플링(decoupling and/or coupling)하기 위하여 도전체 라우팅(conductor routing)을 변경하는 문제이다.

추가적으로, 많은 칩 설계는 소프트웨어에 의해서 판독될 수 있는 식별(identification)(" ID") 모듈을 포함한다. 모듈 ID의 목적은 소프트웨어가 하드웨어를 식별하며, ID에 근거하여 칩 및 해당하는 소프트웨어를 구성할 수 있도록 하는 것이다. 산업이, 증명된 회로 모듈이 IC에 " 플러그(plugged into)" 되는 시스템 온 칩 설계(system on a chip design)로 이동함에 따라, 각각의 회로 모듈은 해당하는 모듈 ID를 가지는 것이 바람직할 것이다.

특정 회로 모듈에 회로 교정/개선을 수행하는 경우에, 모듈 ID 회로의 출력을 변경하여 소프트웨어가 변경을 반영하는 상이한 ID 코드(a different ID code)를 판독하도록 하는 것은 전형적으로 바람직할 것이다. 모듈 ID를 수행하는 한가

지 방법은 금속 프로그램가능 로직(metal programmable logic)을 이용하는 것이다. 금속 프로그램가능 로직은 IC상에 다수의 로직 게이트가 형성되는 영역을 포함한다. 이들 게이트에 의해서 수행되는 로직 기능은 게이트가 도전체층 내의 도전체와 상호 접속되는 방법을 제어함으로써 선택된다. 모듈 ID를 변경하는 것은 금속 프로그램가능 로직에 대한 많은 이용중 하나일 뿐이다.

전형적으로 집적 회로는 집적 회로가 철저히 테스트될 수 있도록 하는 내장 회로(built-in circuitry)를 포함한다. 한 가지 잘 알려진 기술은 레지스터 및 플립플롭(flip-flops)의 체인이 IC상에 포함되는 경계 스캔 테스트(boundary scan testing)이다. 경계 스캔 회로(boundary scan circuits)는 알고있는 출력에 응답하여 회로의 출력을 모니터링(monitoring)할 수 있도록 하면서 디지털 입력이 개별적인 회로에 인가될 수 있도록 한다. 출력이 예측된 결과가 나오지 않는 경우에는 회로에 결함이 존재하는 것이다.

발명의 개요

본 발명자에 의해서 인지된 금속 선택가능 로직(metal selectable logic)에서의 문제점은 " 선택해제된(deselected)" 트랜지스터 - 즉 IC 기판 상에 제공되었으나, 도전체를 제거함으로써 셀(cell)의 로직 경로(logic path)로부터 디커플링된, 그렇지 않은 경우에는 이들 트랜지스터를 로직 경로내의 다른 트랜지스터에 커플링할 로직 셀(a logic cell)의 트랜지스터 - 는 통상적인 스캔 테스트 회로를 가지고서는 스캔 테스트가 가능하지 않다는 점이다. 이는 스캔 테스트 회로가 셀의 입력 및 출력에 공통적으로 커플링되었기 때문이다. 따라서, 예를 들어 출력을 셀내의 상이한 노드(node)에 커플링함으로써 로직 구성이 변하고, 이로 인하여 하나이상의 트랜지스터를 셀 입력과 셀 출력사이의 로직 경로로부터 제거한다면, 셀 입력으로의 스캔 테스트 데이터 입력 및 셀 출력으로부터의 판독은 더 이상 선택해제된 트랜지스터에 의해서 영향을 받지 않을 것이다. 이들 선택해제된 트랜지스터들 중 하나가 결함을 가진다면, 이는 스캔 테스트에 의해서 관찰되지 않을 것이다. 그러나, 선택해제된 트랜지스터는 대개 로직 셀의 전력 공급 레일들 사이에 커플링된 게이트를 형성한다. 고장 모드(a failure mode)는 선택해제된 트랜지스터들에 대하여 이웃하는 게이트들의 조기 고장(premature failure of neighboring gates) 및 집적 회로의 기능 장애(malfunctioning of the integrated circuit)를 야기할 수 있는 열점(hot spots)을 야기하는, 전력 공급 레일들 사이에 원하지 않는 전류 경로를 형성하는 것이다. 이는 통상적으로 트랜지스터가 도전 상태에 고정되는 " 스턱 온(stuck on)" 결함으로 발생한다.

따라서, IC에 비선택된 게이트들로부터 선택된 게이트들로의 손상에 대한 가능성이 실질적으로 감소되는 금속 프로그램가능 로직을 제공하는 것이 바람직할 것이다.

통상적으로, 금속 프로그램가능 로직 셀은 두 개사이의 로직 구성사이에 스위칭될 수 있다. 결과적으로, 스캔 테스트 회로내에 선택해제된 게이트들을 테스트하는 여분의 회로(extra circuitry)를 제공하는 것이 가능할 것이다. 그러나, 이것은 복잡도를 증가시키고, 추가적인 다이 영역(die area)을 소비하며, 통상적으로 집적 회로의 비용을 증가시키므로 바람직하지 않다.

따라서, 실제로 테스트에서 선택해제된 게이트에 추가적인 회로를 제공하지 않고서도 선택해제된 트랜지스터를 가지는 금속 프로그램가능 로직 셀을 가지는 집적 회로의 무결성의 신뢰도를 증가시키는 것이 바람직할 것이다.

전반적으로, 본 발명은 셀의 로직 경로내의 포함을 위하여 트랜지스터를 선택 및 선택해제하는 도전체 라우팅 경로의 선택에 의해서 제 1 로직 구성 및 제 2 로직 구성중 하나를 가지도록 제조중에 로직 셀이 선택될 수 있는 금속 프로그램가능 로직 셀(a metal-programmable logic cell)을 가지는 집적 회로의 신뢰도를 개선하는 방법에 관한 것이다. 적어도 하나의 트랜지스터가 기능적으로 셀의 로직 경로로부터 디커플링되도록 도전체 라우팅을 위치시킴으로써 적어도 하나의 트랜지스터는 셀의 로직 경로로부터 선택해제된다. 선택해제된 트랜지스터는 또한 어떠한 도전성 경로도 선택해제된 트랜지스터를 통하여 셀 전력 공급 레일 사이를 연장하지 않도록 연장셀의 전력 공급 레일로부터도 디커플링

된다.

하나의 로직 구성으로부터 다른 로직 구성으로 변경되는 경우에, 공지된 방법에서처럼 하나이상의 트랜지스터를 선택해제하기 위하여 단순히 도전체 라우팅을 변경하는 대신에, 본 발명은 더 진전하여 추가적으로 도전체 라우팅을 변경하여 선택해제된 트랜지스터의 주 전류 채널의 경로 내에 개방 회로를 제공한다. 이러한 방식으로, 제어 단자가 로직 경로내의 다른 선택된 트랜지스터로부터 디커플링됨에도 불구하고 선택된 트랜지스터가 도전성으로 남게되는 " 스턱 온(stuck on)" 결함을 가지게 된다면, 셀 전력 공급 레일 사이의 선택해제된 트랜지스터를 통하는 도전성 경로는 존재하지 않을 것이다. 이러한 방식으로, 수반되는 집적 회로에의 열점 및 신뢰도 문제가 회피된다.

위 방법은 전형적인 스캔 테스트 회로를 가지는 완성된 집적 회로내에서 선택해제된 트랜지스터는 스캔 테스트할 수 없다는 사실을 바꾸지 않는다. 오히려, 위 방법은 " 스턱 온(stuck on)" 결함 조건에 의해서 가해진 신뢰도 문제의 주된 소스를 제거한다. 이리하여, 상기 방법은 선택해제된 트랜지스터를 가지는 집적 회로에 개선된 신뢰도를 제공한다. 이것은 " 스턱 온(stuck on)" 결함을 테스트하기 위하여 추가적인, 영역을 차지하는 소자를 스캔 테스트 회로내에 제공할 필요성을 완화시키는데, 이는 선택해제된 트랜지스터가 이러한 결함을 가지더라도, 종래의 회로에서 이러한 결함에 의해서 가해진 신뢰도 문제점이 본 발명에 따른 방법에 의해서 제거되기 때문이다.

또한, 본 발명은 금속 프로그램가능 로직 셀내의 선택해제된 트랜지스터가 개방 회로를 가지는 도전체 라우팅을 가져서 공급 레일사이의 선택해제된 트랜지스터를 통하여 연장하는 전류 경로가 존재하지 않는 상기 기술된 방법에 따라서 제조된 집적 회로에 관한 것이다.

본 발명의 다른 측면에 따르면, 집적 회로는 공급 레일로부터 전기적으로 디커플링된 선택해제된 트랜지스터를 가지는 금속 프로그램가능 로직 셀을 포함하는 ID 모듈을 가진다.

본 발명의 이들 및 다른 목적, 특징 및 장점은 이어지는 상세한 설명 및 도면으로부터 명백해 질 것인데, 이들은 한정적이지 않고 예시적이다.

도면의 간단한 설명

도 1은 많은 회로 모듈(circuit modules) 및 해당하는 ID 모듈(ID modules)을 가지는 집적 회로를 도시하는 도면,

도 2는 본 발명에 따른 예시적인 식별 모듈(identification module)의 셀들을 도시하는 도면,

도 3a, 3b는 직렬로 연결된 두 개의 인버터(inverter)를 가지는 레지스터(register)의 회로도,

도 4a, 4b는 도 3a, 3b의 레지스터에 해당하는 셀 레이아웃(cell layouts)을 도시하는 도면,

도 5a는 본 발명의 한 측면에 따라 비선택 게이트(a non-selected gate)를 가지는 레지스터의 회로도,

도 5b는 본 발명의 다른 실시예에 따라 비선택 게이트를 가지는 레지스터의 회로도,

도 6a 내지 6b는 도 5a, 5b에 해당하는 셀 레이아웃,

도 7a, 7b는 본 발명에 따른 AND 게이트 및 NAND 게이트의 회로도,

도 8a, 8b는 도 7a, 7b의 회로에 해당하는 셀 레이아웃,

도 9는 셀의 셀 입력 및 셀 출력에 커플링된 스캔 테스트 회로(a scan test circuit)를 가지는 IC를 도시하는 도면.

발명의 상세한 설명

도 1은 다수의 회로 모듈(a plurality of circuit modules)(101,103,105)을 가지는 IC(100)를 도시한다. 각각의 회로 모듈은 해당하는 모듈 ID 회로(a corresponding module ID circuit)(101)를 가진다. 회로(107)는 로직 신호를 각각의 모듈 ID 회로에 제공한다. 모듈 ID 회로는 IC의 출력 핀에 커플링되어 각각의 모듈 IC 회로의 출력이 외부 디바이스에 의해서 판독될 수 있다.

도 2는 다수의 셀(200_1 내지 200_n)을 가지는 예시적인 ID 회로(101A)의 회로도이다. 각각의 셀은 입력(205_1 내지 205n), 제 1 회로 소자(201_1 내지 201_n), 제 2 회로 소자(203_1 내지 203_n) 및 출력(207_1 내지 207_n)을 포함한다. 각각의 회로 소자는 인버터(inverter) 형태의 로직 게이트이다. 셀은 병렬인 상태로 배열되어 입력(205)에서의 모든 셀에 인가된 공통 로직 신호에 응답하여 출력(207)에 식별 코드(identification code)를 제공한다. 예를 들면, n = 5이며 로직 " 0" 이 각각의 입력(205)에 인가된다면, 각각의 셀이 버퍼로서 구성되도록 도시되었으므로 ID 코드 출력은 (0 0 0 0 0)일 것이다. 코드를 변화시키기 위하여, 하나이상의 셀이 인버터중 하나를 바이패스(bypass)하도록 구성되어야 한다. 도 2는 점선으로 표시된 브리징 도전체(bridging conductor)(209_1)에 의해서 나타난 바와 같은, 선택적으로 제 1 인버터(201_1)를 바이패스하도록 구성된 셀(201_1)을 도시한다. 이와 달리, 셀 (200_5)에 대하여 점선으로 표시된 도전체(209_5)로 나타난 것처럼, 브리징 도전체는 제 2 인버터를 바이패스할 수 있다. 제 1 및 제 5 셀이 이처럼 변형되고 입력은 동일한 상태를 유지한다면, 출력은 (1 0 0 0 1)이 될 것이다. 통상적으로, 32 비트 ID를 형성하기 위한 32처럼, 보다 많은 셀들이 각각의 ID 모듈내에 포함될 수 있다.

도 1은 각각의 회로 모듈에 대한 각각의 ID 모듈을 가지는 각각의 회로 모듈을 도시하는데, 이것은 시스템 온 칩 구현예이다. 다른 응용을 위한 IC는 단지 몇몇의 ID 모듈을 가지는 회로 모듈만을 가지거나, IC에 대하여 단지 하나의 ID 모듈만을 가질 수 있다.

본 기술 분야에서 잘 알려진 바와 같이, 통상적으로 개별적인 회로 소자는 집적 회로의 기판의 상부 상에 형성된다. 신호 라우팅(signal routing)뿐만 아니라 전위 소스(a source of potential)를 제공하기 위한 개별적인 트랜지스터, 저항, 캐패시터로의 접속은 다수의 층 내에 배열된 도전체 트랙(conductor tracks)에 의해서 이루어진다. 도전체 트랙은 전형적으로 알루미늄 또는 구리의 합금과 같은 금속이다. 도전체 층(conductor layers)은 많은 예 중 하나로서 실리콘 이산화물(silicon dioxide)과 같은 전기적인 절연층에 의해서 격리된다.

도 3a는 제 1 인버터 및 제 2 인버터를 가지는 예시적인 셀(200_1)의 회로도이다. 이들 인버터는 제 1 및 제 2 공급 레일(supply rails) Vdd 및 Vss 사이에 결합된 자신들의 주 전류 채널(main current channels)을 가지는 반대의 도전성 타입의 제 1 및 제 2 CMOS 트랜지스터를 포함한다. 인버터 INV1은 소스 S1이 제 1 레일 Vss에 커플링되고, 드레인 D1이 자신의 소스 S2가 제 2 공급 레일 Vss에 커플링된 NMOS 트랜지스터 T2의 드레인 D2에 커플링된 PMOS 트랜지스터 T1을 가진다. 셀의 입력 IN은 제 1 인버터의 입력 IN1과 제 1 및 제 2 트랜지스터 T1 및 T2의 게이트 G1 및 G2에 커플링된다. 제 1 인버터의 출력 OUT1은 제 2 인버터의 입력 IN2에 커플링된다. 제 2 인버터는 제 1 인버터에서와 동일한 방식으로 공급 레일들 사이에 커플링된 제 3 및 제 4 트랜지스터를 포함한다. 셀 입력 IN이 로직 하이(logic high) 상태인 경우에는, 제 1 인버터의 출력 OUT1은 로직 로우(logic low)상태이며, 트랜지스터 T1은 오프(off) 상태이며(비도전성) 트랜지스터 T2는 온(on)상태(도전성)가 된다. 이리하여, 출력 OUT1은 Vss에 커플링되어 로직 로우 상태가 된다. 입력 IN2가 로직 로우 상태인 경우에, 트랜지스터 T4는 오프 상태이며 트랜지스터 T3는 도전성이며, 출력 OUT2를 제 1 레일 Vdd에 커플링한다. 이리하여, 제 2 인버터의 출력 OUT2 및 셀의 출력 OUT은 로직 하이 상태이다. 모듈 ID 회로를 위한 셀로서 이용되는 경우에, 셀 입력은 전형적으로 모든 세일(sale)에 대하여 동일할 것이며, 셀의 출력은 각각의 도전체 트랙이 셀에 어떻게 커플링될지를 재배열함으로써 변경된다. 셀 출력을 변경시키기 위하여, 출력 도전체는 제 1 인버터의 출력 OUT1에 커플링될 것이며, 출력 OUT1은 또한 제 2 인버터의 입력 IN2로부터 분리된다. 이러한 구성은 도 3b에 도시되어 있다. 이리하여, 출력 OUT1 또는 OUT2중 하나로의 출력 도전체의 선택적인 도전체 라우팅에 의해서, 셀의 로직 기능은 제조하는 동안에 효과적으로 프로그램된다.

도 4a는 도 3a의 셀에 대한 CMOS 레이아웃을 도시한다. 각각의 드레인 및 소스 영역은 각각의 트랜지스터에 대하여 레이블링(labeling)되는데, 레이블(label)은 도 3a의 각 부분에 해당한다. 그러나, 별도의 게이트를 가지는 각각의 트랜지스터 대신에, 제 1 및 제 2 트랜지스터는 공통의 게이트 CG1을 가지며, 제 3 및 제 4 트랜지스터는 공통의 게이트 CG2를 가진다. 공급 레일 Vdd 및 Vss는 도전체(301,303)에 의해서 트랜지스터 위의 제 1 금속층 내에 형성되며, 통상적인 방식으로 소스와 레일사이에 연장하는 비아 " V" 에 의해서 이들 각각의 소스에 커플링된다. 셀 입력 IN은 공통 게이트 CG1에 접속된 게이트 컨택트 GC1에 커플링된 도전체(305)에 의해서 형성된다. 도전체(307)는 드레인 D1, D2를 함께 접속시키며, 도전체(308)는 도전체(307)를 공통 게이트 CG2에 접속된 게이트 접촉 GC2에 접속시킨다. 도전체(309')는 제 3 및 제 4 트랜지스터의 드레인을 서로 커플링하며, 셀의 출력 OUT을 형성한다. 도 4b는 제 1 인버터의 출력 OUT1을 게이트 컨택트 GC2에 의해서 형성된 제 2 인버터의 입력 INV2에 접속시키는 도전체(308)가 존재하지 않는다는 점을 선택해제하고는 도 4a와 동일하다.

셀이 버퍼로 기능한다면, 셀의 출력 OUT2는 출력 도전체를 도전체(309')에 접촉시킴으로써 이용될 것이다. 거꾸로, 셀이 인버터로 기능한다면, 출력 도전체는제 1 인버터의 출력 OUT1을 형성하는 도전체(307)에 접속될 것이다. 예를 들면, 컨택트는 출력 도전체로부터 비아로 원하는 도전체(307,308,309')에 접속된 상위 금속층 내에(in a higher metal layer) 만들어질 것이다.

출력 OUT2가 이용되지 않는 경우에 트랜지스터 T3 및 T4의 제 2 세트의 기능을 스캔 테스트할 수 없다는 점에서 문제가 발생한다. 로직 경로는 입력 IN1으로부터 출력 OUT1으로 연장한다. 트랜지스터 T3, T4는 여전히 드레인 D3, D4가 서로 커플링되도록 하여 도전성 경로는 공급 레일 Vss와 Vdd사이에 연장한다. 이들 디바이스 중 어느 하나에 결함이 존재하는 경우에는, 이들은 더 이상 스캔 체인(scan chain)의 일부가 아니므로 이러한 결함은 검출될 수 없다. 결함은 전형적으로 신뢰도에 있어서 회로에 영향을 미친다. 예를 들면, 트랜지스터 T3에 전류가 누설된다면, 이는 열점(hot spot)을 야기할 수 있는데 시간이 흐름에 따라 로직 회로의 일부인 주변의 트랜지스터가 고장을 일으키게 할 수 있다.

도 5a는 동일한 로직 기능을 제공하면서 상기 언급된 고장 시나리오를 회피하는 본 발명의 제 1 실시예에 따른 회로도를 도시한다. 알려진 구조에서 변경된 것은 셀 입력 IN이 입력 IN2에 접속된다는 점인데, 이는 셀 입력을 제 2 인버터 INV2의 입력에 직접적으로 커플링한다. 추가적으로, 트랜지스터 T1, T2의 드레인 D1, D2는 접속되지 않으며, 두 개의 공급 레일 사이에 경로를 형성하지 않는다. 이리하여, 트랜지스터 T1, T2 중 하나에서의 " 스턱 온(stuck on)" 결함은 두 개의 공급 레일사이에 전류가 흐르도록 하지 않을 것이다. 이리하여, 이들 디바이스 T1, T2의 신뢰도는 중요한 문제가 아니며, 테스트의 필요성이 경감된다. 해당하는 레이아웃이 도 6a에 도시되어 있는데, 도전체(311)는 게이트 컨택트 GC1을 게이트 컨택트 GC2에 접속시키며, 트랜지스터 T1, T2의 드레인을 접속시키는 도전체는 존재하지 않는다.

도 5b는 다른 실시예를 도시하는데, 여기서 인버팅 출력(inverting output)이 출력 OUT1에서 접속된다. 그러나, 제 3 및 제 4 도전체의 드레인 D3, D4는 분리되어 레일 사이에 도전성 경로가 가능하지 않게 된다. 도 5a에서처럼, 셀은 인버터로서 기능하지만, " 스턱 온(stuck on)" 고장에 기인한 손상의 위험은 회피된다. 도 6b는 도 5b의 해당하는 레이아웃을 도시한다.

도 7a, 7b는 본 발명에 따른 다른 타입의 금속 프로그램가능 로직 셀을 도시하는데, 이러한 경우에, 도 7a의 AND 게이트(300)는 적절한 금속의 선택에 의해서 NAND 게이트(350)로 변환될 수 있다. AND 게이트(300)는 PMOS 트랜지스터 T15 및 NMOS 트랜지스터 T16에 의해서 형성된 인버터를 포함하는데, 이들의 드레인은 도전체(401)에 의해서 함께 커플링되며, 게이트는 도전체(403)에 의해서 함께 커플링된다. AND 게이트(300)는 드레인이 (ⅰ) 도전체(403)에서 트랜지스터 T15, T16의 게이트에 및 (ⅱ) 소스가 트랜지스터 T14의 소스에 커플링되는 트랜지스터 T13의 드레

인에 공통적으로 접속된 PMOS 트랜지스터 T11, T12를 더 포함한다. AND 게이트(300)의 제 1 입력 IN1은 트랜지스터 T12, T13의 게이트에 커플링되며, 제 2 입력 IN2는 트랜지스터 T11 및 T14의 게이트에 커플링된다.

AND 게이트 및 NAND 게이트의 동작은 잘 알려져 있으며, 따라서 상세히 설명되지 않을 것이다. 본질적으로, 트랜지스터 T15, T16에 의해서 형성된 인버터를 바이패스하기 위하여 셀의 출력을 커플링함으로써 AND 게이트(300)는 NAND 게이트(350)로 변환된다. 도 7b에 도시된 바와 같이, 셀의 출력은 라인(403)에서, 효과적으로 노드(405)에서 인버터의 입력에 커플링된다. 종래 기술에서는, AND 게이트의 라인(401)은도 7b의 점선(401')에 의해서 도시된 바와 같이 제거될 것이다. 그러나, 라인(401')이 여전히 선택되지 않은 인버터 드레인 트랜지스터(non-selected inverter drain transistor) T15, T16의 드레인을 접속시킨다면, 공급 레일 Vdd와 Vss사이에 경로가 여전히 존재할 것이다. "스턱 온(struc on)" 조건이 존재한다면, 이것은 상기 셀의 인버터(201)에 대하여 논의되었던 바와 동일한 신뢰도 문제를 가질 것이다. 따라서, 본 발명에 따른 셀에서는, 라인(401)을 대신하여 라인(403)에서 출력을 접속하기 위하여 금속을 변경하는 경우에는 라인(401)또한 제거된다. 이러한 방식으로, " 스턱 온(stuck on)" 조건으로부터의 잠재적인 문제점이 회피된다.

도 8a 및 8b는 도 7a,b의 AND 및 NAND 게이트에 해당하는 셀 레이아웃을 도시한다. 도 7a, 7b의 도전체 및 트랜지스터에 해당하는 레이아웃 부분은 동일한 참조 부호를 가진다. 간단히 하기 위하여, 본 발명과 관련된 레이아웃 부분만이 기술될 것이다. 도 8a에서, 도전체(401) 및 비아(401a,401b)는 인버터 트랜지스터 T15, T16의 드레인 D15, D16을 접속하는 것으로 도시된다. AND 게이트(300)의 출력은 도전체(401)에 의해서 형성된다. AND 게이트를 NAND 게이트로 변환하기 위하여, IC의 금속층 내의 관련 셀을 규정하는 부분 내에서 마스크가 변경되는데, 본 경우에서는 AND 게이트(300)가 변경된다. 본 경우에, 비아 및 금속층을 규정하는 관련 마스크는 도전체(401)가 제거되도록 변경된다. 비아 401a, 401b가 더 이상 이용되지 않으므로, 이들이 제거될 수 있으나, 이는 단순히 불필요한 마스크의 변경을 수반함 또한 명백하다. 추가적으로, 마스크는 도전체(409) 및 비아(409a)를 추가하도록 변경되어, 이제 셀의 출력이 도 7b의 노드(305)에 해당하는 공통적으로 접속된 드레인 D11, D12, D13에 커플링된다.

도 9는 예시적인 셀(300/350)의 셀 입력 및 셀 출력에 커플링된 스캔 테스트 회로(500)를 도시한다. 스캔 테스트 회로는 테스트 데이터를 비아 라인(501)을 통하여 셀 입력 IN에 공급하며, 라인(503)을 경유하여 셀 출력 OUT으로부터 셀의 출력 데이터를 판독한다. 셀이 AND 구성인 경우에, 모든 트랜지스터는 스캔 경로(scan path)내에 존재할 것이다. 이것은 셀 출력 OUT이 라인(401)에 접속되는 도 7a로부터 명백하다. 그러나, NAND 게이트로 구성되는 경우에는 트랜지스터 T15/T16는 스캔 경로내에 존재하지 않을 것이며, 이들 두 트랜지스터내의 " 스턱 온(stuck on)" 결함은 검출되지 않을 것이다. 이것은 도 7b로부터 명백한데, 이는 출력 OUT이 라인(403)내에 접속되기 때문이다. 그러나, T15/T16의 드레인에 기인하여, 스턱 온 조건이 존재하더라도 공급 레일사이에 전류 경로가 존재하지 않아서, 이로 인하여 야기된 열점 및 고장은 발생하지 않을 것이다.

상기 기술된 구조 및 방법은 모듈 IC 회로의 이용에 한정되지 않으며, 어떠한 금속 프로그램 가능 로직 회로에서도 이용할 수 있다.

본 기술 분야에서 라우팅 소프트웨어는 도전체 트랙을 다양한 도전체 층내에 레이아웃하는 데에 이용됨을 이해하여야 한다. 더욱이, 소프트웨어는 IC를 제고하는 데에 이용되는 마스크 세트를 위한 마스크들을 생성하는 데에 이용된다. 따라서, 로직 셀에 대한 도전체 라우팅에서의 변화는 처음에 소프트웨어 툴을 이용하여 선택될 것이며, 그런 다음 도전체 경로의 형성/배치를 제어하는 변형된 마스크 또는 마스크들 내에 반영될 것이다.

본 발명에 의해서 만들어진 기술은 중요하지 않으며, 표준 바이폴라, CMOS 또는 BiCMOS 프로세스 중 어떠한 것이라도 이용될 수 있다.

비록 본 발명의 바람직한 실시예가 도시되고 기술되었지만, 본 기술 분야의 당업자는 그 범주가 청구항에서 규정된 본 발명의 원리 및 사상을 벗어나지 않고서 이들 실시예에 변경이 이루어 질 수 있음을 이해할 것이다. 예를 들면, 상기 기술된 바로부터 선택해제된 트랜지스터를 위한 공급 레일 사이의 경로 내에 위치한 개방 회로가 통상적인 위치에 놓일 수 있음은 명백할 것이다.

본 발명의 많은 특징 및 장점은 상세한 설명으로부터 명백하며, 첨부된 청구항에 의해서 본 발명의 진정한 사상 및 범주 내에 놓이는 이러한 모든 특징 및 장점이 커버될 것이 의도된다. 본 기술 분야의 당업자에게는 많은 변경 및 변화가 용이하게 일어날 수 있으므로, 도시되고 기술된 정확한 구조 및 동작으로 제한하는 것은 바람직하지 않으며, 따라서 모든 적절한 변형 및 등가 사항은 본 발명의 범주 내에 속하는 것으로 구분될 것이다.

(57) 청구의 범위

청구항 1.

금속 프로그램가능 로직 셀(a metal-programmable logic cell)을 가지는 집적 회로의 신뢰도를 개선하는 방법에 있어서 - 상기 로직 셀은 상기 셀의 로직 경로(a logic path of the cell)내에 포함시키기 위하여 트랜지스터를 선택(select) 및 선택해제(deselect)하여 도전체 라우팅 경로(conductor routing paths)를 선택함으로써 제조동안에 제 1 로직 구성 및 제 2 로직 구성중 하나를 가지도록 선택될 수 있음-,

적어도 하나의 트랜지스터가 상기 셀의 로직 경로로부터 기능적으로 디커플링(decoupling)되도록 도전체 라우팅을 배치함으로써 상기 셀의 로직 경로로부터 적어도 하나의 트랜지스터를 선택해제하는 단계와,

상기 적어도 하나의 선택해제된 트랜지스터의 주 전류 경로(a main current path)를 상기 셀의 전력 공급 레일로부터 디커플링하여 상기 선택해제된 트랜지스터를 통하여 상게 셀 전력 공급 레일사이를 연장하는 도전성 경로가 존재하지 않도록 하는 단계

를 포함하는 집적 회로 신뢰도 개선 방법.

청구항 2.

제 1 항에 있어서,

상기 로직 셀의 제 1 구성은 버퍼(buffer)이며, 상기 로직 경로는 제 1 인버터(a first inverter)에 커플링된 셀 입력과, 입력이 상기 제 1 인버터의 출력에 커플링된 제 2 인버터와 상기 제 2 인버터의 출력에서의 셀 출력을 포함하고, 상기 제 2 구성에서 하나의 인버터는 (ⅰ) 상기 셀 입력은 상기 제 2 인버터의 입력에 커플링되며 상기 제 1 인버터에는 커플링되지 않으며, (ⅱ) 상기 셀 출력은 상기 제 1 인버터의 출력에 접속되며 상기 제 2 인버터의 출력에는 접속되지 않는 상기 로직 경로로부터 디커플링되는 집적 회로 신뢰도 개선 방법.

청구항 3.

제 2 항에 있어서,

상기 제 1 구성에서 각각의 인버터는 적어도 하나의 도전체에 의해서 커플링된 드레인들을 가지는 PMOS 트랜지스터 및 NMOS 트랜지스터를 포함하며, 상기 제 2 구성에서, 상기 디커플링된 인버터의 드레인들은 서로 디커플링되는 집적 회로 신뢰도 개선 방법.

청구항 4.

제 1 항에 있어서,

상기 제 1 구성에서 상기 로직 셀은 AND 게이트를 규정하며, 상기 제 2 구성에서 상기 로직 셀은 NAND 게이트를 규정하는 집적 회로 신뢰도 개선 방법.

청구항 5.

제 4 항에 있어서,

상기 로직 경로는 인버터 입력 및 인버터 출력을 가지는 인버터를 포함하고, 상기 제 1 구성에서 상기 셀 출력은 상기 인버터 출력에 커플링되며, 상기 제 2 구성에서 상기 셀 출력은 상기 인버터 입력에 커플링되는 집적 회로 신뢰도 개선 방법.

청구항 6.

제 5 항에 있어서,

상기 제 1 구성에서 상기 인버터는 드레인들이 적어도 하나의 도전체에 의해서 커플링된 PMOS 트랜지스터 및 NMOS 트랜지스터를 포함하고, 상기 제 2 구성에서 상기 인버터의 드레인은 서로 디커플링된 집적 회로 신뢰도 개선 방법.

청구항 7.

집적 회로에 있어서,

제 1 및 제 2 셀 공급 레일(Vdd,Vss)과,

셀 입력(IN) 및 셀 출력(OUT)과, 상기 셀 입력 및 상기 셀 출력 사이의 로직 경로 내에 포함된 적어도 하나의 선택된 트랜지스터(INV1)와, 상기 로직 경로로부터 전기적으로 디커플링된 적어도 하나의 선택해제된 트랜지스터(INV2)를 포함하는 - 상기 적어도 하나의 선택해제된 트랜지스터는 상기 공급 레일 중 하나로부터 전기적으로 디커플링된 주 전류 경류(a main current path)를 가지며, 회로 동작중에 도전성 상태에 고정되는(stuck) 경우에는 상기 선택해제된 트랜지스터는 상기 제 1 및 제 2 공급 레일 사이에 전류 경로를 제공하지 않음 - 금속 프로그램가능 로직 셀(도 5b)

을 포함하는 집적 회로.

청구항 8.

제 7 항에 있어서,

상기 셀 입력 및 상기 셀 출력에 커플링되는 스캔 테스트 회로(a scan test circuit)를 더 포함하는 집적 회로.

청구항 9.

제 7 항에 있어서,

상기 로직 셀은 상기 로직 경로로부터 디커플링된 선택해제된 인버터를 포함하고,

상기 인버터는 각기 각각의 공급 레일에 커플링된 소스를 가지며, 각기 서로로부터 디커플링되어 PMOS 트랜지스터와 NMOS 트랜지스터사이의 개방 회로를 규정하는 드레인을 가지는 상기 PMOS 트랜지스터 및 상기 NMOS 트랜지스터를 포함하는 집적 회로.

청구항 10.

제 7항에 있어서,

상기 셀은 상기 제 1 및 제 2 공급 레일사이에 배열된 주 전류 경로를 가지는 다수의 트랜지스터를 포함하고, 상기 다수으 트랜지스터는 상기 로직 경로내에 커플링되지 않은 선택해제된 트랜지스터이며, 상기 셀은 상기 제 1 및 제 2 공급 레일 사이의 상기 선택해제된 트랜지스터를 통하는 전류 경로가 존재하지 않는 도전체 라우팅을 가지도록 배열되는 집적 회로.

청구항 11.

집적 회로에 있어서,

제 1 및 제 2 셀 공급 레일과,

각기 다수의 트랜지스터의 동일한 공간 어레이(spatial array)를 포함하는 다수의 로직 셀을 포함하되,

상기 로직 셀의 각각의 트랜지스터는 각각의 다른 다수의 로직 셀 내에 해당하는 배열된 트랜지스터를 가지며, 각각의 로직 셀을 셀 입력 및 셀 출력을 포함하고, 상기 다수의 로직 셀은 제 1 로직 구성을 규정하는 셀 및 제 2 로직 구성을 규정하는 다른 셀들을 가지며, 상기 제 1 및 제 2 로직 구성은 (ⅰ) 제 1 구성의 셀내의 적어도 하나의 해당하는 트랜지스터가 상기 셀 입력과 상기 셀 출력사이의 로직 경로내에 전기적으로 커플링되며, 상기 제 2 구성의 셀내의 상기 적어도 하나의 해당하는 트랜지스터는 상기 셀 입력과 상기 셀 출력사이의 상기 로직 경로로부터 전기적으로 디커플링된다는 점 및 (ⅱ) 상기 제 1 구성의 셀내에서, 상기 적어도 하나의 해당하는 트랜지스터는 상기 집적 회로의 공급 레일들 사이에 커플링된 주 전류 경로를 포함하고, 상기 제 2 구성의 셀내에서 성기 적어도 하나의 해당하는 트랜지스터는 상기 제 1 및 제 2 공급 레일 중 적어도 하나로부터 디커플링된 주 전류 경로를 가진다는 점에 의해서 상이한 집적 회로.

청구항 12.

제 11 항에 있어서,

상기 제 1 구성의 셀들은 상기 셀 입력과 상기 셀 출력 사이의 상기 로직 경로내에 인버터를 규정하는 PMOS 및 NMOS 트랜지스터를 포함하고, 상기 PMOS 및 NMOS 트랜지스터는 서로간에, 그리고 상기 제 1 및 제 2 공급 레일에 전기적으로 커플링된 주 전류 경로(main current paths)를 가지며, 상기 제 2 구성의 셀 내에 해당하는 PMOS 및 NMOS 트랜지스터는 상기 셀 입력과 상기 셀 출력사이의 경로내에 전기적으로 커플링되지 않으며, 상기 NMOS 및 PMOS 트랜지스터의 주 전류 경로는 서로간에 전기적으로 디커플링되는 집적 회로.

청구항 13.

제 11 항에 있어서,

상기 제 1 구성의 셀들은 버퍼를 규정하며, 상기 제 2 구성의 셀들은 인버터를 규정하는 집적 회로.

청구항 14.

제 13 항에 있어서,

상기 집적 회로는 상기 제 1 및 제 2 구성의 로직 셀들을 포함하는 ID 모듈을 포함하는 집적 회로.

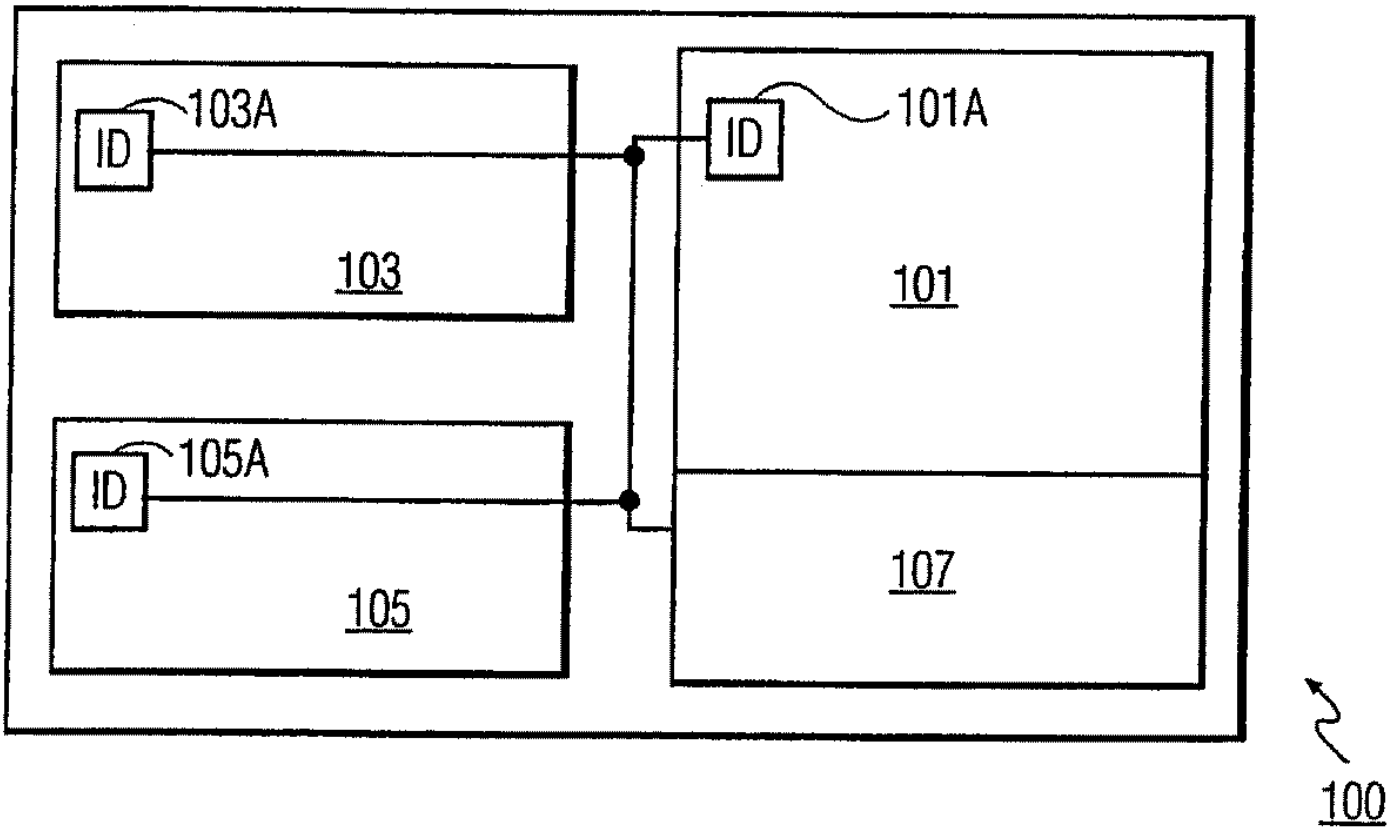
청구항 15.

제 11 항에 있어서,

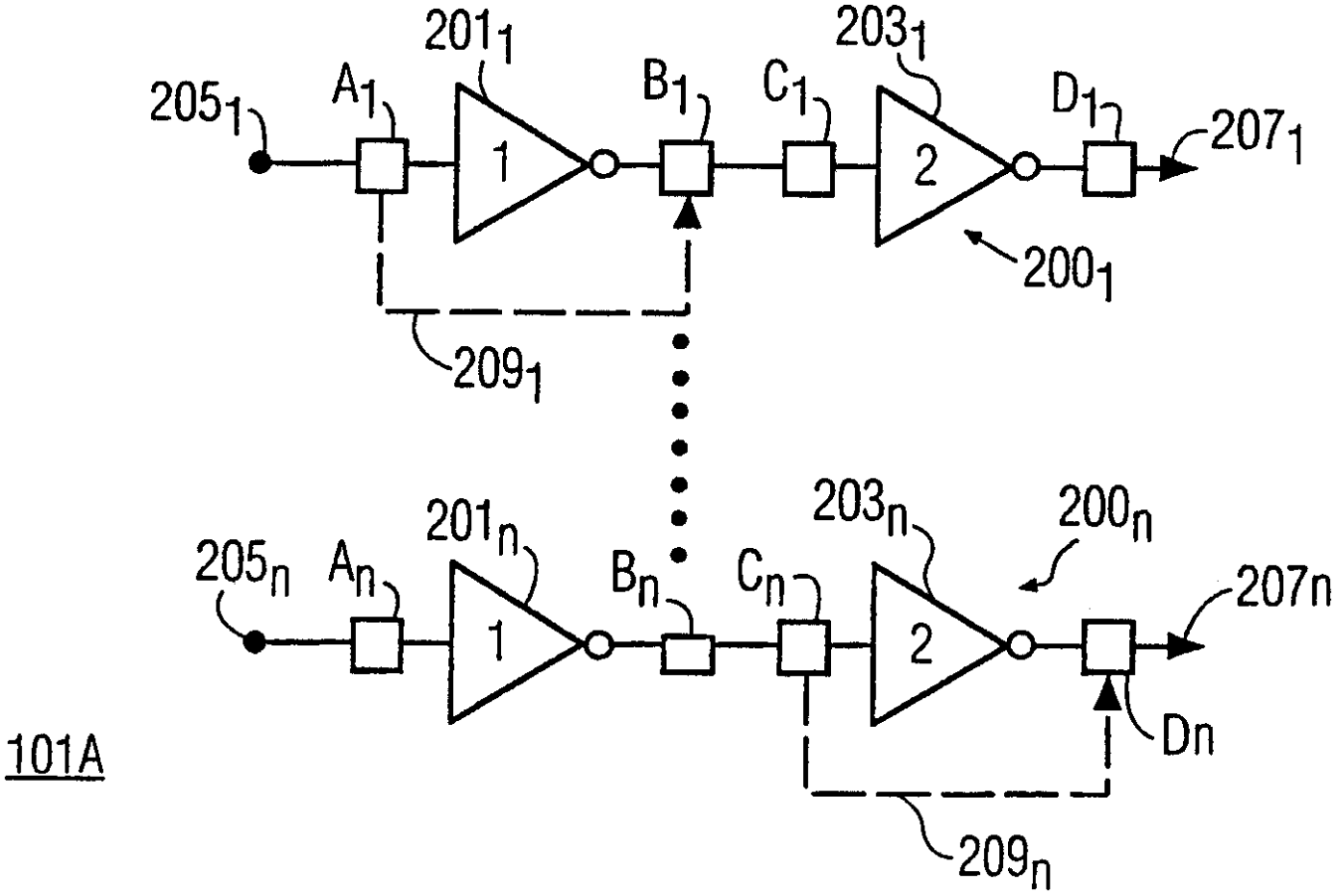
상기 제 1 구성의 셀은 AND 게이트를 규정하며, 상기 제 2 구성의 셀은 NAND 게이트를 규정하는 집적 회로.

도면

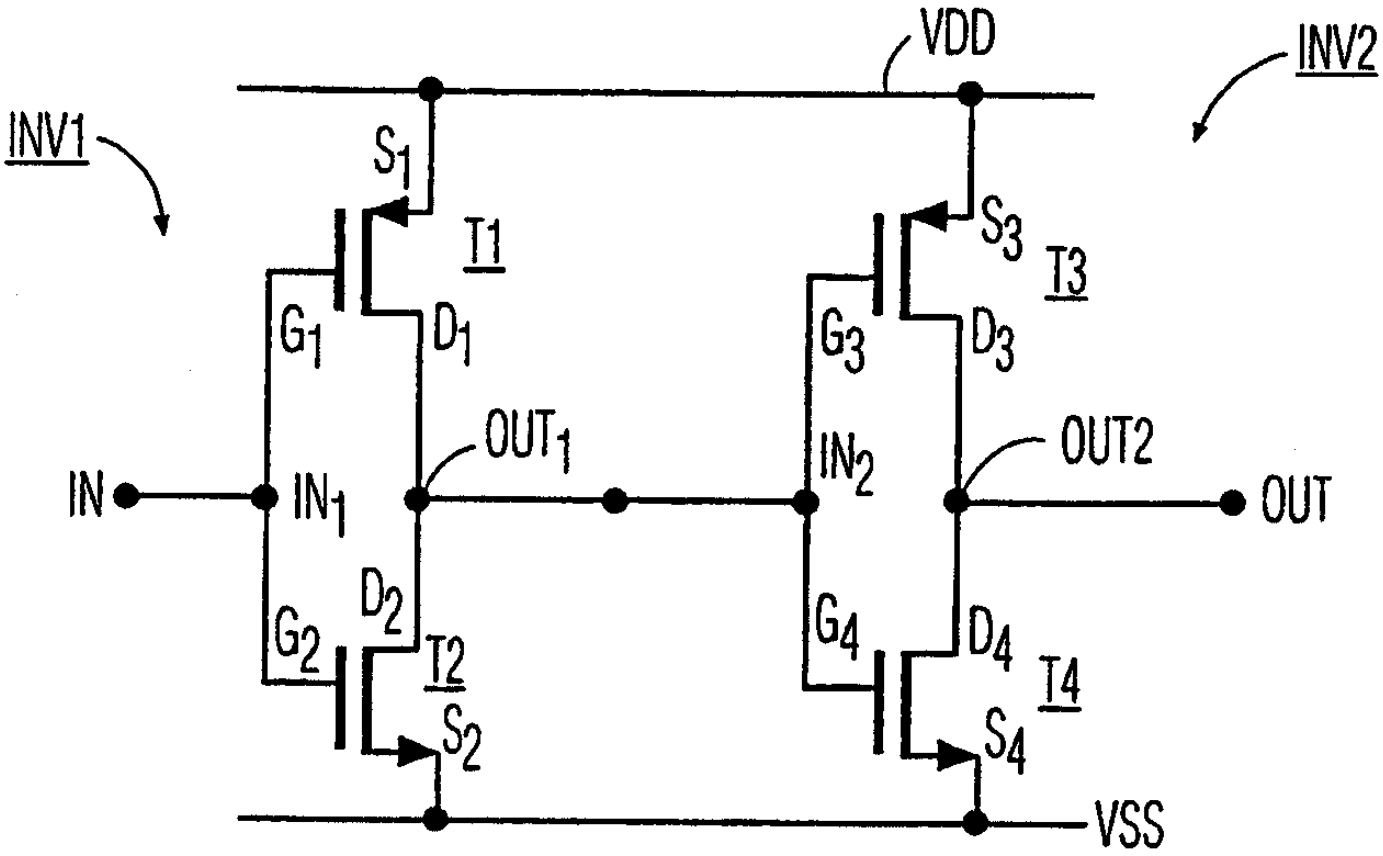
도면 1



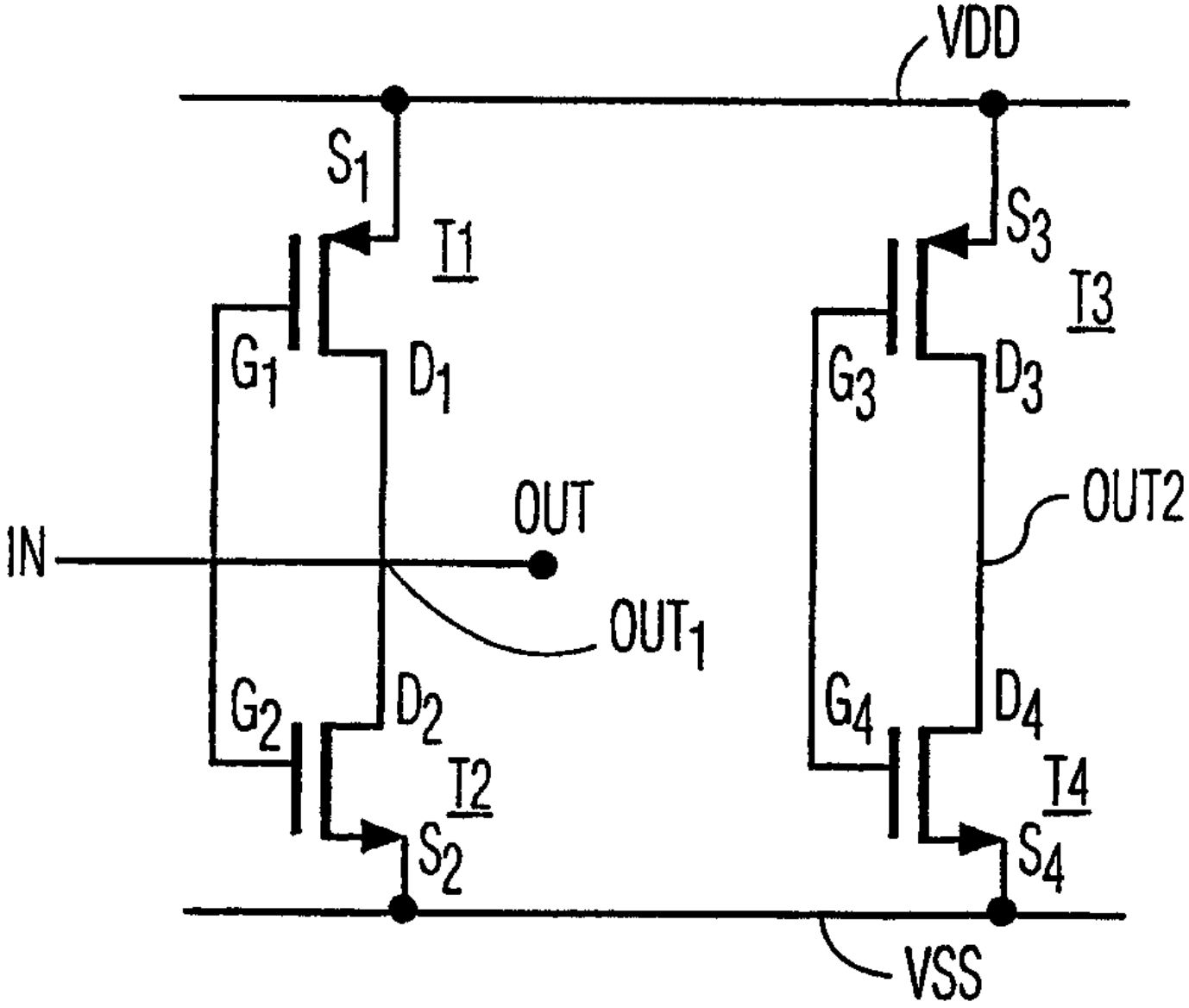
도면 2


205_1
A_1
201_1
1
B_1
C_1
203_1
2
D_1
207_1
200_1
209_1
205_n
A_n
201_n
1
B_n
C_n
203_n
200_n
2
207n
Dn
209_n
101A

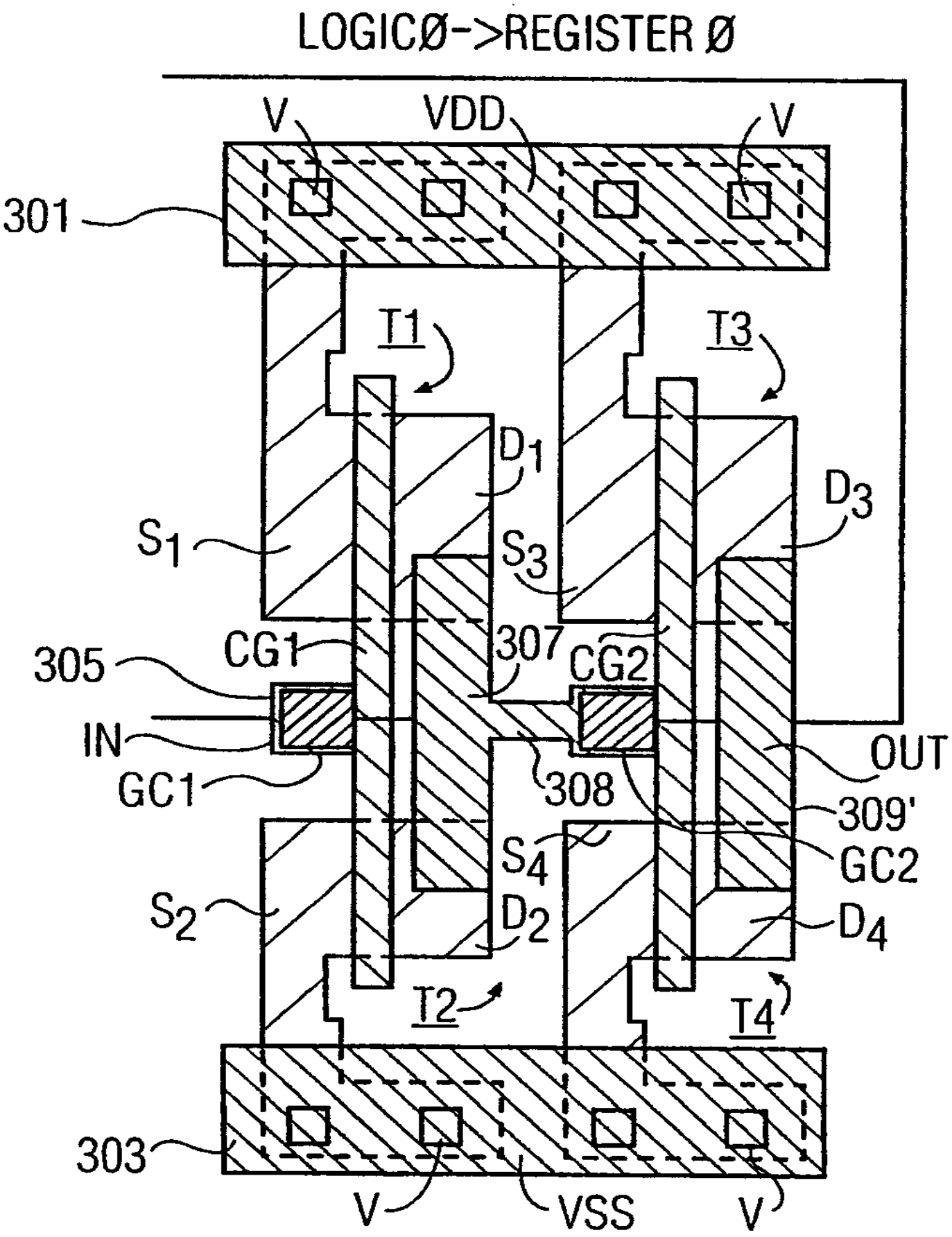
도면 3a


VDD
INV2
INV1
S1
T1
S3
T3
G1
D1
G3
D3
OUT1
IN2
OUT2
IN
IN1
OUT
D2
G2
T2
G4
D4
T4
S2
S4
VSS

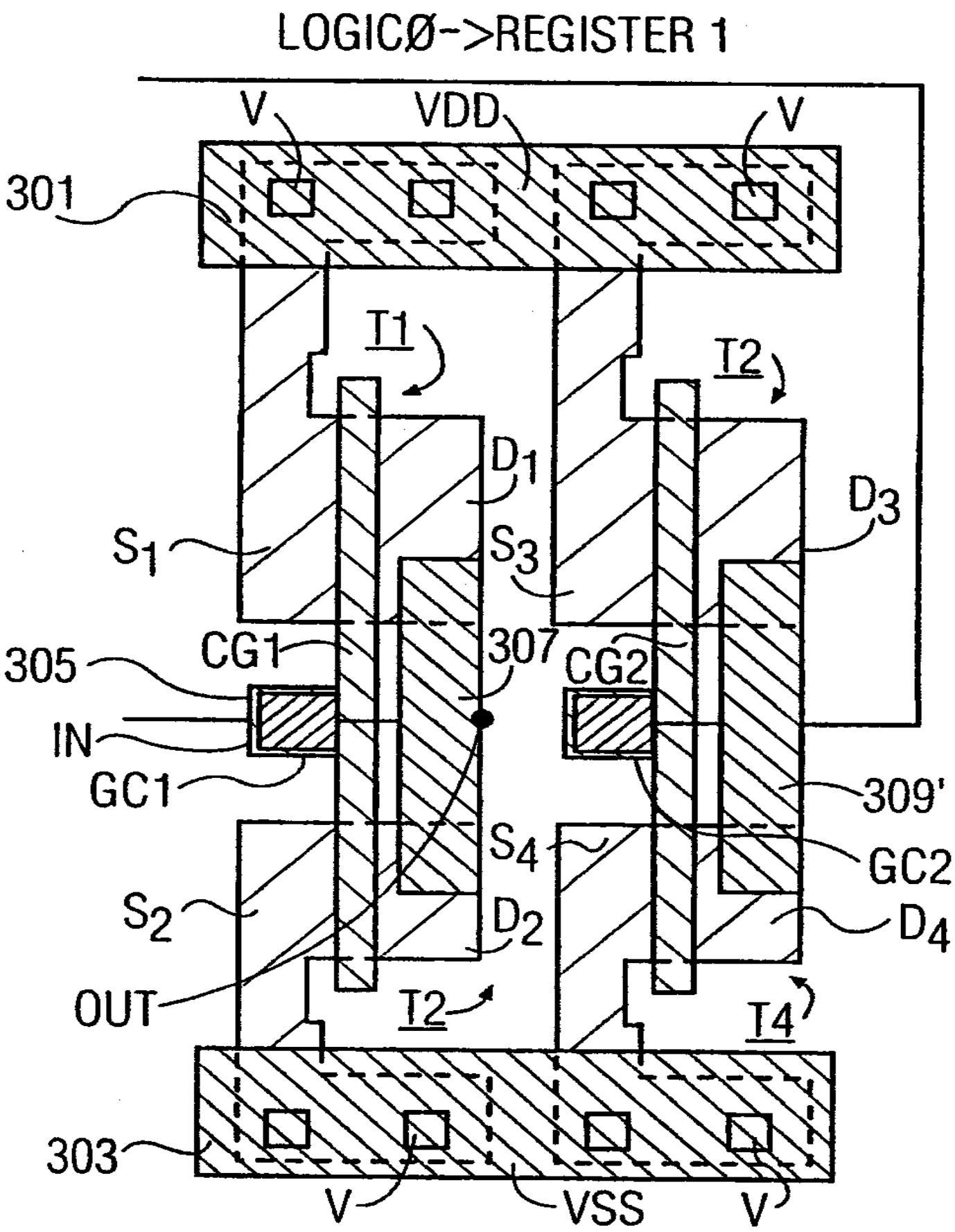
도면 3b


VDD
S1
T1
G1
D1
S3
T3
G3
D3
OUT
IN
OUT1
OUT2
G2
D2
T2
S2
G4
D4
T4
S4
VSS

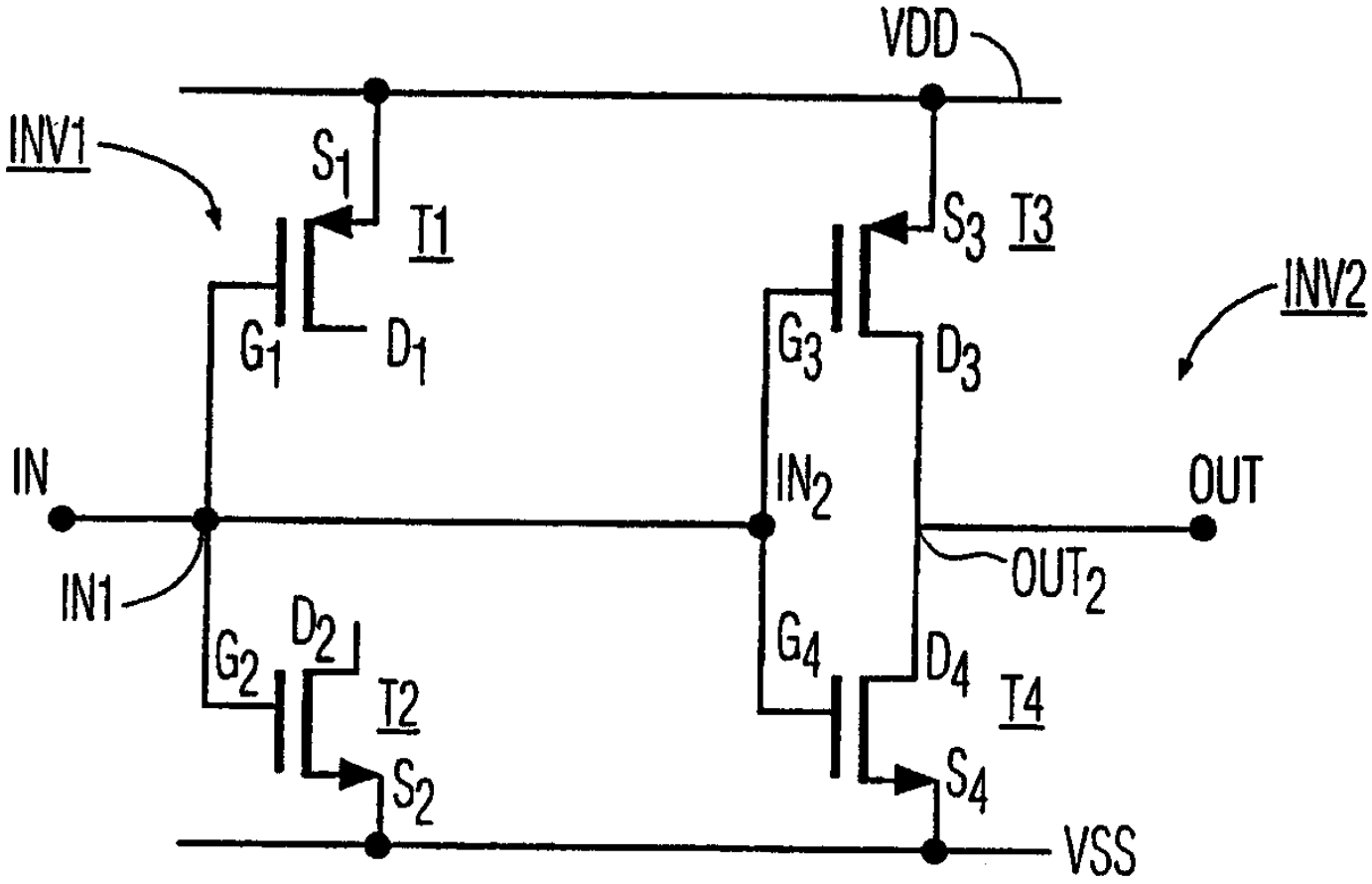
도면 4a


LOGICØ->REGISTER Ø
V
VDD
V
301
T1
T3
D1
D3
S1
S3
CG1
307
CG2
305
IN
GC1
308
OUT
309'
GC2
S4
S2
D2
D4
T2
T4
303
V
VSS
V

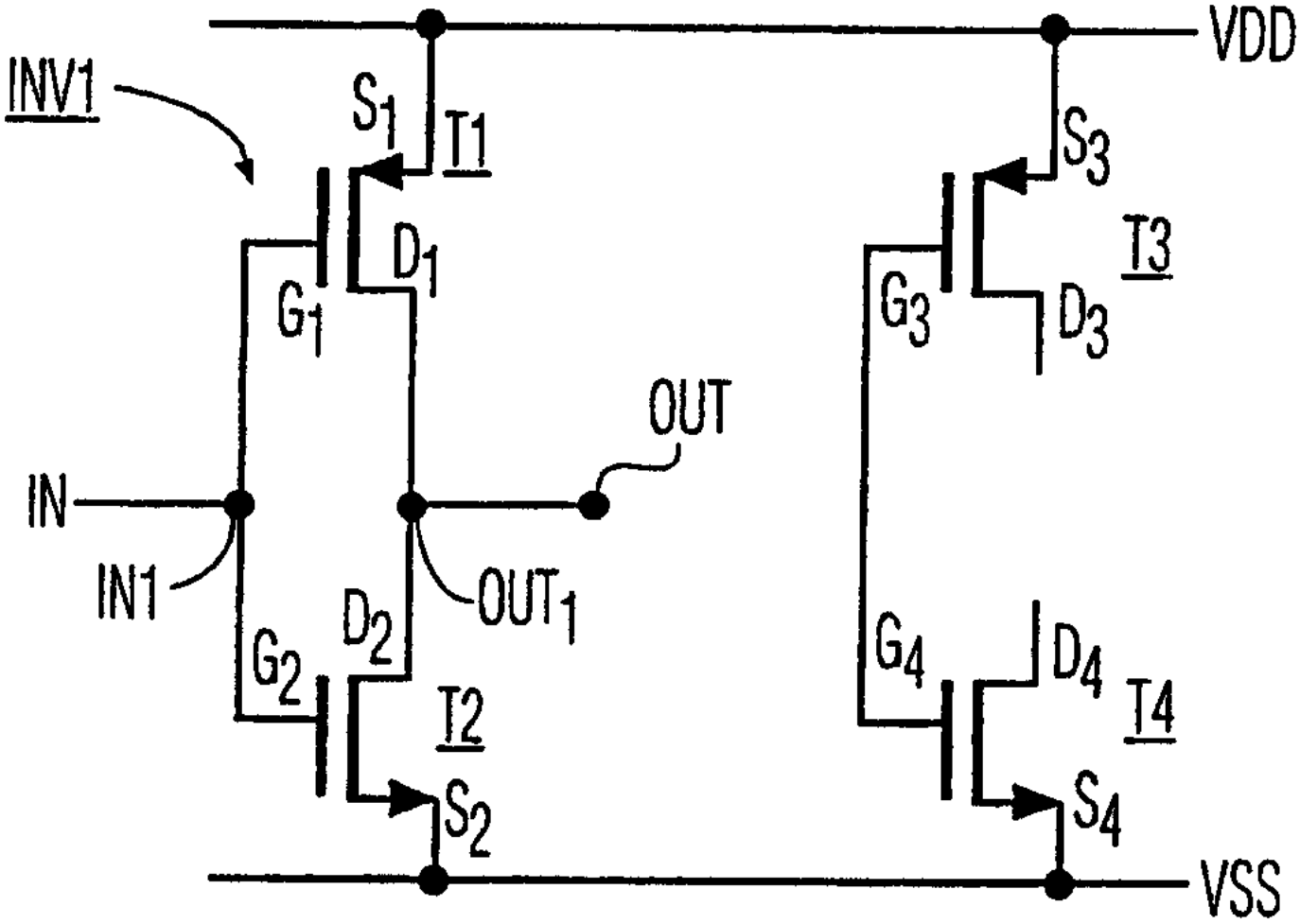
도면 4b


LOGICØ->REGISTER 1
V
VDD
V
301
T1
T2
D1
D3
S1
S3
CG1
307
CG2
305
IN
GC1
309'
S4
GC2
S2
D2
D4
OUT
T2
T4
303
V
VSS
V

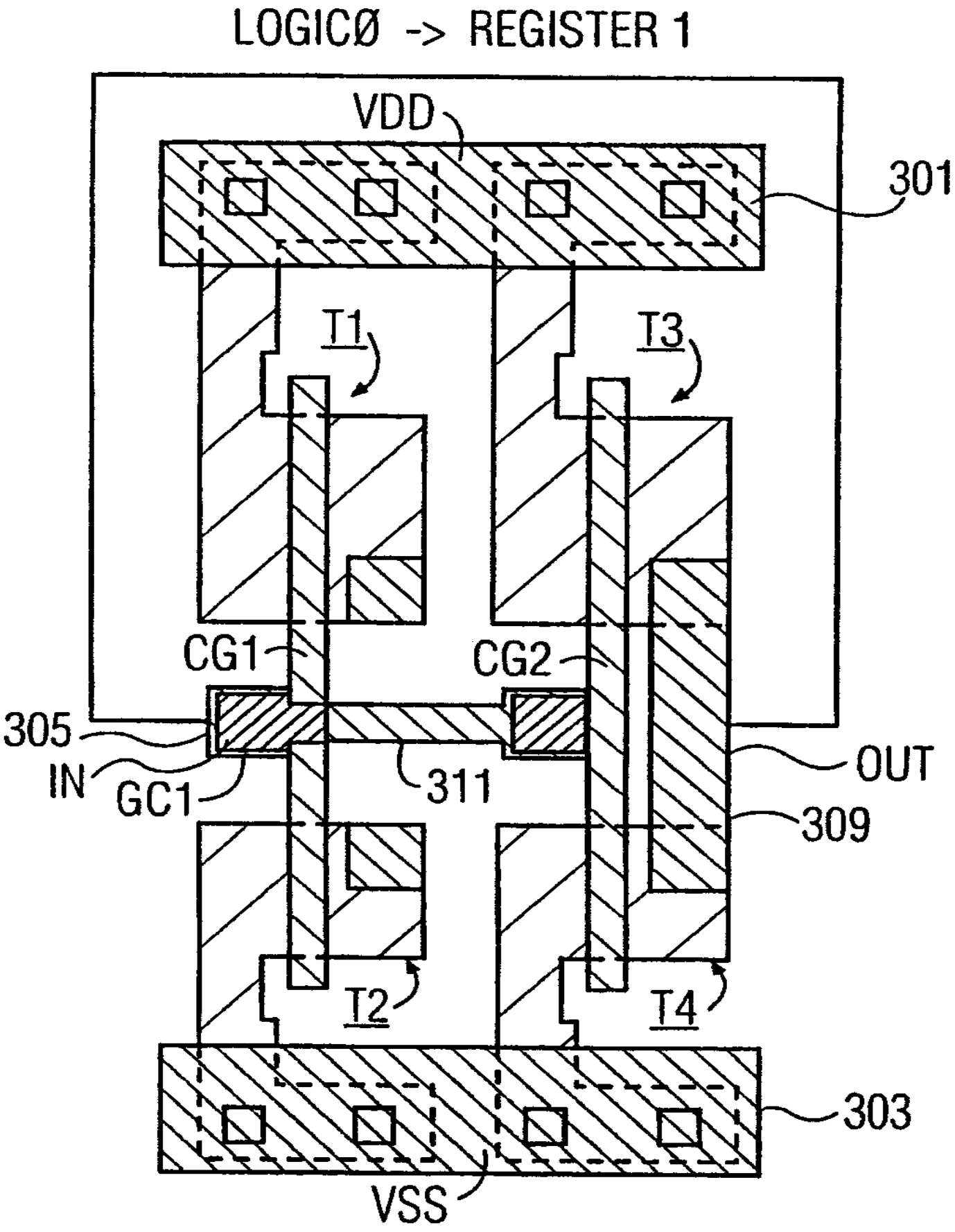
도면 5a


VDD
INV1
S1
T1
G1
D1
S3
T3
G3
D3
INV2
IN
IN2
OUT
OUT2
IN1
G2
D2
T2
S2
G4
D4
T4
S4
VSS

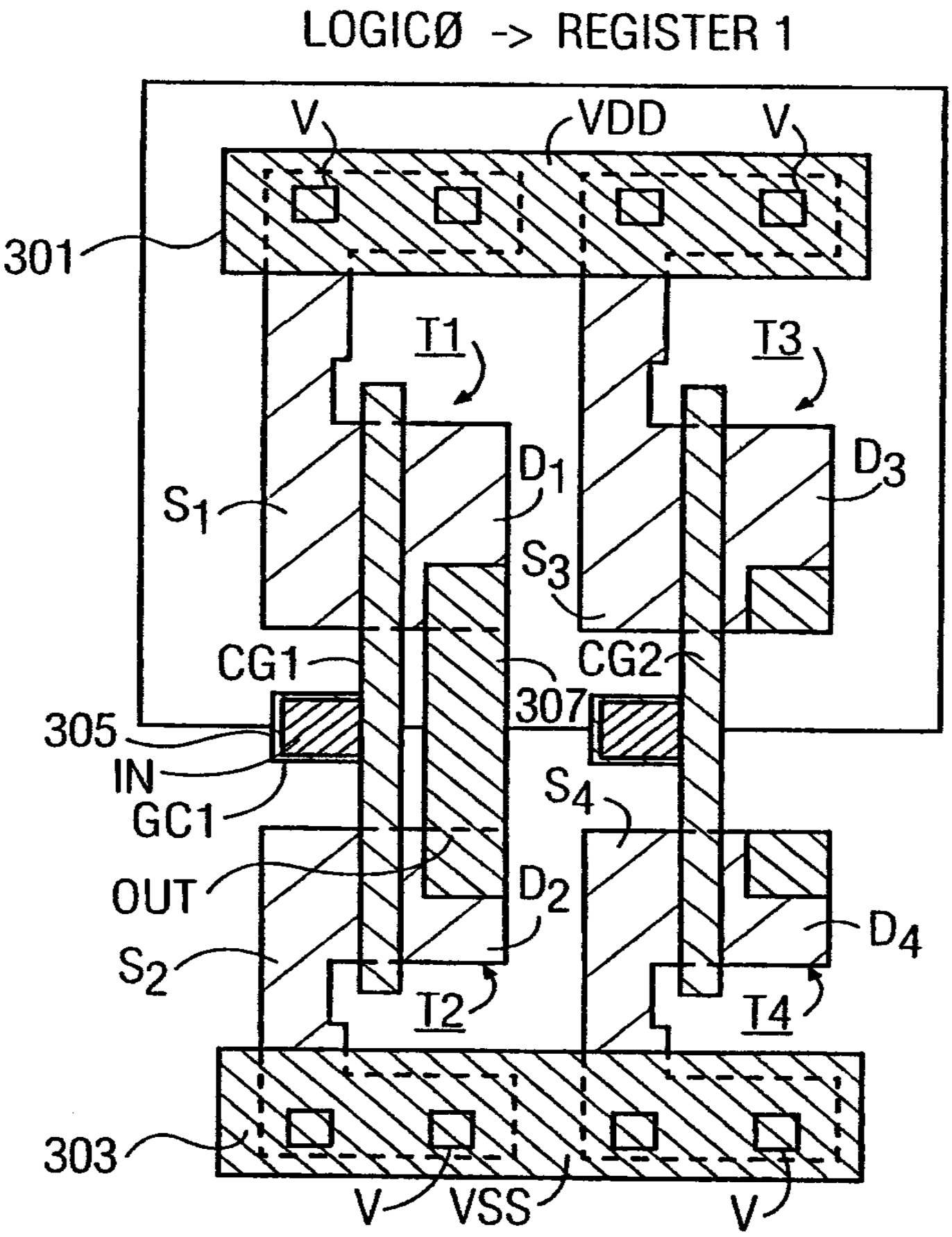
도면 5b


INV1
S1
T1
D1
G1
VDD
S3
T3
G3
D3
OUT
IN
IN1
OUT1
D2
G2
T2
S2
G4
D4
T4
S4
VSS

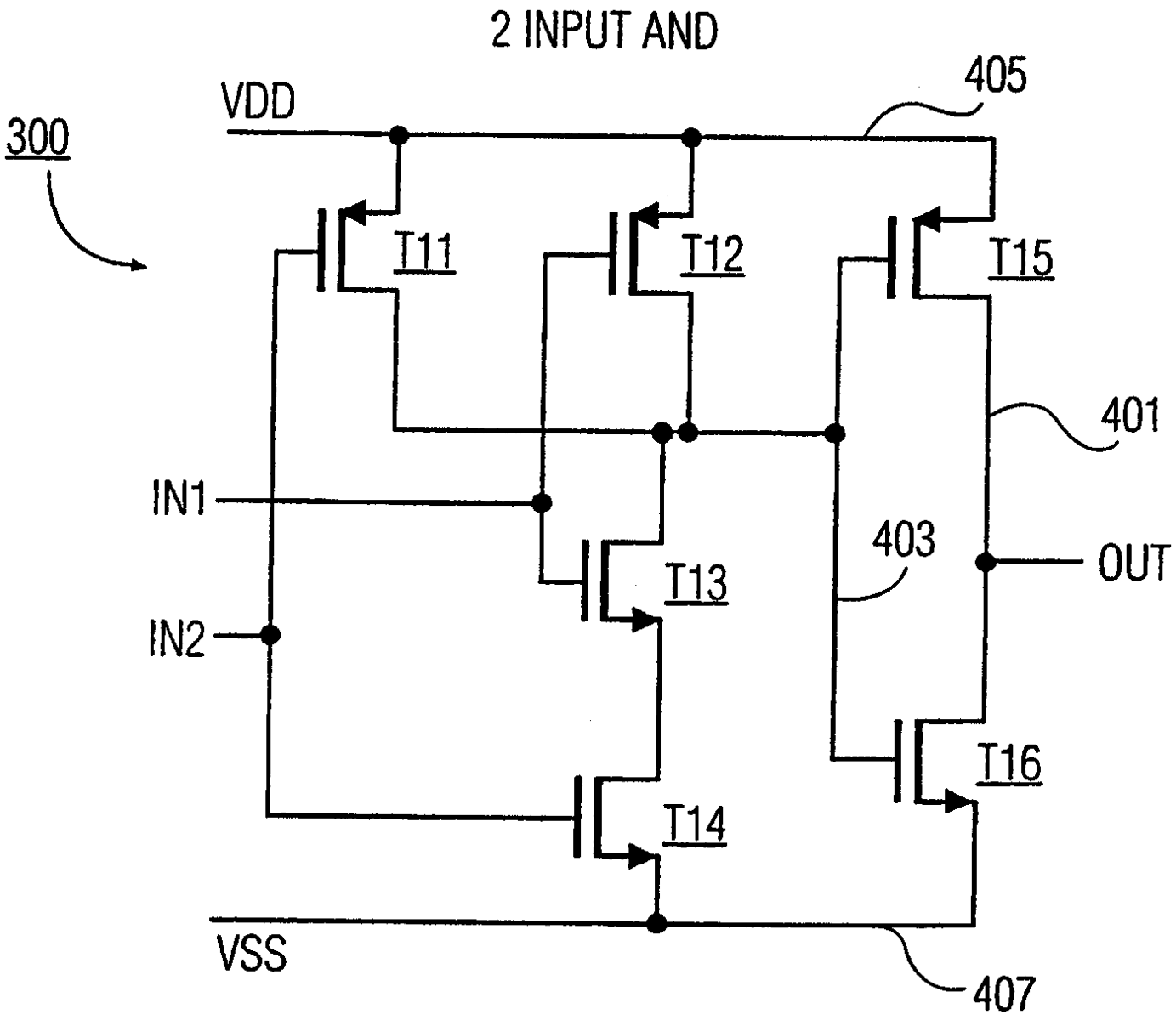
도면 6a


LOGICØ -> REGISTER 1
VDD
301
T1
T3
CG1
CG2
305
IN
GC1
311
OUT
309
T2
T4
303
VSS

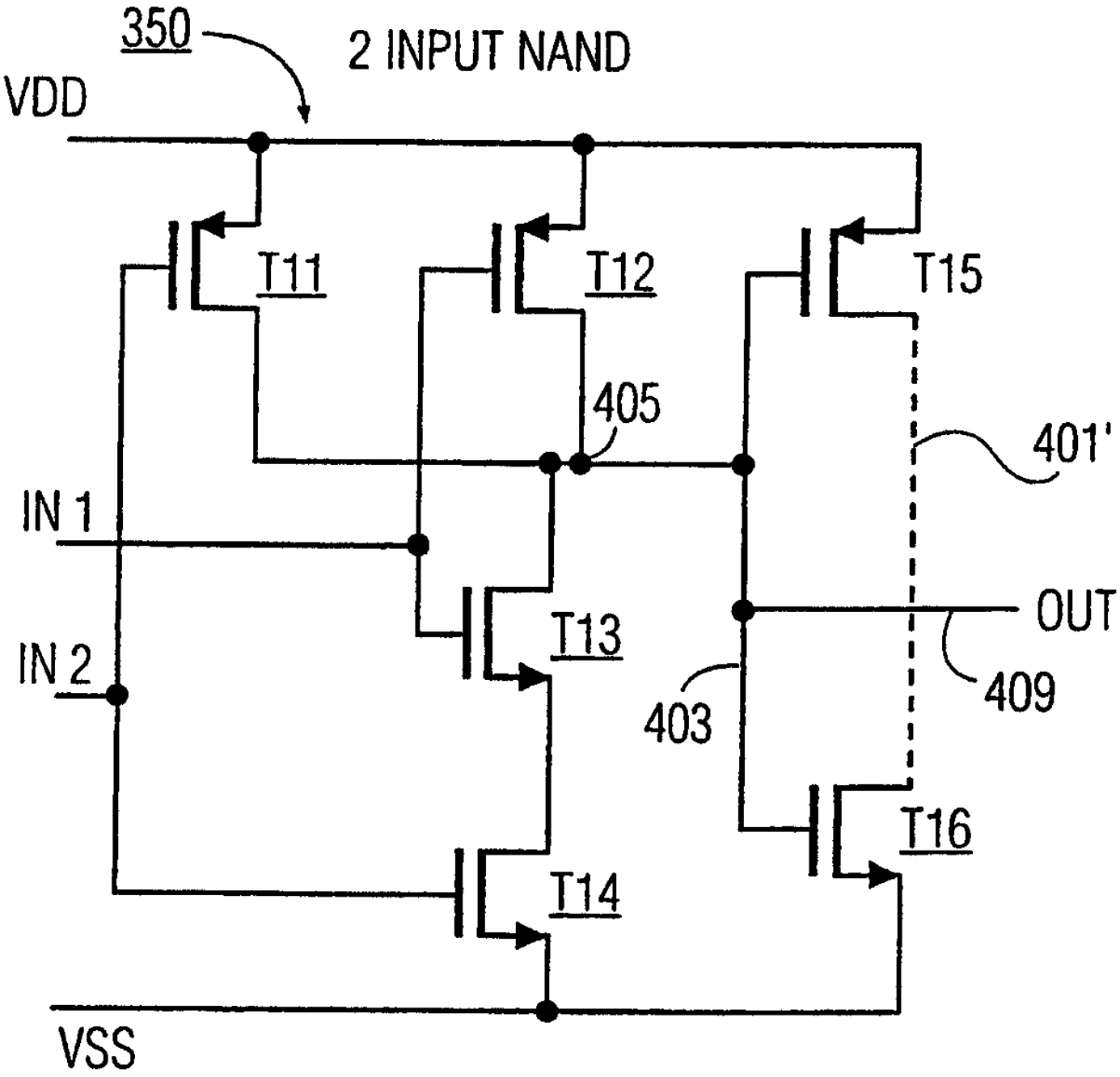
도면 6b


LOGICØ -> REGISTER 1
V
VDD
V
301
T1
T3
D1
D3
S1
S3
CG1
CG2
307
305
IN
GC1
S4
OUT
D2
D4
S2
T2
T4
303
V
VSS
V

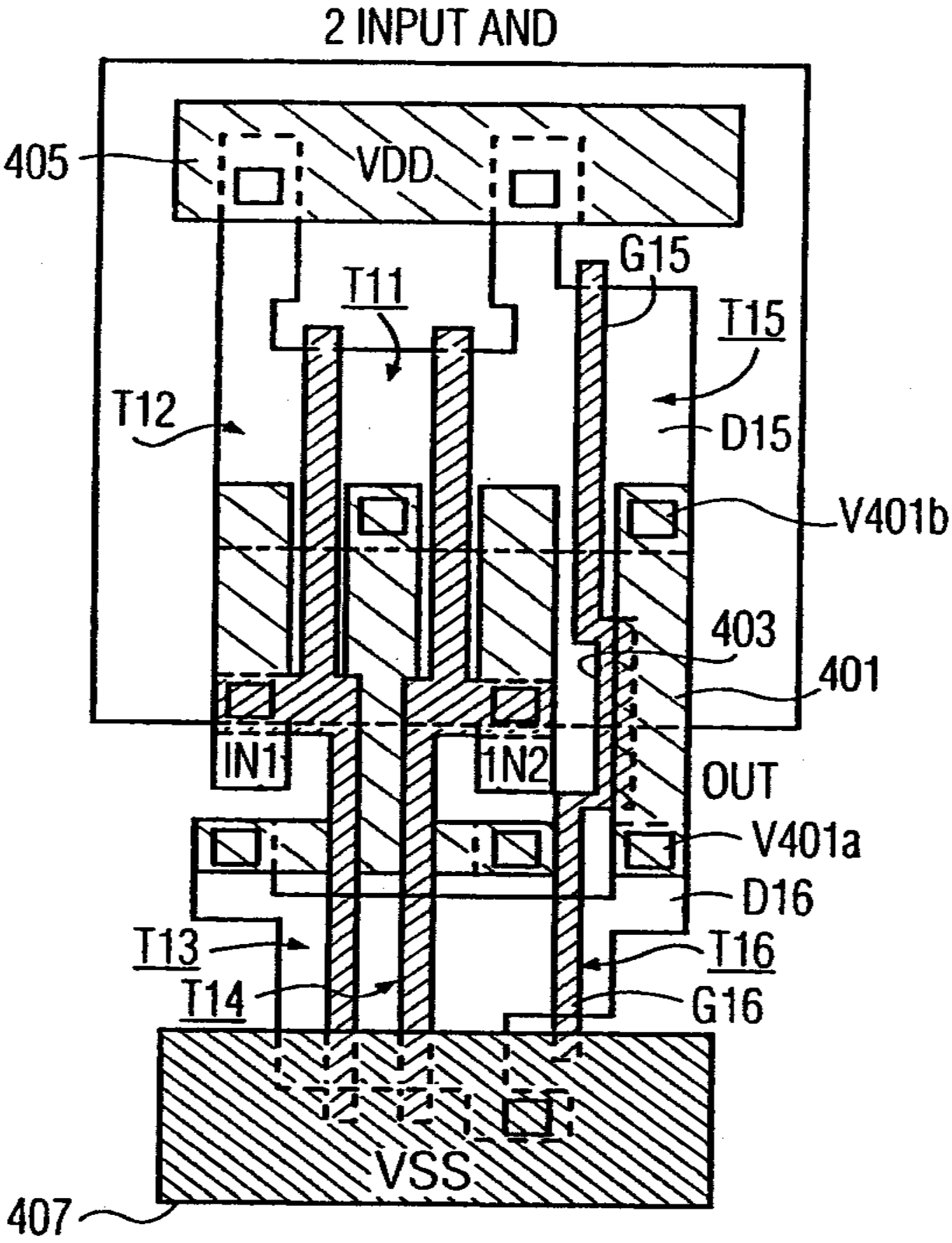
도면 7a


2 INPUT AND
300
VDD
405
T11
T12
T15
401
IN1
403
OUT
T13
IN2
T16
T14
VSS
407

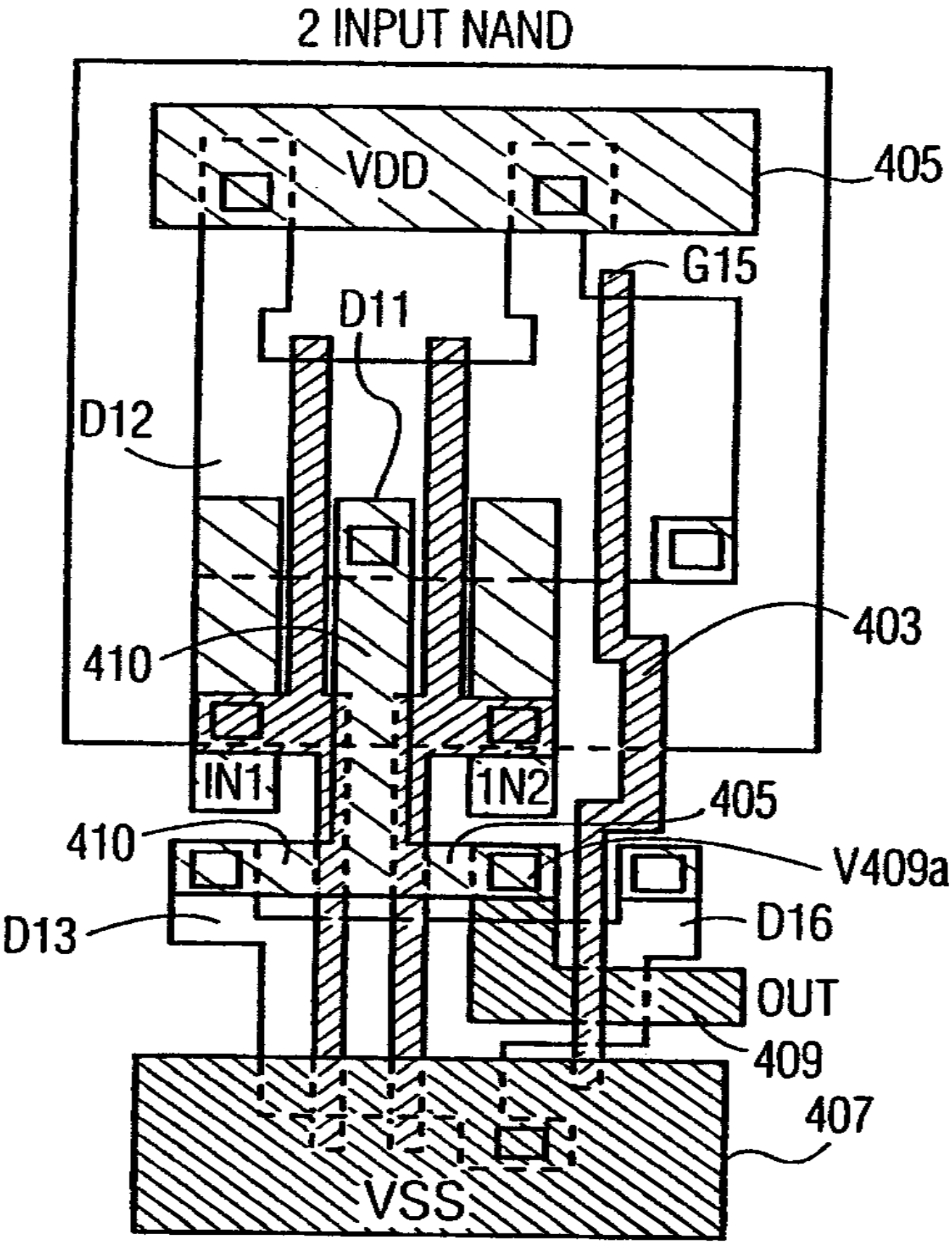
도면 7b


350
2 INPUT NAND
VDD
T11
T12
T15
405
401'
IN 1
IN 2
T13
OUT
409
403
T16
T14
VSS

도면 8a


2 INPUT AND
405
VDD
G15
T11
T15
T12
D15
V401b
403
401
IN1
IN2
OUT
V401a
D16
T13
T16
T14
G16
VSS
407

도면 8b


2 INPUT NAND
VDD
405
G15
D11
D12
410
403
IN1
1N2
405
410
V409a
D13
D16
OUT
409
407
VSS

도면 9