

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-103860

(P2015-103860A)

(43) 公開日 平成27年6月4日(2015.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/693 (2006.01)	H03K 17/693 D	5B011
G06F 1/32 (2006.01)	G06F 1/00 332Z	5J055
G06F 1/26 (2006.01)	G06F 1/00 330F	

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2013-241067 (P2013-241067)  
 (22) 出願日 平成25年11月21日 (2013.11.21)

(71) 出願人 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番  
 23  
 (74) 代理人 100099759  
 弁理士 青木 篤  
 (74) 代理人 100119987  
 弁理士 伊坪 公一  
 (74) 代理人 100081330  
 弁理士 樋口 外治  
 (72) 発明者 木村 武士  
 神奈川県横浜市港北区新横浜二丁目10番  
 23 富士通マイクロソリューションズ株  
 式会社内  
 Fターム(参考) 5B011 DA06 EA10 GG03 JB10 LL10  
 最終頁に続く

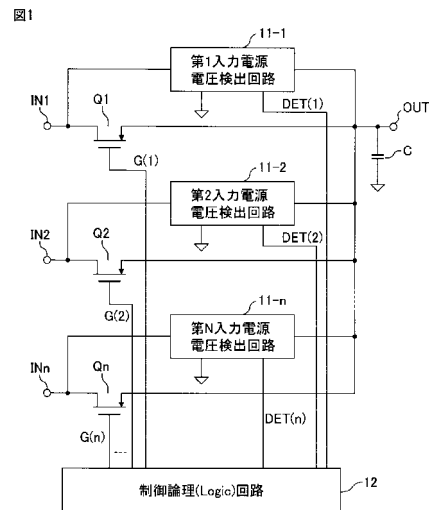
(54) 【発明の名称】 電源切替制御回路および電源切替回路

(57) 【要約】

【課題】簡単な回路構成で、低消費電力の電源切替制御回路および電源切替回路の実現。

【解決手段】複数の電源電圧のうちの一つの電源電圧を選択して出力端子に出力する電源切替制御回路であって、複数の電源電圧のそれぞれと出力端子の電圧を比較し、複数の電源電圧のそれぞれの値が出力端子の電圧の値より所定値 $V_{th}$ 以上大きい時に検出信号をそれぞれ出力する複数の入力電源電圧検出回路11-1-11-nと、複数の入力電源電圧検出回路のそれぞれが出力する検出信号DET(1)-DET(n)に応じて、複数のスイッチQ1-Qnを制御する制御論理回路12と、を有し、制御信号に基づいて、複数の電源電圧のうちの一つの電源電圧を選択する電源切替制御回路。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の電源電圧のうちの一つの電源電圧を選択して出力端子に出力する電源切替制御回路であって、

前記複数の電源電圧のそれぞれと前記出力端子の電圧を比較し、前記複数の電源電圧のそれぞれの値が前記出力端子の電圧の値より所定値以上大きい時に検出信号をそれぞれ出力する複数の入力電源電圧検出回路と、

前記複数の入力電源電圧検出回路のそれぞれが出力する検出信号に応じて、複数のスイッチを制御する制御信号を出力する制御論理回路と、を備え、

前記制御信号に基づいて、前記複数の電源電圧のうちの一つの電源電圧を選択することを特徴とする電源切替制御回路。

10

**【請求項 2】**

前記複数の入力電源電圧検出回路のそれぞれは、

前記複数の電源電圧のそれぞれが入力される入力端子と基準電位間に直列に接続された P M O S トランジスタおよび抵抗を備え、

前記 P M O S トランジスタのゲートには、前記出力端子の電圧が印加される請求項 1 に記載の電源切替制御回路。

**【請求項 3】**

前記制御論理回路は、

前記複数の入力電源電圧検出回路の 1 つが、前記入力電源電圧検出回路に対応する電源電圧が前記出力端子の電圧より高いことを検出すると、前記複数のスイッチのうち前記入力電源電圧検出回路に対応する電源電圧が供給されるスイッチをオン状態にし、他のスイッチをオフ状態にするように制御する請求項 1 または 2 に記載の電源切替制御回路。

20

**【請求項 4】**

前記出力端子に出力される電圧は、前記複数の電源電圧のうち最も高い電圧を有する電源電圧であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の電源切替制御回路。

**【請求項 5】**

複数の電源端子と、

1 つの出力端子と、

30

前記複数の電源端子と前記出力端子間にそれぞれ接続される複数のスイッチと、

前記複数の電源端子の電圧と前記出力端子の電圧を比較し、前記複数の電源端子のそれぞれの電圧が前記出力の電圧より所定値以上大きい時に検出信号をそれぞれ出力する複数の入力電源電圧検出回路と、

前記複数の入力電源電圧検出回路のそれぞれが出力する検出信号に応じて、前記複数のスイッチを制御する制御信号を出力する制御論理回路と、を備え、

前記複数の電源端子に供給される複数の電源のうちの一つの電源の電圧を選択して前記出力端子に出力することを特徴とする電源切替回路。

**【請求項 6】**

前記複数のスイッチは、P M O S トランジスタである請求項 5 に記載の電源切替回路。

40

**【請求項 7】**

前記複数の入力電源電圧検出回路のそれぞれは、

前記複数の電圧供給端子のそれぞれと基準電位間に直列に接続された P M O S トランジスタおよび抵抗を備え、

前記 P M O S トランジスタのゲートには、前記出力端子の電圧が印加される請求項 5 または 6 に記載の電源切替回路。

**【請求項 8】**

前記制御論理回路は、

前記複数の入力電源電圧検出回路の 1 つが、前記入力電源電圧検出回路に対応する複数の電源端子の電圧が前記出力端子の電圧より高いことを検出すると、前記複数のスイッチ

50

のうち前記入力電源電圧検出回路に対応する複数の電源端子に接続されるスイッチをオン状態にし、他のスイッチをオフ状態にするように制御する請求項5から7のいずれか1項に記載の電源切替回路。

【請求項9】

前記出力端子に出力される電圧は、前記複数の電源端子の電圧のうちの最も高い電圧を有する電源端子の電圧であることを特徴とする請求項5から8のいずれか1項に記載の電源切替回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源切替制御回路および電源切替回路に関する。

【背景技術】

【0002】

近年、モバイル機器などは、複数の電源（例えばバッテリー、USB、ボタン電池など）で動作させることができる。この様に複数の電源が接続される場合、適宜望ましい電源を選択する必要がある。

【0003】

バッテリーなどで駆動するモバイル機器は、低電力消費、低電圧動作可能である事が、長時間駆動を実現するために必要な要素となる。そのため、バッテリーなどで動作するモバイル機器については、バッテリーの消費電力の低減が望まれている。さらに、モバイル機器については、電力供給源の電圧が低くなった状態でも適切に動作できる回路が望まれている。

【0004】

複数の電源から適時望ましい電源を選択するためには、複数の電源の電圧を比較し、もっとも電圧の高い電源に接続されるスイッチをオン（導通）し、他の電源に接続されるスイッチをオフ（遮断）する。一般的には、複数の電源の電圧の比較を常時行い、もっとも電圧の高い電源を検出していた。このような電源電圧の監視を行うためには、コンパレータなどの常時消費電流が流れる検出回路を使用していた。そのため、消費電力が大きかった。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許第5187396号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

電子機器に搭載され、複数の電源から適宜望ましい電源を選択する電源切替回路および電源切替制御回路においても、消費電力の低減が求められている。

以下の実施形態は、低消費電力の電源切替制御回路および電源切替回路を記載する。

【課題を解決するための手段】

【0007】

第1の態様の電源切替制御回路は、複数の入力電源電圧検出回路と、制御論理回路と、を有する。複数の入力電源電圧検出回路は、複数の電源電圧のそれぞれと出力端子の電圧を比較し、複数の電源電圧のそれぞれの値が出力端子の電圧の値より所定値以上大きい時に検出信号をそれぞれ出力する。制御論理回路は、複数の入力電源電圧検出回路のそれぞれが出力する検出信号に応じて、複数のスイッチを制御する制御信号を出力する。第1の態様の電源切替制御回路は、制御信号に基づいて、複数の電源電圧のうちの一つの電源電圧を選択する。

【0008】

第2の態様の電源切替回路は、複数の電源端子と、1つの出力端子と、複数のスイッチ

10

20

30

40

50

と、複数の入力電源電圧検出回路と、制御論理回路と、を有する。複数のスイッチは、複数の電源端子と出力端子間にそれぞれ接続される。複数の入力電源電圧検出回路は、複数の電源端子の電圧と出力端子の電圧を比較し、複数の電源端子のそれぞれの電圧が出力の電圧より所定値以上大きい時に検出信号をそれぞれ出力する。制御論理回路は、複数の入力電源電圧検出回路のそれぞれ出力する検出信号に応じて、複数のスイッチを制御する制御信号を出力する。第2の態様の電源切替回路は、複数の電源端子に供給される複数の電源のうちの一つの電源の電圧を選択して出力端子に出力する。

【発明の効果】

【0009】

実施形態によれば、いずれかの電源の電圧が出力の電圧より所定値以上大きくなった時に、対応する入力電源電圧検出回路が検出信号を出力するが、制御論理回路が対応するスイッチをオンすると、出力の電圧は切り替えた電源の電圧と同じになる。これにより、入力電源電圧検出回路は検出信号の出力を停止し、入力電源電圧検出回路は電力を消費しなくなる。

【図面の簡単な説明】

【0010】

【図1】図1は、第1実施形態の電源切替回路の構成を示す図である。

【図2】図2は、第2実施形態の電源切替回路の構成を示す図である。

【図3】図3は、第2実施形態の電源切替回路の電源端子への電源投入時の動作を示すタイムチャートである。

【図4】図4は、第2実施形態の電源切替回路において、電源端子の電圧の関係が変化する場合の動作を示すタイムチャートである。

【図5】図5は、制御論理(logic)回路の回路構成を示す図であり、(A)が全体構成を示し、(B)が遅延回路の回路例を示し、(C)が遅延回路の動作を示すタイムチャートである。

【図6】図6は、制御論理(logic)回路の動作例を示すタイムチャートである。

【図7】図7は、第3実施形態の電源切替回路の構成を示す図であり、(A)が全体構成を、(B)が制御論理(logic)回路12の回路構成を示す図である。

【図8】図8は、多電源対応電子機器の例を示す図である。

【発明を実施するための形態】

【0011】

図1は、第1実施形態の電源切替回路の構成を示す図である。

第1実施形態の電源切替回路は、複数(N個)の電源端子 $IN_1 \sim IN_n$ と、1つの出力端子OUTと、複数の(パワー)スイッチ $Q_1 \sim Q_n$ と、複数の入力電源電圧検出回路 $11-1 \sim 11-n$ と、制御論理(logic)回路12と、容量Cと、を有する。複数の入力電源電圧検出回路 $11-1 \sim 11-n$ および制御論理(logic)回路12が、電源切替制御回路を形成する。電源切替制御回路は、複数の電源端子 $IN_1 \sim IN_n$ に入力される複数の電源からもっとも高電圧の入力電源を選択して出力端子OUTに出力するように複数のスイッチ $Q_1 \sim Q_n$ を制御する。容量Cは、出力端子OUTの出力電圧を安定化するために設けられる。

【0012】

複数のスイッチ $Q_1 \sim Q_n$ は、例えば、PMOSトランジスタで実現され、複数の電源端子 $IN_1 \sim IN_n$ と出力端子OUT間にそれぞれ接続される。複数のスイッチ $Q_1 \sim Q_n$ は、制御論理回路12の出力する複数の制御信号 $G(1) \sim G(n)$ により制御される。具体的には、複数のスイッチ $Q_1 \sim Q_n$ を形成する複数のPMOSトランジスタのゲートに、複数の制御信号 $G(1) \sim G(n)$ がそれぞれ印加される。

【0013】

複数の入力電源電圧検出回路 $11-1 \sim 11-n$ は、複数の電源端子 $IN_1 \sim IN_n$ の電圧と出力端子OUTの電圧を比較する。複数の入力電源電圧検出回路 $11-1 \sim 11-n$ は、複数の電源端子 $IN_1 \sim IN_n$ のそれぞれの電圧が出力OUTの電圧より所定値以

10

20

30

40

50

上大きい時に検出信号  $DET(1) \sim DET(n)$  を出力する。所定値は、後述するように、例えばトランジスタの閾値電圧である。

【0014】

制御論理回路 12 は、複数の入力電源電圧検出回路 11-1 ~ 11-n の出力する検出信号  $DET(1) \sim DET(n)$  に応じて、複数のスイッチ  $Q1 \sim Qn$  を制御する制御信号  $G(1) \sim G(n)$  を出力する。具体的には、制御論理回路 12 は、検出信号  $DET(1) \sim DET(n)$  が発生されると、発生した検出信号に対応するスイッチをオン（導通）し、他のスイッチをオフ（遮断）する。言い換えれば、制御論理回路 12 は、検出信号が発生すると、それまでオンであったスイッチをオフし、発生した検出信号に対応するスイッチをオンし、残りのスイッチをオフ状態に維持する。したがって、複数の電源端子  $IN1 \sim INn$  に入力される複数の電源のうちの 1 つが、その時点の出力端子  $OUT$  の電圧より高くなると、直ちにその電源を選択するようにスイッチが切り替えられる。このようにして、複数の電源から適切な電源が選択され、出力端子  $OUT$  からは、常時適切な電圧の電源が出力される。

10

【0015】

各入力電源電圧検出回路 11-1 ~ 11-n は、検出信号  $DET(1) \sim DET(n)$  を出力していない時には、消費電力が非常に小さく、ほぼゼロである。入力電源電圧検出回路は、対応する電源端子の電圧が出力端子の電圧より所定値以上大きい時に検出信号を出力するが、その検出信号に応じて、制御論理回路 12 は、対応するスイッチをオンするため、出力端子  $OUT$  の電圧は対応する電源端子の電圧に変化する。そのため、入力電源電圧検出回路は、検出信号の出力を短時間で終了する。したがって、検出信号が発生する時間は短く、その間のみ電力が消費され、それ以外の期間は電力が消費されないので、複数の入力電源電圧検出回路 11-1 ~ 11-n の消費電力は小さい。

20

【0016】

以上説明したように、第 1 実施形態の電源切替回路は、低消費電力で且つ簡単な回路構成で、複数の電源から適切な電源（もっとも電圧の高い電源）を選択して、出力端子に接続する。

【0017】

図 2 は、第 2 実施形態の電源切替回路の構成を示す図である。

第 2 実施形態の電源切替回路は、説明を簡単にするために、電源端子を 2 個 ( $N = 2$ ) とし、入力電源電圧検出回路 11-1 ~ 11-2 をトランジスタと抵抗で実現した具体的な回路としたことが、第 1 実施形態の電源切替回路と異なる。第 2 実施形態の電源切替回路は、2 個の電源端子に入力する電源の内、最も高電位の電源を自動に選択して、出力端子に接続する。

30

【0018】

第 2 実施形態の電源切替回路は、2 個の電源端子  $IN1 \sim IN2$  と、1 個の出力端子  $OUT$  と、4 個の PMOS トランジスタ  $Q1$ 、 $Q2$ 、 $Q11$  および  $Q12$  と、2 個の抵抗  $R1$  および  $R2$  と、制御論理 (logic) 回路 12 と、容量  $C$  と、を有する。2 個の PMOS トランジスタ  $Q1$  および  $Q2$  がパワースイッチを形成する。PMOS トランジスタ  $Q11$  および抵抗  $R1$  は、電源端子  $IN1$  と基準電位源 ( $GND$ ) との間に直列に接続され、 $Q11$  のゲートは出力端子  $OUT$  に接続される。PMOS トランジスタ  $Q11$  および抵抗  $R1$  は、図 1 の入力電源電圧検出回路 11-1 に対応する回路を形成する。PMOS トランジスタ  $Q12$  および抵抗  $R2$  は、電源端子  $IN2$  と  $GND$  との間に直列に接続され、 $Q12$  のゲートは出力端子  $OUT$  に接続される。PMOS トランジスタ  $Q12$  および抵抗  $R2$  は、図 1 の入力電源電圧検出回路 11-2 に対応する回路を形成する。

40

制御論理 (logic) 回路 12 の電源は、電源端子  $IN1 \sim IN2$  または出力端子  $OUT$  の電圧より常に高い電位が補償されるものであれば、どのようなものでもよく、 $IN1 \sim IN2$  または  $OUT$  から、この条件を満たすように供給してもよい。

【0019】

2 個の電源端子  $IN1$  および  $IN2$  にはそれぞれ電源が入力する。 $Q1$  および  $Q2$  を介

50

して、端子IN 1または端子IN 2のどちらか一方が、出力端子OUTに接続され、一方の電源が出力される。Q 1およびQ 2は、必ずどちらか一方のみオンし、同時にオンしてはならない。Q 1およびQ 2が同時にオンすると、異なる電源同士が接続される、すなわちショートすることになるので、同時にオンすることは確実に避ける。

#### 【0020】

PMOSトランジスタQ 1 1は、ソース端子が電源IN 1に、ゲート端子が出力端子OUTに、ドレイン端子が抵抗R 1に、それぞれ接続される。PMOSトランジスタQ 1 2は、ソース端子が電源IN 2に、ゲート端子が出力端子OUTに、ドレイン端子が抵抗R 2に、それぞれ接続される。Q 1 1とR 1の接続ノードから検出信号DET ( 1 )が、Q 1 2とR 2の接続ノードから検出信号DET ( 2 )が、それぞれ出力され、制御論理 ( l o g i c )回路1 2に入力する。制御論理 ( l o g i c )回路1 2は、検出信号DET ( 1 ) (パルス)が入力すると、Q 1をオンする制御信号G ( 1 )を、Q 2をオフする制御信号G ( 2 )を出力する。また、制御論理 ( l o g i c )回路1 2は、検出信号DET ( 2 ) (パルス)が入力すると、Q 1をオフする制御信号G ( 1 )を、Q 2をオンする制御信号G ( 2 )を出力する。

10

#### 【0021】

まず、Q 1 1およびR 1により形成される入力電源電圧検出回路1 1 - 1およびQ 1 2およびR 2により形成される入力電源電圧検出回路1 1 - 2の動作について説明する。

#### 【0022】

図3は、第2実施形態の電源切替回路の電源端子IN 1およびIN 2への電源投入時の動作を示すタイムチャートである。

20

図3では、IN 2に入力される電源は0 Vに固定で、IN 1に入力する電源の電圧が上昇する場合を示す。なお、説明を簡単にするために、IN 1およびIN 2に入力される電源の電圧をIN 1およびIN 2で表し、出力端子OUTの電圧をOUTで表す場合があり、これは他でも同様である。

#### 【0023】

IN 1が上昇する前の段階では、IN 1およびIN 2は0 Vで、OUTも0 Vである。また、検出信号DET ( 1 )およびDET ( 2 )は低レベルで、検出信号が出力されていない状態である。さらに、制御信号G ( 1 )およびG ( 2 )は低レベルで、これは、Q 1およびQ 2がPMOSトランジスタであるので、制御信号としてはQ 1およびQ 2をオンする状態である。ただし、IN 1およびIN 2が0 Vなので、Q 1およびQ 2はオフである。

30

#### 【0024】

図3に示すように、IN 1が上昇し、 $IN 1 = V_{th}$  (Q 1の閾値)になると、Q 1のPMOS構造上D (ドレイン) - S (ソース)間に見えるボディダイオードを介してOUTがIN 1に追従して上昇し始める。IN 1とOUT間の電圧が $V_{th}$ 以上になると、Q 1 1がオンし、検出信号DET ( 1 )が高レベルとなる。Logic 1 2は、検出信号DET ( 1 )が高レベルになるのを受けて、動作を開始し、G ( 1 )およびG ( 2 )を共に高レベルにした後、検出信号DET ( 1 )に応じて、G ( 1 )を低レベルに、G ( 2 )を高レベルに維持する。Q 1およびQ 2はPMOSトランジスタであり、G ( 1 )およびG ( 2 )が共に高レベルになることにより、Q 1およびQ 2は一旦両方ともオフした後、Q 1はオンし、Q 2はオフ状態を維持する。

40

#### 【0025】

以上のようにして、Q 1がオンし、Q 2がオフし、電圧の上昇した電源端子IN 1を出力端子OUTに接続し、電源端子IN 2は接続されない状態になる。この動作は、IN 1に入力される電源は0 Vに固定で、IN 2に入力する電源の電圧が上昇する場合も同様であり、IN 1とIN 2、G ( 1 )とG ( 2 )、およびDET ( 1 )とDET ( 2 )のタイムチャートが入れ替わるだけである。

#### 【0026】

次に、動作中に、電源端子IN 1とIN 2の電圧の上下関係が変化する場合について説

50

明する。

図4は、第2実施形態の電源切替回路において、電源端子IN1およびIN2の電圧の関係が変化する場合の動作を示すタイムチャートである。図4の(A)は、 $IN1 < IN2$ の状態、IN1が一定で、IN2が下降して $IN1 > IN2$ の状態に変化した場合を示す。図4の(B)は、 $IN1 > IN2$ の状態、IN2が一定で、IN1が下降して $IN1 < IN2$ の状態に変化した場合を示す。図4の(C)は、 $IN1 < IN2$ の状態、IN2が一定で、IN1が上昇して $IN1 > IN2$ の状態に変化した場合を示す。図4の(D)は、 $IN1 > IN2$ の状態、IN1が一定で、IN2が上昇して $IN1 < IN2$ の状態に変化した場合を示す。

【0027】

図4の(A)に示すように、 $IN2 > IN1$ であることから $G(2) = \text{低レベル}(Q2 = \text{オン})$ 、 $G(1) = \text{高レベル}(Q1 = \text{オフ})$ であり、出力端子OUTには、IN2と同一の電圧が出力されている。また、Q12は、Q2がオンしており、Q12のゲート端子とソース端子が同電位であるため、オフしている。一方、Q11は、 $IN1 < OUT (= IN2)$ であり、Q11のゲート端子はQ11のソース端子(IN1)より高いため、オフしている。言い換えれば、Q11およびQ12は、共にオフしており、検出のための消費電流はゼロである。

【0028】

上記の状態からIN2の電圧が降下し、 $OUT (= IN2) < In1 - V_{th}$  ( $V_{th}$ : Q11、Q12の閾値電圧)になると、Q11がオンし、抵抗R1に電流が流れ、DET(1)が高レベルに変化する。制御論理(logic)回路12は、DET(1)の高レベルへの変化をトリガとして、 $G(2)$ を高レベルにし、Q2がオフする。Q2オフ後、制御論理(logic)回路12は、 $G(1)$ を低レベルにし、Q1がオンする。Q1がオンすると、Q11のゲート電圧とソース電圧が同電位となり、Q11がオフし、それによりR1を流れる電流はゼロとなり、DET(1)は低レベルへ変化する。従って、R1を電流が流れるのは、短時間であり、消費電力は小さい。

【0029】

図4の(B)に示すように、 $IN1 > IN2$ であることから $G(1) = \text{低レベル}(Q1 = \text{オン})$ 、 $G(2) = \text{高レベル}(Q2 = \text{オフ})$ であり、出力端子OUTには、IN1と同一の電圧が出力されている。また、Q11は、Q1がオンしており、Q11のゲート端子とソース端子が同電位であるため、オフしている。一方、Q12は、 $IN2 < OUT (= IN1)$ であり、Q12のゲート端子はQ12のソース端子(IN2)より高いため、オフしている。言い換えれば、Q11およびQ12は、共にオフしており、検出のための消費電流はゼロである。

【0030】

上記の状態からIN1の電圧が降下し、 $OUT (= IN1) < In2 - V_{th}$ になると、Q12がオンし、抵抗R2に電流が流れ、DET(2)が高レベルに変化する。制御論理(logic)回路12は、DET(2)の高レベルへの変化をトリガとして、 $G(1)$ を高レベルにし、Q1がオフする。Q1オフ後、制御論理(logic)回路12は、 $G(2)$ を低レベルにし、Q2がオンする。Q2がオンすると、Q12のゲート電圧とソース電圧が同電位となり、Q12がオフし、それによりR2を流れる電流はゼロとなり、DET(2)は低レベルへ変化する。従って、R2を電流が流れるのは、短時間であり、消費電力は小さい。

【0031】

図4の(C)に示すように、 $IN2 > IN1$ であることから $G(2) = \text{低レベル}(Q2 = \text{オン})$ 、 $G(1) = \text{高レベル}(Q1 = \text{オフ})$ であり、出力端子OUTには、IN2と同一の電圧が出力されている。また、Q11およびQ12は、共にオフしている。

【0032】

上記の状態からIN1の電圧が上昇し、 $OUT (= IN2) < In1 - V_{th}$ になると、Q11がオンし、抵抗R1に電流が流れ、DET(1)が高レベルに変化する。制御論

10

20

30

40

50

理 (logic) 回路 12 は、DET (1) の高レベルへの変化をトリガとして、G (2) を高レベルにし、Q2 がオフする。Q2 オフ後、制御論理 (logic) 回路 12 は、G (1) を低レベルにし、Q1 がオンする。Q1 がオンすると、Q11 のゲート電圧とソース電圧が同電位となり、Q11 がオフし、それにより R1 を流れる電流はゼロとなり、DET (1) は低レベルへ変化する。従って、R1 を電流が流れるのは、短時間であり、消費電力は小さい。

【0033】

図 4 の (D) に示すように、 $IN1 > IN2$  であることから  $G(1) =$  低レベル ( $Q1 =$  オン)、 $G(2) =$  高レベル ( $Q2 =$  オフ) であり、出力端子 OUT には、 $IN1$  と同一の電圧が出力されている。また、 $Q11$  および  $Q12$  は、共にオフしている。

10

【0034】

上記の状態から  $IN2$  の電圧が上昇し、 $OUT (= IN1) < IN2 - V_{th}$  になると、 $Q12$  がオンし、抵抗  $R2$  に電流が流れ、DET (2) が高レベルに変化する。制御論理 (logic) 回路 12 は、DET (2) の高レベルへの変化をトリガとして、G (1) を高レベルにし、Q1 がオフする。Q1 オフ後、制御論理 (logic) 回路 12 は、G (2) を低レベルにし、Q2 がオンする。Q2 がオンすると、 $Q12$  のゲート電圧とソース電圧が同電位となり、 $Q12$  がオフし、それにより  $R2$  を流れる電流はゼロとなり、DET (2) は低レベルへ変化する。従って、 $R2$  を電流が流れるのは、短時間であり、消費電力は小さい。

【0035】

なお、OUT は  $IN1$  または  $IN2$  の電圧であり、 $Q11$  および  $Q12$  は、 $IN1$  および  $IN2$  と OUT の電圧差でオンするため、DET (1) および DET (2) が同時に高レベルに変化することは無い。

20

【0036】

$IN1$  と  $IN2$  の大小関係に変化がない定常状態においては、 $Q1$  または  $Q2$  のオンしている側のトランジスタのドレイン電流が変化しても、ドレイン端 - ソース端差電圧 ( $V_{DS}$ ) は  $Q11$  または  $Q12$  の絶対値の閾値 ( $|V_{th}|$ ) より小さくなければならない。 $Q1$  がオンしている場合、 $(IN1 - OUT) (= V_{DS}) < |V_{th}(Q11)|$  であれば、切替は行われない。

【0037】

以上の通り、第 2 実施形態の電源切替回路は、以下の利点がある。

30

(1) 入力電圧の大小関係を監視する為の回路の電流消費がない。

(2)  $Q11$  および  $Q12$  の閾値電圧程度の入力電圧から動作する。

(3)  $Q11$  および  $Q12$  の閾値は、切替におけるヒステリシスも実現し、頻繁な切り換えを防止する。

【0038】

次に、上記の制御を実現する制御論理 (logic) 回路 12 の構成および動作を説明する。

図 5 は、制御論理 (logic) 回路 12 の回路構成を示す図であり、(A) が全体構成を示し、(B) が遅延回路の回路例を示し、(C) が遅延回路の動作を示すタイムチャートである。

40

【0039】

図 5 の (A) に示すように、制御論理 (logic) 回路 12 は、DET (1) および DET (2) の 2 つの検出信号に対応した 2 つの検出制御部 21 - 1 および 21 - 2 と、1 つのコモン部 22 と、を有する。2 つの検出制御部 21 - 1 および 21 - 2 は、入力が DET (1) または DET (2) であること、および出力が G (1) または G (2) であることを除けば同じ構成を有する。図示のように、検出制御部 21 - 1 および 21 - 2 は、2 個の D 型 FF 31、32 と、NAND ゲートと、複数個のインバータと、を有する。回路の構成は図から明らかなので説明は省略し、動作について後述する。

【0040】

50



図5の(A)に示すように、コモン部22は、G(1)およびG(2)と、検出制御部21-1および21-2からの出力を入力とし、信号CおよびDを生成して、検出制御部21-1および21-2に共通に出力する。図示のように、コモン部22は、1個のD型FF33と、遅延回路34と、3個のNANDゲートと、を有する。回路の構成は図から明らかなので説明は省略し、動作について後述する。

【0041】

遅延回路34は、図5の(B)に示す回路構成を有し、図5の(C)に示すように、入力INを遅延して出力OUTを出力する。図5の(B)のインバータの出力に接続される容量の値により遅延量が設定される。図5の(B)の遅延回路は広く知られているので、これ以上の説明は省略する。

10

【0042】

図6は、制御論理(logic)回路12の動作例を示すタイムチャートである。図6は、IN1の電圧<IN2の電圧の状態から、IN2の電圧が低下し、検出信号DET(1)が発生する場合のタイムチャートである。

【0043】

IN2の電圧が、OUT(=IN2)<IN1+V<sub>th</sub>になると、前述のようにDET(1)が高レベルに変化する。それをトリガに、D型FF31がセットされ、DET(1)が高レベルに、コモン部22に入力するD型FF31の/Qが低レベルに変化し、コモン部22の信号Aが高レベルに、Cが低レベルに変化する。この時、DET(2)は変化しないため、検出制御部21-2のDET(2)1は変化しない。

20

【0044】

信号Cが低レベルに変化するので、検出制御部21-1および21-2で、D型FF32がリセットされ、G(1)およびG(2)は高レベルになる(G(1)はもともと高レベル)。これによりQ1およびQ2は共にオフの状態になる。G(1)およびG(2)が共に高レベルになることに応じて、コモン部22の信号B1が低レベルに変化し、さらに信号Cが高レベルになり、D型FF32は、出力をDET(1)1の状態(高レベル)に応じて変化させ、G(1)が低レベルに変化する。この時、検出制御部21-2では、DET(2)1が低レベルであるため、G(2)は高レベルを維持する。このようにして、G(1)とG(2)が決まり、Q1がオンし、Q2がオフする切替が完了する。

【0045】

30

一方、信号Cが高レベルになったので、D型FF33は動作状態になっており、G(1)が低レベルに変化してB1が高レベルに変化すると、B1を遅延した信号B2が高レベルに変化すると、D型FF33の出力Dは高レベルに変化する。これにより、検出制御部21-1および21-2のD型FF31は、次のDET(1)およびDET(2)の変化を受け入れられる状態になる。DET(1)およびDET(2)の変化の受け入れを信号Dで制限するのは、DET(1)およびDET(2)の電位の揺れによる誤ったラッチを防止するためである。

【0046】

以上説明した第2実施形態の電源切替回路は、入力電源が2つで、2個の電源端子IN1およびIN2を有する場合の例であるが、入力電源が3つ以上で、3個以上の電源端子IN1-INnの場合にも拡張可能である。

40

【0047】

図7は、第3実施形態の電源切替回路の構成を示す図であり、(A)が全体構成を、(B)が制御論理(logic)回路12の回路構成を示す図である。

【0048】

第3実施形態の電源切替回路は、n個の電源端子IN1およびINnに入力するn種類の入力電源から、もっとも高い電圧の電源が入力する電源端子を出力端子OUTに接続するように切り換える。第3実施形態の電源切替回路は、n個のスイッチ・検出部50-1~50-nと、1つの制御論理(logic)回路52と、を有する。

【0049】

50

スイッチ・検出部 50 - 1 は、パワースイッチを形成する P M O S トランジスタ Q 1 と、入力電源電圧検出回路を形成する P M O S トランジスタ Q 1 1 および抵抗 R 1 と、を有する。Q 1 は、電源端子 I N 1 と出力端子 O U T の間に接続され、制御論理 ( l o g i c ) 回路 1 2 からの制御信号 G ( 1 ) により導通が制御される。Q 1 1 と R 1 は I N 1 と G N D の間に直接に接続され、ゲート端子が出力端子 O U T に接続され、Q 1 1 と R 1 の接続ノードから検出信号 D E T ( 1 ) が出力される。以上の通り、図 7 の Q 1、Q 1 1 および R 1 は、図 2 の第 2 実施形態のものに対応する。他のスイッチ・検出部 50 - 2 ~ 50 - n も同様の構成を有する。

#### 【 0 0 5 0 】

制御論理 ( l o g i c ) 回路 5 2 は、n 個の検出制御部 6 1 - 1 および 6 1 - n と、1 つのコモン部 6 2 と、を有する。検出制御部 6 1 - 1 および 6 1 - n は、それぞれ図 5 の検出制御部 2 1 - 1 と同じ構成を有する。コモン部 6 2 は、G ( 1 ) - G ( n ) を受ける N A N D ゲートが、n 入力になっていること以外は、図 5 のコモン部 2 2 と同じである。このように、第 3 実施形態の電源切替回路は、パワースイッチを形成する P M O S トランジスタおよび入力電源電圧検出回路が n 組設けられ、コモン部が n 個の制御信号を受けることが、第 2 実施形態と異なる。

10

#### 【 0 0 5 1 】

検出信号 D E T ( 1 ) - D E T ( n ) は、同時に高レベルに変化することは無く、G ( 1 ) - G ( n ) は、1 回の切替で、1 つが低レベルから高レベルに、残りの中の 1 つが高レベルから低レベルに切り替わるだけである。したがって、検出信号および制御信号の個数が増加したのみで、各切替時の動作は第 2 実施形態と同じである。

20

#### 【 0 0 5 2 】

以上、説明した第 1 から第 3 実施形態の電源切替回路は、複数の電源端子から複数の電源が供給され、その中から最も高い電圧を選択し出力する多電源対応電子機器に適用される。

図 8 は、そのような多電源対応電子機器の例を示す図である。

#### 【 0 0 5 3 】

図 8 に示すように、多電源対応電子機器は、コントローラ 8 0 と、レギュレータ 8 1 と、マイクロコントロールユニット ( M C U ) 8 2 と、複数の電源端子とレギュレータ 8 1 の間に設けられたパワースイッチである P M O S トランジスタ Q 1 - Q n と、を有する。Q 1 は直流電源 ( D C I n p u t s ) に、Q 2 は U S B に、Q n は蓄電池に接続され、他の電源に接続される P M O S トランジスタがあってもよい。コントローラ 8 0 は、第 1 から第 3 実施形態の電源切替制御回路 ( 入力電源電圧検出回路 + 制御論理 ( l o g i c ) 回路 ) により実現され、Q 1 - Q n の導通を制御し、もっとも高い電圧の電源に接続される P M O S トランジスタをオンする。レギュレータ 8 1 は、選択された電源から電力供給を受け、所定の電源を生成して、機器内部に供給する。M C U 8 2 は、レギュレータ 8 1 から電源供給を受けて動作する。なお、ここでは図示の都合で、レギュレータ 8 1 から電源供給を受ける部分として M C U 8 2 のみを示したが、これに限定されるものではなく、他の各種のユニットを接続しても、それらの組合せを接続してもよい。

30

#### 【 0 0 5 4 】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものである。特に記載された例や条件は発明の範囲を制限することを意図するものではなく、明細書のそのような例の構成は発明の利点および欠点を示すものではない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

40

#### 【 符号の説明 】

#### 【 0 0 5 5 】

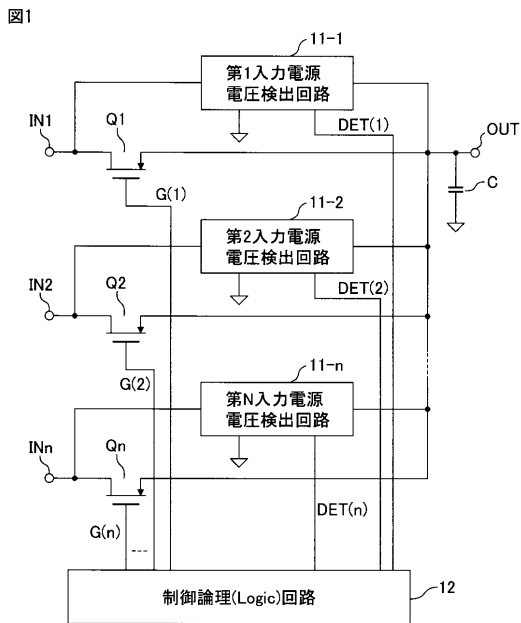
1 1 - 1 ~ 1 1 - n 入力電源電圧検出回路

1 2 制御論理 ( L o g i c ) 回路

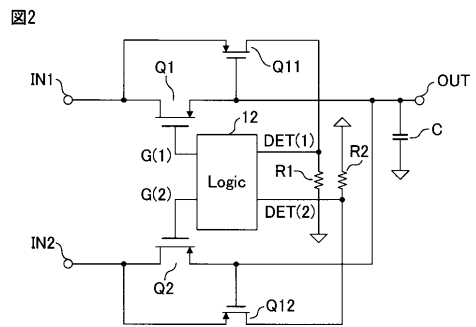
50

- 2 1 - 1、2 1 - 2 検出制御部
- 2 2 コモン部
- Q 1 - Q n スイッチ ( P M O S トランジスタ )
- Q 1 1、Q 1 2 P M O S トランジスタ
- R 1、R 2 抵抗
- I N I - I N n 電源端子
- O U T 出力端子

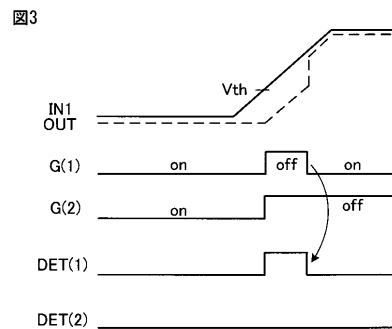
【 図 1 】



【 図 2 】

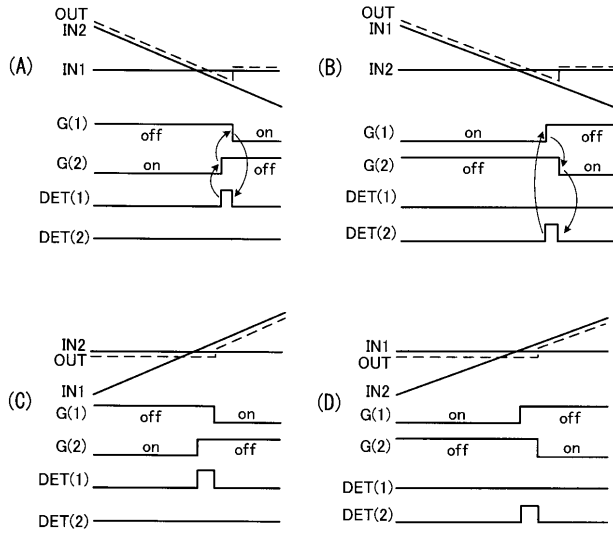


【 図 3 】



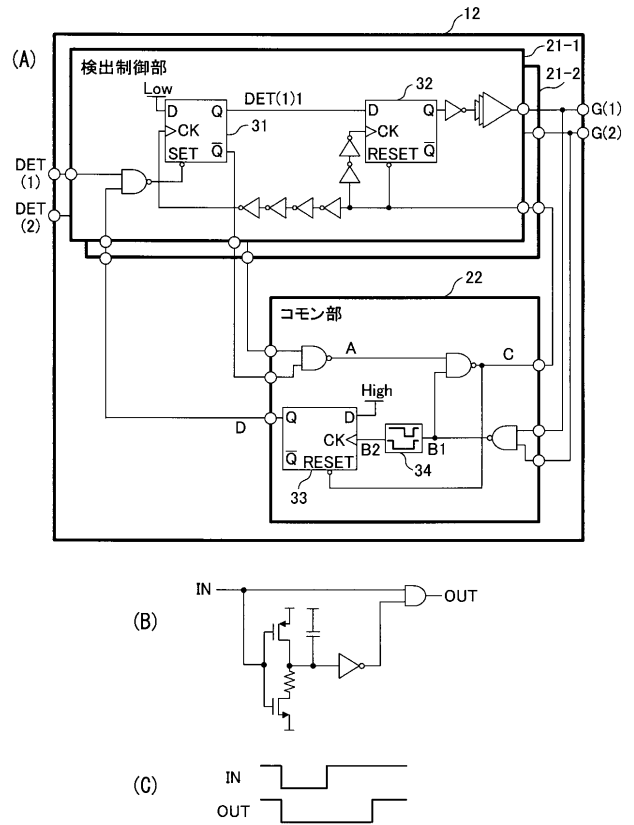
【 図 4 】

図4



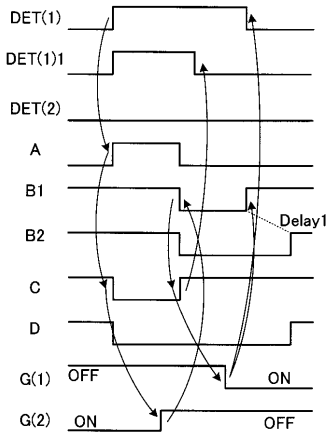
【 図 5 】

図5



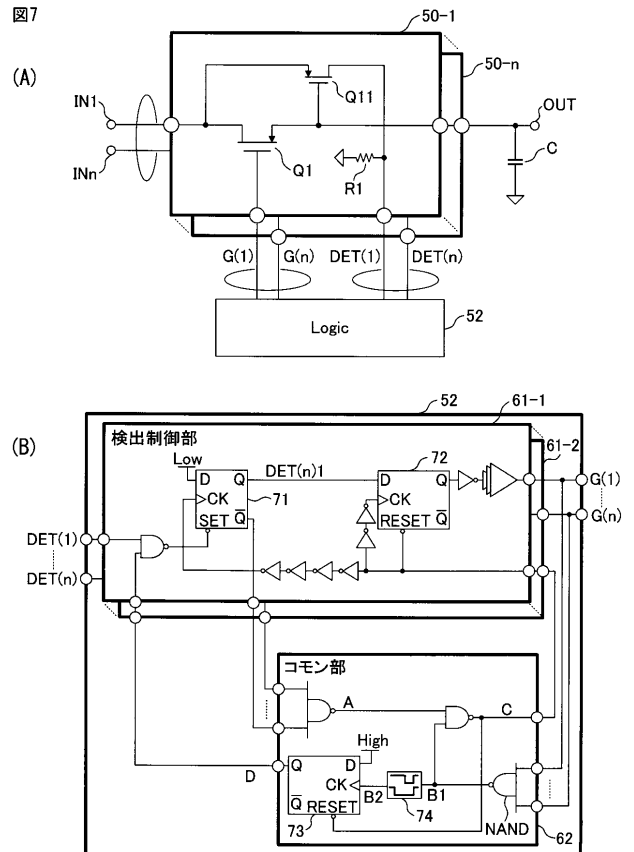
【 図 6 】

図6



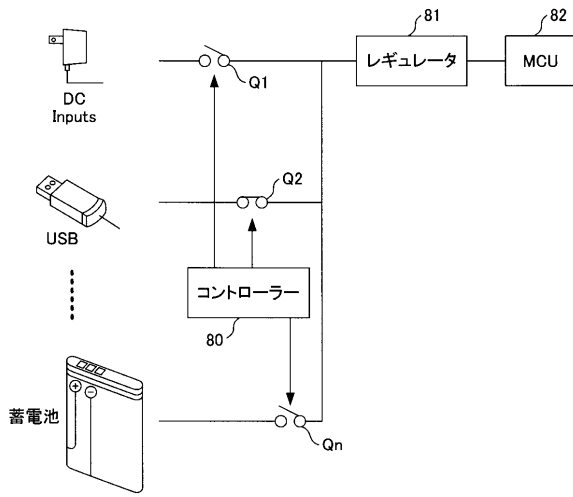
【 図 7 】

図7



【 図 8 】

図8



---

フロントページの続き

Fターム(参考) 5J055 AX12 AX59 BX16 CX07 DX14 DX22 EX07 EX21 EY01 EY10  
EY21 EZ25 EZ31 FX05 FX09 FX13 FX17 FX21 FX35 GX01