



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년07월19일  
 (11) 등록번호 10-1755207  
 (24) 등록일자 2017년07월03일

- (51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01) H01L 21/20 (2006.01)  
 H05K 3/00 (2006.01)
- (21) 출원번호 10-2010-7022284
- (22) 출원일자(국제) 2009년03월05일  
 심사청구일자 2014년03월05일
- (85) 번역문제출일자 2010년10월05일
- (65) 공개번호 10-2010-0123755
- (43) 공개일자 2010년11월24일
- (86) 국제출원번호 PCT/US2009/036192
- (87) 국제공개번호 WO 2009/111641  
 국제공개일자 2009년09월11일
- (30) 우선권주장  
 61/033,886 2008년03월05일 미국(US)  
 (뒷면에 계속)
- (56) 선행기술조사문헌  
 KR1020060097724 A  
 US20060169989 A1  
 US20060286785 A1  
 WO2005033787 A1

- (73) 특허권자  
 더 보드 오브 트러스티즈 오브 더 유니버시티 오브 일리노이  
 미국 일리노이주 61801 어바나 에스. 라이트 506  
 헨리 어드미니스트레이션 빌딩 352  
 노오쓰웨스턴 유니버시티  
 미국 일리노이 60208 에반스톤클라크 스트리트 633
- (72) 발명자  
 로저스, 존, 에이.  
 미국, 일리노이주 61822, 샴페인, 발리브룩 2803  
 후양, 용강  
 미국, 일리노이주 60022, 글렌코, 스트로베리 힐  
 드라이브 758  
 (뒷면에 계속)
- (74) 대리인  
 이원희

전체 청구항 수 : 총 64 항

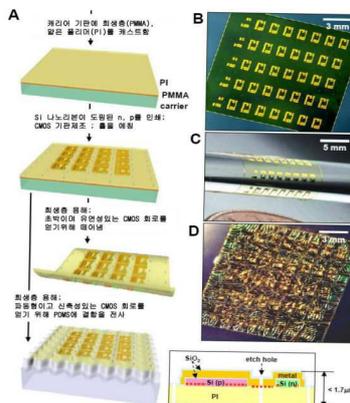
심사관 : 조성찬

**(54) 발명의 명칭** **펴고 접을 수 있는 전자장치**

**(57) 요약**

본 발명은 펴고 접을 수 있으며, 선택적으로 인쇄할 수 있는 장치를 제조하는 방법 및 반도체, 전자회로 및 늘어나고, 압축되고, 구부리거나 변형될 때 우수한 성능을 제공할 수 있는 구성 요소들과 같은 장치를 제조하는 방법을 제공한다. 변형 분리층은 기능층에 우수한 변형 분리를 제공한다. 다층 장치는 변형으로 유도된 파괴에 민감한 재료를 포함하는 기능층에 중립 기계적 표면을 일치시키거나 인접하게 위치시켜 제조된다. 중립 기계적 표면은 다층 장치의 다층 중 어느 하나를 패던하는 것과 같이 공간적으로 비균일한 특성을 가진 하나 또는 둘 이상의 층에 위치하게 된다.

**대표도** - 도1



(72) 발명자

**고홍조**

미국, 일리노이주 61801, 어바나, #515, 고드윈 에비뉴., 300 에스.

**스토이코비치, 마크**

미국, 엔에이치 03820-4321 도버, 웨스트우드 사이클 35

**최원목**

미국, 일리노이주 61820, 샴페인, #8, 히드로 드라이브 2403

**송, 지조우**

미국, 일리노이주 60202, 에반스톤 에이퍼터. 201, 워싱턴 스트리트 725

**안중현**

경기도 수원시 장안구 서부로 2066 (천천동)

**김대형**

미국, 일리노이주 61822, 샴페인, #14, 베이타운 드라이브 1025

(30) 우선권주장

61/061,978 2008년06월16일 미국(US)

61/084,045 2008년07월28일 미국(US)

**명세서**

**청구범위**

**청구항 1**

펴고 접을 수 있는 전자 장치를 만드는 방법에 있어서, 상기 방법은

제1 영률보다 작은 제2 영률을 가진 분리층을 구비하고 제1 영률을 가진 수용 기관의 적어도 일부분을 코팅하는 단계;

지지 기관 상에 전자 장치를 제공하되, 상기 전자 장치는 적어도 하나의 장치 아일랜드(device island)와 상기 장치 아일랜드에 연결되는 적어도 하나의 필수 있는 상호접속부를 포함하는 단계;

상기 전자 장치를 상기 지지 기관으로부터 상기 분리층의 수용 표면으로 전사하되, 상기 적어도 하나의 장치 아일랜드의 적어도 일부분은 상기 분리층과 물리적으로 접촉(physical communication)하고, 상기 필수 있는 상호접속부의 적어도 일부분은 상기 분리층과 물리적으로 접촉하지 않도록 하고, 봉지층에 상기 전사된 전자 장치의 적어도 일부분을 캡슐화하는 단계;를 포함하며,

상기 분리층은 적용된 변형(applied strain)으로부터 상기 전사된 전자 장치의 적어도 일정 부분을 격리시키고, 중립 기계 표면(neutral mechanical surface)은 상기 전자 장치와 동일한 위치 또는 근처에 위치되는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 2**

청구항 1에 있어서,

상기 수용 기관은 폴리머, 엘라스토머, 세라믹, 금속, 유리, 반도체, 무기 폴리머, 및 유기 폴리머로 구성되는 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 3**

청구항 1에 있어서,

상기 수용 기관은 직물, 비닐, 라텍스, 스판덱스, 가죽 및 종이로 구성되는 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 4**

청구항 1에 있어서,

상기 분리층은 상기 분리층이 없는 장치와 비교할 때 적어도 20% 이상의 변형 격리를 제공하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 5**

청구항 1에 있어서,

상기 제2 영률에 대한 상기 제1 영률의 비율은 10보다 크거나 같은 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 6**

청구항 1에 있어서,

상기 전자 장치는 다수의 필수 있는 상호접속부를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 7**

청구항 6에 있어서,

상기 펼 수 있는 상호접속부의 적어도 일정 부분은 휘어진 형상을 가지는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 8**

청구항 1에 있어서,

상기 분리층은 고분자를 포함하고, 상기 고분자는 적어도 부분적으로는 상기 수용 기관을 관통하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 9**

청구항 8에 있어서,

상기 수용 기관은 섬유를 포함하고, 상기 섬유의 적어도 일정 부분은 상기 분리층에 내장되는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 10**

청구항 1에 있어서,

상기 수용 기관은 상기 분리층과 상기 수용 기관 사이의 접촉 영역을 증가시키기 위한 표면 조직(surface texture)을 가지는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 11**

청구항 1에 있어서,

상기 봉지층의 영률은 상기 제2 영률 이하인 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 12**

청구항 11에 있어서,

상기 봉지층은 불균일한 영률을 가지는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 13**

제1 영률을 가진 수용 기관;

상기 수용 기관의 한 표면을 적어도 부분적으로 코팅하고, 상기 제1 영률 이하인 제2 영률을 가지는 분리층;

상기 분리층에 의해 적어도 부분적으로 지지되는 전자 장치를 포함하며,

상기 전자 장치는,

적어도 하나의 장치 아일랜드와, 상기 적어도 하나의 장치 아일랜드에 연결되는 적어도 하나의 펼 수 있는 상호 접속부를 포함하되, 상기 적어도 하나의 장치 아일랜드의 적어도 일부는 상기 분리층과 물리적으로 접촉(physical communication)하고, 상기 펼 수 있는 상호접속부의 적어도 일부는 상기 분리층과 물리적으로 접촉하지 않으며, 상기 전자 장치의 적어도 일부분을 캡슐화하는 봉지층을 포함하고, 중립 기계 표면은 상기 전자 장치와 동일한 위치 또는 근처에 위치되는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 14**

청구항 13에 있어서,

상기 전자 장치는 상기 분리층에 접촉되는 접촉 영역을 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 15**

청구항 13에 있어서,

상기 전자 장치는 인접한 접촉 영역에 연결되는 비접촉 영역을 포함하고, 상기 비접촉 영역은 상기 적어도 하나의 펠 수 있는 상호접속부를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 16**

청구항 13에 있어서,

상기 봉지층의 영률은 상기 제2 영률 이하인 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 17**

청구항 16에 있어서,

상기 봉지층은 불균일한 영률을 가지는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 18**

펴고 접을 수 있는 전자 장치를 만드는 방법에 있어서, 상기 방법은

기관 층, 기능 층 및 하나 이상의 중립 기계 표면 조절 층(neutral mechanical surface adjusting layers)을 포함하는 다층 장치를 공급하되, 상기 기능 층은 상기 기관 층에 의해 지지되고, 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 상기 기능층 위에 배치되는 단계를 포함하고,

상기 다층 장치의 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 상기 다층 장치에서의 위치에 대해 공간적으로 불균일한 특성을 가지며,

상기 공간적으로 불균일한 특성은 상기 기능 층과 동일한 위치 또는 근처의 공간적으로 변화하는(spatially varying) 중립 기계 표면에 위치하고,

상기 공간적으로 불균일한 특성에서의 공간적인 변화는, 상기 기능 층에 비례하여, 상기 공간적으로 변화하는 중립 기계 표면이 상기 다층 장치의 다른 공간 영역에 있는 상기 다층 장치의 상면과 다른 거리에 위치되도록 하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 19**

청구항 18에 있어서,

상기 다층 장치에서 하나 이상의 경질 영역 및 상기 장치에서 하나 이상의 펴고 접을 수 있는 영역을 공급하기 위해 상기 공간적으로 불균일한 특성을 가진 하나 이상의 중립 기계 표면 조절 층에서 공간적으로 불균일한 특성의 패턴을 생성하는 단계를 더 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 20**

청구항 18에 있어서,

상기 공간적으로 불균일한 특성은,

어느 한 층의 공간적으로 변화하는 공극률(porosity);

어느 한 층의 교차결합(crosslinking)에 대한 공간적으로 변화하는 크기;

어느 한 층의 공간적으로 변화하는 영률;

공간적으로 변화하는 부가 층의 증착;

움푹들어간 부분의 공간적으로 변화하는 배치;

로부터 선택되는 어느 하나 이상인 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 21**

청구항 18에 있어서,

상기 다층 장치의 어느 하나의 층을 측면 패터닝하는 과정을 더 포함하는 것을 특징으로 하는 펴고 접을 수 있

는 전자 장치를 만드는 방법.

**청구항 22**

청구항 21에 있어서,

상기 측면 패터닝 과정은 얇은 필름 또는 부가 층을 포함하는 하나 이상의 중립 기계 표면 조절 층으로 상기 기관 층을 패터닝하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 23**

청구항 21에 있어서,

상기 측면 패터닝 과정은 하나 이상의 봉지층을 포함하는 하나 이상의 중립 기계 표면 조절 층으로 상기 기관 층을 패터닝하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 24**

청구항 21에 있어서,

상기 측면 패터닝 과정은 하나 이상의 움푹들어간 부분으로 상기 기관 층을 패터닝하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 25**

청구항 24에 있어서,

상기 하나 이상의 움푹들어간 부분은 에칭 홀인 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 26**

청구항 21에 있어서,

상기 다층 장치의 각 층은 기설정된 두께를 가지고, 상기 측면 패터닝 과정은 상기 기관 층 두께 또는 상기 하나 이상의 중립 기계 표면 조절 층의 두께를 선택적으로 변화시키는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 27**

청구항 21에 있어서,

상기 측면 패터닝 과정은 상기 기관 층 또는 상기 하나 이상의 중립 기계 표면 표면 조절 층의 기계적 특성을 조절하고,

상기 기계적 특성은 공극률, 교차결합도 및 영률로 구성되는 군으로부터 선택되는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 28**

청구항 18에 있어서,

상기 하나 이상의 중립 기계 표면 조절 층은 하나 이상의 봉지층을 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 29**

청구항 28에 있어서,

상기 하나 이상의 봉지층은 측면 방향에서 선택적으로 변화하는 소정의 두께를 가지는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 30**

청구항 18에 있어서,

상기 기능 층은 팝-업 상호접속부를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 31**

삭제

**청구항 32**

휘어진 표면을 가지는 전자 장치를 만드는 방법에 있어서, 상기 방법은,

기판 층, 기능 층 및 하나 이상의 중립 기계 표면 조절 층을 포함하는 다층 장치를 제공하되, 상기 기능 층은 상기 기판 층에 의해 지지되고,

적어도 하나의 상기 하나 이상의 중립 기계 표면 조절 층은 상기 기능 층 위에 배치되고, 상기 다층 장치의 적어도 하나의 상기 하나 이상의 중립 기계 표면 조절 층은 상기 다층 장치에서의 위치에 대해 공간적으로 불균일한 특성을 가지며,

상기 공간적으로 불균일한 특성은 공간적으로 변화하는 중립 기계 표면을 상기 기능 층과 동일한 위치 또는 근접한 위치에 위치시키며,

상기 공간적으로 불균일한 특성에서의 공간적인 변화는, 상기 기능 층에 비례하여, 상기 공간적으로 변화하는 중립 기계 표면이 상기 다층 장치의 다른 공간 영역에 있는 상기 다층 장치의 상면과 다른 거리에 위치되도록 하여 제공하는 단계;

곡선 표면을 제공하는 단계; 및

상기 곡선 표면을 상기 다층 장치로 등각으로 싸는 단계를 포함하는 것을 특징으로 하는 휘어진 표면을 가지는 전자 장치를 만드는 방법.

**청구항 33**

삭제

**청구항 34**

삭제

**청구항 35**

삭제

**청구항 36**

삭제

**청구항 37**

삭제

**청구항 38**

삭제

**청구항 39**

삭제

**청구항 40**

삭제

**청구항 41**

펴고 접을 수 있는 전자 장치에 있어서, 상기 전자 장치는,

기관 층;

기능 층;

하나 이상의 중립 기계 표면 조절 층을 포함하고,

상기 중립 기계 표면 조절 층 중 적어도 하나 이상은 상기 전자 장치에서의 위치에 비례하여 공간적으로 불균일한 특성을 가지고,

공간적으로 변화하는 중립 기계 표면은 상기 공간적으로 불균일한 특성을 기반으로 상기 기능 층과 일치하는 위치 또는 그 근처의 위치에 위치되며,

상기 공간적으로 불균일한 특성에서의 공간적인 변화를 기반으로, 상기 공간적으로 변화하는 중립 기계 표면은, 상기 기능 층에 비례하여, 상기 전자 장치의 다른 공간 영역에 있는 상기 전자 장치의 상면과 다른 거리에 위치 되도록 하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 42**

청구항 41에 있어서,

상기 불균일한 특성은 하나 이상의 기계적으로 경질인 아일랜드 영역들 사이에 배치된 하나 이상의 유연하거나 신축성 있는 장치를 제공하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 43**

청구항 41에 있어서,

상기 기능 층은 나노리본의 배열을 포함하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 44**

청구항 43에 있어서,

상기 나노리본은 휘어지고, 제1 경질 아일랜드 영역과 연결된 제1 말단 및 제2 경질 아일랜드 영역과 연결된 제2 말단을 가지는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 45**

청구항 1에 있어서,

상기 분리층, 상기 적어도 하나의 펼 수 있는 상호접속부 및 상기 봉지층은, 상기 전자 장치와 일치하는 위치 또는 그 근처에 위치한 중립 기계 표면에 위치되는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 만드는 방법.

**청구항 46**

청구항 13에 있어서,

상기 분리층, 상기 적어도 하나의 펼 수 있는 상호접속부 및 상기 봉지층은, 상기 전자 장치와 일치하는 위치 또는 그 근처에 위치한 중립 기계 표면에 위치되는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치.

**청구항 47**

펴고 접을 수 있는 다층 전자 장치로서,

기관;

상기 기관의 일부분 위에 배치된 분리층;

적어도 하나의 장치 아일랜드와, 상기 적어도 하나의 장치 아일랜드와 연결되는 적어도 하나의 펼 수 있는 상호 접속부를 포함하며, 상기 장치 아일랜드의 적어도 일부는 상기 분리층과 물리적으로 접촉(physical communication)하고, 상기 펼 수 있는 상호접속부의 적어도 일부는 상기 분리층과 물리적으로 접촉하지 않는 기능 층;

하나 이상의 중립 기계 표면 조절 층; 및,

상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 상기 기능 층 위에 배치되고, 상기 다층 전자 장치의 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 상기 다층 전자 장치의 위치에 비례하여 공간적으로 불균일한 특성을 가지는 상기 적어도 하나의 장치 아일랜드 위에 배치되는 하나 이상의 봉지층을 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 48**

청구항 47에 있어서,

상기 공간적으로 불균일한 특성, 상기 분리층, 상기 적어도 하나의 펼 수 있는 상호접속부, 및 상기 하나 이상의 봉지층은 상기 기능 층에 일치하는 위치 또는 그 근처에 위치한 공간적으로 변화하는 중립 기계 표면에 위치되는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 49**

청구항 48에 있어서,

상기 공간적으로 불균일한 특성에서의 공간적인 변화는, 상기 기능 층에 비례하여, 상기 공간적으로 변화하는 중립 기계 표면이 상기 다층 전자 장치의 다른 공간 영역에 있는 상기 다층 전자 장치의 상면과 다른 거리에 위치되도록 하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 50**

청구항 47에 있어서,

상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나의 공간적인 불균일한 특성은,

공간적으로 변화하는 공극률(porosity);

교차결합(crosslinking)에 대한 공간적으로 변화하는 크기;

공간적으로 변화하는 영률;

공간적으로 변화하는 부가 층의 증착;

움푹들어간 부분(recess features)의 공간적으로 변화하는 배치;

로부터 선택되는 어느 하나 이상인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 51**

청구항 50에 있어서,

상기 움푹들어간 부분은 시각 홀인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 52**

청구항 47에 있어서,

상기 기관 또는 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 측면 패턴으로 형성되는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 53**

청구항 52에 있어서,

상기 다층 전자 장치의 각 층은 기설정된 두께를 가지며, 상기 측면 패턴은 상기 기관 층의 선택적으로 변화된

두께 또는 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나에 대해 선택적으로 변화된 두께를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 54**

청구항 52에 있어서,

상기 측면 패턴은 상기 기관의 기계적 특성에 대한 변조(modulation) 또는 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나에 대한 변조를 포함하며, 상기 기계적 특성은 공극률, 교차결합의 크기, 영률로 구성되는 그룹에서 선택되는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 55**

청구항 47에 있어서,

상기 하나 이상의 봉지층은 측면 방향에서 선택적으로 변화하는 두께를 가진 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 56**

청구항 47에 있어서,

상기 기관은 폴리머, 반도체 물질, 세라믹, 유리, 금속, 섬유, 비닐 물질, 가죽, 라텍스, 스판덱스, 또는 종이 를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 57**

청구항 47에 있어서,

상기 적어도 하나의 펼 수 있는 상호접속부는, 팝-업 상호접속부, 휘어진 상호접속부, 구불구불한(serpentine) 상호접속부, 또는 물결 모양의(wavy) 상호 접속부인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 58**

청구항 57에 있어서,

상기 적어도 하나의 펼 수 있는 상호접속부는, 전기 전도성의 펼 수 있는 상호접속부 또는 전기 비전도성의 펼 수 있는 상호접속부인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 59**

청구항 47에 있어서,

상기 적어도 하나의 장치 아일랜드는 전자 장치, 광학 장치, 기계 장치, 또는 열 장치를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 60**

청구항 47에 있어서,

상기 적어도 하나의 장치 아일랜드 중 하나 이상은,

포토 다이오드, 발광 소자, 박막 트랜지스터, 전극, 반도체 소자, IC 회로, 접착 패드, 회로 소자, 마이크로 프로세서, 트랜스듀서, 바이오 센서, 화학 센서, 온도 센서, 광 센서, 방사능 센서, 태양 전지, 태양광 어레이, 또는 이들의 조합으로 구성된 그룹으로부터 선택된 장치 요소를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 61**

청구항 47에 있어서,

상기 기능 층은 수동 전자 소자 또는 능동 전자 소자를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 62**

펴고 접을 수 있는 다층 전자 장치로서,

기관 층;

기능 층; 및,

하나 이상의 중립 기계 표면 조절 층을 포함하며,

상기 기능 층은 상기 기관 층에 의해 지지되고,

상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 상기 기능 층 위에 배치되고,

상기 다층 전자 장치의 상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나는 상기 다층 전자 장치의 위치에 비례하여 공간적으로 불균일한 특성을 가지며,

공간적으로 변화하는 중립 기계 표면은 상기 공간적으로 불균일한 특성을 기반으로 상기 기능 층의 위치와 일치하는 위치 또는 근처의 위치로 위치되고,

상기 공간적으로 불균일한 특성에서의 공간적인 변화를 기반으로, 상기 공간적으로 변화하는 중립 기계 표면은, 상기 기능 층에 비례하여, 상기 다층 전자 장치의 다른 공간 영역에 있는 상기 다층 전자 장치의 상면과 다른 거리에 위치되는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 63**

청구항 62에 있어서,

상기 하나 이상의 중립 기계 표면 조절 층의 적어도 하나의 공간적인 불균일한 특성은,

공간적으로 변화하는 공극률(porosity);

교차결합(crosslinking)에 대한 공간적으로 변화하는 크기;

공간적으로 변화하는 영률;

공간적으로 변화하는 부가 층의 증착;

움푹들어간 부분(recess features)의 공간적으로 변화하는 배치;

로부터 선택되는 어느 하나 이상인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 64**

청구항 63에 있어서,

상기 움푹들어간 부분은 식각 홀인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 65**

청구항 62에 있어서,

상기 하나 이상의 중립 기계 표면 조절 층은 박막 또는 부가 층을 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 66**

청구항 62에 있어서,

상기 하나 이상의 중립 기계 표면 조절 층은 하나 이상의 봉지층을 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 67**

청구항 62에 있어서,

상기 기능 층은 적어도 하나의 장치 아일랜드 및 적어도 하나의 펼 수 있는 상호접속부를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 68**

청구항 67에 있어서,

상기 적어도 하나의 펼 수 있는 상호접속부는, 팝-업 상호접속부, 휘어진 상호접속부, 구불구불한(serpentine) 상호접속부, 또는 물결 모양의(wavy) 상호 접속부인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 69**

청구항 68에 있어서,

상기 적어도 하나의 펼 수 있는 상호접속부는, 전기 전도성의 펼 수 있는 상호접속부 또는 전기 비전도성의 펼 수 있는 상호접속부인 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 70**

청구항 67에 있어서,

상기 적어도 하나의 장치 아일랜드는 전자 장치, 광학 장치, 기계 장치, 또는 열 장치를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 71**

청구항 67에 있어서,

상기 적어도 하나의 장치 아일랜드 중 하나 이상은,

포토 다이오드, 발광 소자, 박막 트랜지스터, 전극, 반도체 소자, IC 회로, 접촉 패드, 회로 소자, 마이크로 프로세서, 트랜스듀서, 바이오 센서, 화학 센서, 온도 센서, 광 센서, 방사능 센서, 태양 전지, 태양광 어레이, 또는 이들의 조합으로 구성된 그룹으로부터 선택된 장치 요소를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 72**

청구항 62에 있어서,

상기 기능 층은 수동 전자 소자 또는 능동 전자 소자를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**청구항 73**

청구항 62에 있어서,

상기 기판은 폴리머, 반도체 물질, 세라믹, 유리, 금속, 섬유, 비닐 물질, 가죽, 라텍스, 스판덱스, 또는 종이를 포함하는 것을 특징으로 하는 펴고 접을 수 있는 다층 전자 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 펴고 접을 수 있는 전자장치에 관한 것이다.

**배경 기술**

[0002] 본 발명은 2008년 3월 5일에 출원된 미국출원특허 제61/033,886호, 2008년 6월 16일에 출원된 미국출원특허 제61/061,978호 및 2008년 7월 28일에 출원된 미국출원특허 제61/084,045호를 우선권으로 하고 있으며, 상기 각각

은 본 발명과 일치하는 내용이 참조문헌에 의해 포함될 수 있다.

- [0003] 본 발명은 미국국립과학재단에 의해 수여된 DMI-0328162와 ECCS-0824129 및 미국에너지국에 의해 수여된 DEFG02-91ER45439, DEFG02-07ER46471 및 DEFG02-07ER46453하에 미국정부의 지원으로 만들어졌다. 미국정부는 본 발명에 대한 특정 권리를 가진다.
- [0004] 1994년도에 폴리머 트랜지스터가 입증된 이후로, 플라스틱 기관 위에 자유자재로 증착된 전자 장치들을 포함하는 전자 시스템의 잠재적인 새로운 영역으로 많은 관심을 받게 되었다(Garnier, F., Hajlaoui, R., Yassar, A. and Srivastava, P., Science, Vol. 265, pgs 1684-1686). 최근에는, 플렉서블 플라스틱 전자 장치들에 전도체, 유전체 및 반도체를 위한 공정가능한 새로운 물질들을 개발하는 방향으로 많은 연구들이 이루어지고 있다. 그러나, 플렉서블 전자장치 분야에서 발전은 공정가능한 새로운 물질들의 발견뿐만 아니라, 새로운 장치 부품 기하학적 구조, 효율적인 장치 및 새로운 요소 공정방법과 플렉서블 전자 시스템에 적용가능한 고해상도 패터닝 기술을 유도한다. 재료들, 장치 배치 및 제조 방법은 새로운 분야로 급격하게 부상하는 유연하게 증착된 전자 장치, 시스템 및 회로들에 중요한 역할을 할 것이다.
- [0005] 플렉서블 전자장치 분야에 대한 관심은 이러한 기술에 의해 제공되는 여러가지 중요한 이점들에 의해 발생한다. 예를 들어, 상기 기관 물질들의 고유한 유연성은 종래 깨지기 쉬운 실리콘 기반의 전자 장치들에는 가능하지 않은 사용가능한 수많은 장치 배열을 위해 제공되는 다양한 모양들로 증착되게 한다. 또한, 공정가능한 구성 재료들과 유연한 기관들의 조합으로 연속적으로 제조 가능하고, 고속으로 제조할 수 있으며, 적은 비용으로 큰 기관 영역에 전자 장치들을 제조할 수 있는 인쇄 기술로 제조 가능하다.
- [0006] 그러나, 우수한 전기적 성능을 나타내는 플렉서블 전기적 장치들의 고안과 제조는 수많은 중요한 도전들을 선사한다. 첫번째로, 종래 실리콘 기반의 전기 장치들을 만드는 잘 발달된 방법들은 대부분의 플렉서블 물질들과 함께 사용할 수 없다. 예를 들어, 단결정 실리콘 또는 게르마늄 반도체들과 같은 전통적인 고품질 무기물 반도체 물질들은 대부분의 플라스틱 기관들의 녹는점 또는 분해온도를 크게 초과하는 온도(> 1000 섭씨온도)에서 박막을 성장시켜 처리된다. 또한, 대부분의 무기물 반도체는 용액 기반의 공정과 이동이 가능한 종래의 용매들에서는 본질적으로 용해되지 않는다. 두번째로, 비정질 실리콘, 유기물 또는 유기물-무기물 혼합 반도체들은 플렉서블 기관들과 혼합하여 사용할 수 있고, 비교적 낮은 온도에서 처리할 수 있으나, 이러한 물질들은 우수한 전기적 성능을 가지는 통합된 전기 장치들이 제공할 수 있는 전기적 특성들을 가지고 있지 않다. 예를 들어, 상기 물질들과 만들어지는 반도체 성분들을 가지는 박막 트랜지스터는 상호보완적 단결정 실리콘 기반 장치들보다 약 3배 적은 전계 효과 이동도를 나타낸다. 이러한 결점 때문에, 플렉서블 전기 장치들은 수광형 픽셀(non-emissive pixel)을 가진 액티브 매트릭스 플랫 패널 디스플레이(active matrix flat pannel displays)를 위한 스위치 요소와 발광 다이오드(light emitting diodes)에 사용되는 것처럼 높은 성능이 필요하지 않은 특정한 장치들에 제한된다.
- [0007] 플렉서블 전기 회로망은 플렉서블 디스플레이, 전기 직물과 전기 스킨과 같은 임의적 형태의 전기-활성 표면을 포함하는 다양한 분야에 있어서 연구가 활발히 진행되고 있다. 이러한 회로들은 형태 변화에 대응하여 전도성 물질들을 늘릴 수 없기 때문에 주위여건들에 충분하게 반응하지 않는다. 따라서, 플렉서블 회로는 변형과 완화를 통한 사이클링동안 손상되지 않고 남아있는 펴고 접을 수 있는 연결체(interconnects)가 필요하다.
- [0008]
- [0009] 구부림(bending)과 탄성력(elasticity)이 있는 전도체들은 일반적으로 실리콘과 같은 탄성중합체에 금속 입자들을 주입하여 만들어진다. 전도성 고무들은 기계적으로 탄성적이고 전기적으로 전도성이 있다. 전도성 고무의 결점은 늘어나는 동안 높은 전기 저항력과 큰 저항 변화를 나타내며, 이에 의해 전체적으로 낮은 연결성과 안정성이 나타난다.
- [0010] 그레이 외 등은 전도성을 유지하는 동안 54%까지 선형 변형이 가능한 실리콘 탄성 중합체로 피복된 구불구불한 미세 와이어를 사용하여 탄성중합 전기장치를 제조하는 방법을 개시하였다. 상기 연구에서 와이어는 나선형 스프링 모양을 형성한다. 낮은 변형(예를 들어, 2.4%)에서 파괴되는 직선형 와이어와는 대조적으로 상당히 높은

변형(예를 들어 27.2%)에서도 구불구불한 와이어는 전도성이 남아있다. 이러한 와이어의 기하학적 구조는 늘림 보다는 구부러짐에 의해 늘어나는 와이어의 능력에 좌우된다. 이러한 시스템은 다른 모양과 추가되는 평면에서 조절가능하고 간단하게 패터닝하는 방법에서 제한이 있으며, 이에 의해 상이한 변형과 구부러짐 체제에 조절하는 시스템 능력이 제한된다.

[0011]

[0012] 탄성적으로 늘어나는 금속 연결체는 기계적 변형에 따른 저항 증가가 나타난다는 연구결과가 있다(Mandlik et al. 2006). 만드릭 외 등은 피라미드형으로 나노 패터닝된 표면에 금속 필름을 증착하여 저항 변화를 최소화하는 연구를 진행하였다. 그러나, 이러한 연구는 얇은 금속선에 늘어나는 성질(stretchability)을 부여하는 미세 균열을 발생시키는 완화 특성(relief feature)에 좌우된다. 미세균열은 면 밖 비틀(twisting)과 변형(deformation)에 의해 금속 탄성 변형을 가능하게 한다. 그러나, 이러한 금속 균열들은 두꺼운 금속 필름들에 사용가능하지 않고, 대신에 패터닝된 탄성 중합체의 상부에 증착된 다소 좁은 범위의 얇은 금속 박막(예를 들어, 30 nm 보다 작은 크기)에 사용 가능하다.

[0013]

금속 연결체에 늘어나는 성질을 부여하기 위한 한가지 방법은 전도체(예를 들어, 금속) 적용 동안 기판을 선변형(예를 들어, 15%-25%)시키고, 선변형을 동시에 완화시킴으로써 금속 전도성 연결체에 굴곡(waviness)을 유발한다(예를 들어, Lacour et al. (2003); (2005); (2004), Jones et al. (2004); Huck et al. (2000); Bowden et al. (1998)). 라콜 외등은 2003년에 동시에 주름진 금 스트라이프(stripe)를 발생시키기 위해 금 스트라이프를 압축하는 방법을 발표하였으며, 전기적 연속성(electrical continuity)은 22%의 변형까지 유지된다(고무 기판의 금 필름 파괴 변형률의 몇 퍼센트). 그러나, 상기 연구물은 비교적 금속 필름(예를 들어, 약 105 nm)의 얇은 층에 사용되고, 잠재적으로, 약 10% 늘릴 수 있는 전기적 전도체를 만드는 시스템에 상대적으로 제한된다.

[0014]

앞서 말한 바와 같이, 향상된 늘림성(stretchability)과 전기적인 특성 및 다양한 다른 모양에서 늘어나는 연결체를 빠르고 안정적으로 제조할 수 있는 관련공정을 가지고 연결체와 다른 전기적 구성 성분들과 같은 전기 장치를 개발하는 방법이 필요한 실정이다. 플렉서블 전기장치 분야에서의 진보는 수많은 중요한 기술의 탄생과 설립된 기술에 중요한 역할을 할 것으로 기대된다. 그러나, 플렉서블 전기장치 기술의 적용은 새로운 물질의 끊임 없는 개발과 장치 형태 및 집적 전기회로와 굽고 변형되며 구부러지는 형태에서 우수한 전기적, 기계적, 광학적 특성을 나타내는 장치들을 제조하는 상업적으로 실현가능한 제조 방법에 좌우될 것이다. 특히, 높은 구동력, 기계적으로 늘어나는 재료 및 장치 모양은 접힘, 늘림 및/또는 수축된 형태에서 유용한 전기적 기계적 특성들을 나타내는 것이 필요하다.

## 발명의 내용

### 해결하려는 과제

[0015]

본 발명은 펴고 접을 수 있는 전자 장치의 제조방법을 제공하는 데 있다.

[0016]

또한, 본 발명은 펴고 접을 수 있는 전자 장치를 제공하는 데 있다.

[0017]

또한, 본 발명은 휘어진 표면을 가지는 전자 장치의 제조방법을 제공하는 데 있다.

[0018]

또한, 본 발명은 접을 수 있는 전자 장치의 제조방법을 제공하는 데 있다.

[0019]

또한, 본 발명은 표면상에 전자 장치의 배열을 패터닝하는 방법을 제공하는 데 있다.

[0020]

또한, 본 발명은 휘어진 표면으로 평면 전자 장치를 프린팅하는 방법을 제공하는 데 있다.

[0021]

또한, 본 발명은 스탬프를 평평하게 하기 위해 곡선 탄성 스탬프에 외력을 가하는 장치를 제공하는 데 있다.

[0022]

나아가, 본 발명은 펴고 접을 수 있는 전자 장치를 제공하는 데 있다.

**과제의 해결 수단**

- [0023] 상기 목적을 달성하기 위해 본 발명은 펴고 접을 수 있는 전자 장치의 제조방법에 있어서, 상기 방법은 a. 제2 영물을 가지고 수용표면을 가지는 분리층을 포함하는 제1 영물을 가진 수용 기관을 코팅하는 단계(이때 상기 제2 영물은 상기 제1 영물 보다 작다); b. 지지 기관 상에 인쇄가능한 전자 장치를 제공하는 단계; c. 상기 인쇄 가능한 전자 장치를 상기 지지 기관으로부터 상기 분리층 수용 표면으로 전사하는 단계를 포함하되, 상기 분리층은 적용된 변형로부터 상기 전송된 전자 장치의 적어도 일정 부분을 격리시키는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치의 제조방법을 제공한다.
- [0024] 또한, 본 발명은 a 수용 기관; b 적어도 상기 수용 기관의 한 표면을 부분적으로 코팅하고, 상기 수용 기관의 영물 이하인 영물을 가지는 분리층; c 상기 분리층에 의해 적어도 부분적으로 지지되는 전자 장치; 를 포함하되, 상기 분리층은 상기 분리층이 없는 장치와 비교할 때 상기 장치가 펴지거나 접혀질 때 적어도 20% 이상의 변형 격리를 제공할 수 있는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 제공한다.
- [0025] 또한, 본 발명은 펴고 접을 수 있는 전자 장치를 만드는 방법에 있어서, 상기 방법은 a. 기관 층, 기능 층 및 하나 이상의 중립 기계 표면 조절 층을 포함하는 다층 장치를 공급하는 단계를 포함하고, 상기 기능 층은 기관 층에 의해 지지되고, 상기 다층 중 적어도 하나의 층은 공간적으로 불균일한 특성을 가지며, 상기 공간적으로 불균일한 특성은 동시에 같은 공간에서 또는 근처에서 중립 기계 표면을 기능 층으로 위치시키는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치의 제조방법을 제공한다.
- [0026] 또한, 본 발명은 휘어진 표면을 가지는 전자 장치의 제조방법에 있어서, 상기 방법은 a. 기관 층, 기능 층 및 하나 이상의 중립 기계 표면 조절 층을 포함하는 다층 장치를 제공하되, 상기 기능 층은 상기 기관 층에 의해 지지되고, 상기 다층 중 적어도 하나의 층은 공간적으로 불균일한 특성을 가지며, 상기 공간적으로 불균일한 특성은 동시에 같은 공간 또는 근처에 있는 중립 기계 표면을 기능 층으로 위치시키는 단계; b. 곡선 표면을 제공하는 단계; 및 c. 상기 곡선 표면을 상기 다층 장치로 등각으로 싸는 단계를 포함하는 것을 특징으로 하는 휘어진 표면을 가지는 전자 장치의 제조방법을 제공한다.
- [0027] 또한, 본 발명은 접을 수 있는 전자 장치를 만드는 방법에 있어서, 상기 방법은 a. 캐리어 층 표면을 제공하는 단계; b. 상기 캐리어 층 표면의 적어도 일정 부분을 희생 층으로 코팅하는 단계; c. 상기 희생 층에 기관 층을 부착하되, 상기 기관 층은 상기 전자 장치의 적어도 일정 구성요소를 지지하는 단계; d. 상기 기관 층을 통하여 다수의 희생 층 접근 구멍을 패터닝하는 단계; 및 e. 상기 접근 구멍을 통하여 상기 희생 층으로 희생-제거 물질을 유입하는 것에 의해 상기 캐리어 층 표면으로부터 상기 기관 층을 박리하는 단계를 포함하는 것을 특징으로 하는 접을 수 있는 전자 장치의 제조방법을 제공한다.
- [0028] 또한, 본 발명은 표면 상에 전자 장치의 배열을 패터닝하는 방법에 있어서, 상기 방법은 a. 지지 기관 표면에 기능 층을 제공하되, 상기 기능 층은 전자 장치의 배열을 포함하는 단계; b. 상기 기능 층에서 하나 이상의 접근 구멍을 에칭하는 단계; c. 상기 기능 층 및 접근 구멍에 대하여 고분자 물질을 주형화하되, 상기 접근 구멍에서 상기 주형 고분자는 상기 지지 기관 표면으로부터 상기 배열은 높은 신뢰성을 가지고 리프트-오프되는 앵커를 생성하는 단계; d. 탄성 스탬프를 상기 고분자 물질과 접촉하는 단계; 및 e. 상기 기관으로부터 상기 고분자 물질을 제거하기 위해 상기 지지 기관으로부터의 방향에서 상기 탄성 스탬프를 제거하여 상기 지지 기관으로부터 상기 고분자 물질로 고정된 상기 배열을 제거되는 단계를 포함하는 것을 특징으로 하는 표면 상에 전자 장치의 배열을 패터닝하는 방법을 제공한다.
- [0029] 또한, 본 발명은 휘어진 표면으로 평면 전자 장치를 프린팅하는 방법에 있어서, 상기 방법은, a. 실질적으로 평면인 기관 표면 상에 장치를 제공하는 단계; b. 곡선 형상을 가지는 탄성 스탬프를 제공하는 단계; c. 상기 탄성 스탬프를 변형시키되, 상기 변형은 실질적으로 평평한 스탬프 표면을 제공하는 단계; d. 상기 기관 표면 상에서 상기 실질적으로 평평한 스탬프 표면과 상기 장치를 접촉하는 단계; e. 상기 기관으로부터 면 방향에서 상기 스탬프를 리프팅하는 것에 의해 상기 기관 표면으로부터 상기 장치를 제거하여 상기 기관 표면으로부터 상기 실질적으로 평평한 스탬프 표면으로 상기 구성요소가 전사되는 단계; f. 상기 탄성 스탬프를 릴렉싱하여 상기 실질적으로 평평한 스탬프 표면이 휘어진 형상을 가지는 표면으로 변형되는 단계를 포함하는 것을 특징으로 하는 휘어진 표면으로 평면 전자 장치를 프린팅하는 방법을 제공한다.
- [0030] 또한, 본 발명은 실질적으로 스탬프를 평평하게 하기 위해 곡선 탄성 스탬프에 외력을 가하기 위한 장치에 있어서, 상기 장치는, a. 상기 탄성 스탬프를 안전하게 수용하기 위한 홀더; 및 b. 안전하게 수용된 탄성 스탬프 상에 외력을 생성하기 위해 상기 홀더에 작동가능하게 연결된 외력 발생기를 포함하고, 상기 외력은 상기 곡선 스

템프를 실질적으로 평평하게 할 수 있는 것을 특징으로 하는 장치를 제공한다.

[0031]

나아가, 본 발명은 펴고 접을 수 있는 전자 장치에 있어서, 상기 장치는, a. 탄성을 갖는 지지 층; b. 상기 지지 층에 의해 지지되는 기능 층; c. 하나 이상의 중립 기계 표면 조절 층을 포함하고, 상기 층들 중 적어도 하나 이상은 공간적으로 불균일한 특성을 가지고, 이에 따라 상기 기능 층과 동시에 같은 공간에서 또는 근처에서 중립 기계 표면을 생성하는 것을 특징으로 하는 펴고 접을 수 있는 전자 장치를 제공한다.

**발명의 효과**

[0032]

크게 구부릴 수 있고 늘어나는 전자장치 및 상기 장치를 만드는 방법은 제공된 응력과 변형률로부터 변형에 민감한 층을 분리하기 위해 변형 분리층을 선택적으로 사용하거나 변형에 민감한 층과 관련된 중립 기계적 표면의 위치를 제어하여 접근할 수 있다. 제조과정과 소자는 구부러진 시스템과 역학적 변형을 거친 시스템에서 전자장치 및 광학장치 시스템과 같은 장치와 적용에 광범위하게 사용될 수 있다. 제조과정과 장치는 다층 중립 기계적 표면 디자인에서 초박형이고 탄성중합체 물질로 이루어진 기판과 선택적으로 과도모양인 구조적 레이어아웃이 실리콘 나노리본 및 또 다른 무기물 나노재료의 정렬된 배열과 같은 고품질 전자 재료와 결합할 수 있다. 상세한 역학적 모델에 의해 유도되는 상기 방법은 디자인을 용이하게 하고, 다양한 종류의 집적회로뿐만 아니라, 상기와 같은 적용에 사용되는 것을 불가능하게 하는 깨지기 쉽고 부서지기 쉬운 본질적인 기계적 특성을 가진 전자 재료를 포함하는 고집적 광전자 시스템의 제조를 용이하게 한다. 상기 시스템과 제조공정은 부서지기 쉬운 반도체 웨이퍼에 제조된 최첨단 장치와 비슷한 성능 수준에서 변형에 자유로운 전자 장치를 제공할 수 있다. 예를 들어, 상기에서 언급한 시스템은 기계적 변형이 장치 성능에 미치는 영향을 최소화하거나 제거하며, 이를 통해 다양한 분야와 다양한 형태로 상기와 같은 장치를 사용할 수 있다. 또 다른 일면에서, 상기에서 제공되는 시스템은 변형이 가져와 발생하는 기계적 파괴를 겪을 수도 있는 형태 부합 전자장치에 적용할 수 있다.

**도면의 간단한 설명**

[0033]

도 1. (A) 실리콘 나노리본 및 구부림성의 가능한 최극 레벨(위에서 3번째 프레임) 또는 충분히 가역적인 신축성/압축성(오른쪽 아래 프레임)을 활용하는 초박형 CMOS 회로를 위한 제조과정의 개요. (B-D) 캐리어 웨이퍼와 도핑된 나노리본(삽도)(B), 이 캐리어로부터 제거된 후 얇은 막대(C) 및 PDMS 상의 파동형에 있는 광학 이미지 회로.

도 2. (A) 다양한 레벨의 초기변형률(prestrain)로 형성된 파형 Si-CMOS 인버터  $\epsilon_{re}$ . (왼쪽 :  $\epsilon_{re} = 2.7\%$ , 가운데 :  $\epsilon_{re} = 3.9\%$ , 오른쪽 :  $\epsilon_{re} = 5.7\%$ ) (B) 전적으로,  $\epsilon_{re} = 3.9\%$  (left)로 형성된 시스템의 3차원 유한요소 모델링에 의하여 결정된 구조 형태 및 유사한 조건(오른쪽)으로 제작된 샘플의 투시(perspective) SEM 사진. (C) x와 y 방향에 따른 인장변형(tensile strain) 하에서 물결모양의 Si-CMOS 인버터 광학적 이미지. (D) 물결모양의 인버터(왼쪽) 및 n과 p 채널 MOSFET(왼쪽 삽도에 각각 채워지고 대시된 선)의 측정(적색 및 흑색)되고 시뮬레이션된(청색) 전달 특성. x와 y(오른쪽)에 따라 다르게 적용된 변형률을 위한 인버터 한계치가 측정(채워진 원) 및 시뮬레이션된(열린 사각형) 인버터.

도 3. (A) 펼 수 있으며, 물결모양의 3단 CMOS 링 오실레이터(ring oscillators)(왼쪽 위)의 배열의 광학적 이미지 및 적색 화살표(오른쪽 프레임) 방향을 따라 방향된 다르게 적용된 변형(strain)에서 전형적인 오실레이터의 확대도. 다르게 적용된 변형에서 오실레이터의 측정된 시간 및 주파수 영역응답(frequency domain responses). (B) 차동 증폭기(왼쪽 위)의 회로도; 다양한 변형 값(strain)에 대한 출력(output) 특성(왼쪽 아래); 그것의 상태와 같이 제조된 상태 및 적색화살표(오른쪽 하단)에 따른 방향에 적용된 변형률하에서 파동형 차동 증폭기의 광학적 이미지.

도 4. (A) 현미경 덮개 유리의 가장자리 주위를 감싸고, PI 봉지층을 사용하는 '접을 수 있는' 초박형의 Si-CMOS 회로의 이미지는 삽도는 정밀하지 않은 단면의 모식도를 보여준다. (B) 2중 중립의 판 디자인을 사용하는 뒤틀린 이미지(위)와 구부러진(아래 삽도) 물결모양의 Si-CMOS 회로는 위의 삽도는 정밀하지 않은 단면을 보여준다. 위쪽 프레임에 나타난 뒤틀린 형태에 있어서 샘플의 중앙(왼쪽 아래)와 모서리(오른쪽 아래)에서 인버터의 광학 현미경 사진.

도 5. 회로 제작 순서를 위한 모사도

도 6. 얇은 막대에 부착된 초박형 장치를 위한 전압전달곡선.

도 7. (A) 표면 프로파일로메트리(profilometry)(Sloan Dektak3)를 사용한 파동형의 초박형 장치의 파장 및 진폭 측정; 얇은 금속 전극 부분 (왼쪽), pmos(중앙) 및 nmos(오른쪽)에 대한 두꺼운 장치 부분. (B) 다층의 개괄도. (C)와 (D) p-MOSFET 및 n-MOSFET 영역을 위한 중립판 및 금속 상호연결(interconnect)의 위치. (E)와 (F) p-MOSFET 와 n-MOSFET을 위한 중립판 및 PI 캡핑층을 갖는 금속 인터커넥트의 위치.

도 8. 다양한 회로층에서 최대 변형률 대 초기변형률 (A) 금속 인터커넥트, (B) p-MOSFET 및 n-MOSFET 영역.

도 9. (A) y 방향에서 스트레칭(stretching)테스트에 대한 광학적 이미지. (B) x 방향에서 스트레칭(stretching)테스트를 위한 광학적 이미지. (C) 다르게 적용된 변형값에서 NMOS (왼쪽) 및 PMOS (오른쪽)에 대한 전달곡선 및 이동성 변화. (D) 0%의 변형률에서 NMOS(왼쪽) 및 PMOS(오른쪽)에 대한 IV 곡선; 실선은 측정된 것이고, 점선은 시뮬레이션이다.

도 10. (A) 피로 테스트의 광학적 이미지. (B) 피로 테스트 동안의 전압전달곡선 (왼쪽) 및 얻은 값의 변화도.

도 11. 초박형의 파동형 차동 증폭기 이미지; 변형률을 적용하기 전(압도) 차동 증폭기의 확대 이미지.

도 12. (A) 접기 전 후 인버터의 확대도. (B) 접혀진 인버터의 전압전달특성. (C) 접혀진 금속 상호연결 영역의 단면도. (D) 중립 기계판을 갖는 파동형 구조 개괄도.

도 13. 유한 요소 시뮬레이션 모델링 및 공정.

도 14. 전자는 카메라(electronic eye cameras)를 제작하기 위하여 압축할 수 있는 실리콘 초점판 배열 및 반구형, 탄성 중합체의 전달 요소를 사용하기 위한 단계의 개괄도. 위쪽 프레임은 적절하게 디자인된 탬플릿에 대하여 캐스팅과 경화에 의하여 PDMS에서 제작된 것과 같은 전사요소를 보여주고 있다. 미리 제조된 초점면을 들어 올려 소스 웨이퍼(source wafer)로 부터 드럼헤드(drumhead)의 표면으로 전자장치를 연결한 다음, 초기 형태로 되돌리기 위해 PDMS를 제거하여 반구형으로 평면 장치 레이아웃을 변형한다. 얇은 층의 광경화성 접착제로 코팅된 반구형 유리 기판에 일치시켜 전사 프린트하고, 통합된 이미지 렌즈로 반구형의 캡을 추가하여 외부 컨트롤 전자기기(여기에 나타내지 않음)에 연결하여 카메라 시스템을 완성한다.

도 15. 압축할 수 있는 실리콘 및 반구의 변형에 대하여 평면에 적합할 수 있는 탄성 중합체 요소의 역학. A, PDMS 반구에서 압축할 수 있는 실리콘 구조의 광학적 이미지(중앙; 크고, 올려진 테두리는 경계 주위에 놓여있다.) 실리콘은 반구의 중앙영역을 덮고 있으며, 이 이미지에서 회색 빛이 나타난다; 전체적 구조의 일직선의 가장자리는 선명하게 보일 수 있다(화살표). 이 시스템은 처음 실리콘의 절연체 웨이퍼 평면의 표면에 형성된  $16.14 \times 16.14 \text{ mm}^2$  배열 안에 실리콘 리본( $20 \times 5 \text{ }\mu\text{m}$ ;  $50 \text{ nm}$  두께)에 의해 연결된 실리콘( $20 \times 20 \text{ }\mu\text{m}$ ;  $50 \text{ nm}$  두께)의 163,216 평방 요소로 구성된다. B, A에 보여지는 샘플의 작은 영역의 SEM 사진. 리본을 연결하는데 있어서 면의 변형은 여기 보이는 원호 모양을 반구형 변형에 대하여 평면을 수용하기 위하여 필요한 압축성을 제공한다. C, 더욱 거친 특성과 더 작은 요소를 갖는 유사한 반구형 배열에 맞은편 실리콘 요소( $500 \times 500 \text{ }\mu\text{m}$ ;  $1.2 \text{ }\mu\text{m}$  두께)의 공간적 위치의 실험적으로 측정된 지도(검은 점). 겹쳐진 메쉬는 분석 역학 모델로부터 반구의 변이에서 평면을 위한 예측을 대표한다; 메쉬 노드(node)는 배열의 예측되는 공간적 위치이고 세그먼트(segment) 색은 배열의 건너에 인접하는 요소들 사이의 거리의 퍼센트지 변화를 가리킨다. 결과는 ~3% 가변도 보다 작고, 최소에서 최대이다. D, 부채꼴과 변형의 분포에 대한 이론적인 결과로 배열에서 단일 요소를 하이라이트 하는 SEM이 색으로 겹쳐짐.

도 16. 단일 결정 실리콘 광검출기와 압축할 수 있으며, 수동적인 매트릭스 레이아웃에서 현재 블록킹되는 p-n 연결 다이오드에 기반하는 반구형 전자 카메라의 레이아웃 및 전기적 특성. A, 배열에서 단일 단위 전지(cell)와 연결되는 실리콘, 금속 및 폴리머 레이아웃의 분해조립도의 개괄도. 블록킹 다이오드(BD)는 셀의 중앙에 있고, 광검출기(PD)는 BD 주위 구불구불한 지형에 있다. B, 전기적 특성과 단위 전지의 광학 현미경 사진. 행과 열의 전극이 접촉함으로써 데이터는 측정되고 시스템의 경계에서 패드(pad)를 통하여 반구형의 배열에서 이 위치로 데이터를 넣는다. 데이터(적색 : 빛에 노출됨; 흑색 : 암실)는 빛에 노출하여 크게 대조되는 반응을 보인다. 배열에서 다른 픽셀로부터 역전압 전류와 누출은 모두 최소화이고, 오른쪽 압도에 나타난 것과 같이 똑같이 중요하다. C, 반구형의 유리기판에 통합된 배열의 사진(메인 프레임), 배열(오른쪽 위 압도)의 광학 현미경 사진 및 시스템의  $2 \times 2$  섹션에서 BD(흑색), PD(적색) 및 전극 교차(원호)를 보여주는 회로 다이어그램. D 표면의 압축할 수 있는 초점판의 배열을 갖는 반구형의 PDMS 수송 원소의 사진 E 압축할 수 있는 인터커넥션을 나타내는 D 배열 부분의 SEM 이미지.

도 17. 반구형의 전자 카메라 및 대표 산출 이미지의 사진. A, 리본 케이블(왼쪽 위)를 통하여 컴퓨터(보이지

않음)에 외부 연결하는 인쇄회로기판에 실장된 반구형 초점판 배열(중간)의 사진. B, 간단한 단일 컴포넌트 이미지 렌즈(위)를 갖는 투명 (관찰이 용이한) 반구형 캡으로 통합한 후 카메라의 사진. C, 이미지 렌즈를 통하여 직접적으로 관찰된 바와 같은 B 시스템의 클로즈업(close-up) 사진. 여기 사용된 파라미터에 있어서, 상기 렌즈는 작은, 3×3 클러스터 픽셀을 보여주기 위하여 초점판을 확대하였다. D, E 초점판 배열의 것들과 일치시킨 표면에 나타내었을 때 16×16 픽셀을 갖는 반구형 카메라인 D, 평면 및 E를 사용하여 얻어진 흑백 이미지. 평면 케이스의 아래 이미지는 광축 및 샘플 뒤를 따라 얻어진 평면 스크린에 투영된 이미지의 상업용 10메가픽셀(MPixel) 디지털 카메라 사진을 보여준다. 기하학적 바늘꽃이형 왜곡수치형은 이러한 광학적 셋업에서 관찰된다. 검출기 표면(위)에 일치한 반구형 표면에 나타내고 평면(아래)에 투영됨으로써 16x16 픽셀의 반구형 카메라를 사용하여 얻은 아이 차트(eye chart)의 처음 2줄의 흑백 이미지. 스캐닝 없이 그리고 스캐닝하여(0.4° 증가하는  $\theta$ 와  $\phi$  방향으로 -2~2°)왼쪽 및 오른쪽 각각의 이미지. 축의 크기는 mm이고 각 이미지는 동일하다.

도 18. 중요한 단계는 d-h인데, 여기서 폴리머(여기 나타낸 결과는 폴리이미드)의 스핀캐스트층은 문힌 산소의 HF 언더컷(undercut) 에칭 후 아래에 있는 실리콘 핸들 웨이퍼로부터 분산된 대부분의 배열을 유지하기 위하여 미리 정해진 에칭 홀(etch hole)을 관통한다. 정지마찰을 피하게 하는 이 전략은 그렇지 않으면 배열을 들어올리기 위한 가능성을 좌절시킬 수 있다. 폴리머에 의하여 형성된 기둥(post)은 HF 에칭동안 배열의 원치 않는 미끄러짐(slipping) 또는 주름짐(wrinkling)을 막는다.

도 19. 표시된 중요한 차원을 갖는 초점판 배열의 레이아웃의 모식도. 밝은 갈색, 어두운 갈색 및 회색 영역은 각각 폴리이미드, Cr/Au 및 실리콘에 해당한다.

도 20. 공정 접근법, 초점판 배열 디자인, 상호연결의 개괄도 및 반구형 카메라에 사용되는 그러한 유사한 다른 특징에 사용되는 평면 카메라의 사진(상단 프레임)과 광학 현미경 사진(아래 프레임). 이 시스템은 다양한 측면의 디자인 및 제조 기술을 평가하는데 사용되었다. 이들 이미지는 광학현미경과 관련된 한계 깊이 초점 때문에 반구형에서 명확하게 보여주기 어려운 특정한 형태의 사진을 제공한다.

도 21. 반구형의 PDMS 전사요소를 캐스팅하고 경화하는데 사용된 실장 지그(mounting jig)의 광학적 이미지.

도 22. 중요한 차원을 갖는 반구형의 PDMS 전사 요소의 레이아웃의 단면의 개괄도.

도 23. As-fabricate and radially tensioned configurations에서 중요한 차원을 갖게 제조됨에 따라서 방사형으로 당겨진 상태에서 중요한 차원을 갖는 반구형의 PDMS 전사요소 레이아웃 정면의 개괄도. 이 이미지의 가운데 부분에서 겹침(overlay)은 일정한 비율로 보여주는 패시브 매트릭스(passive matrix) 배열의 레이아웃을 보여준다.

도 24. 방사형으로 팽팽한(tensioning) 단의 컴퓨터 보조 디자인 그림. 반구형의 PDMS 요소는 중앙에 끼운다. 패들 암들(paddle arms)은 평면 드립헤드 형태로 반구를 팽창되기 위하여 방사형으로 움직인다.

도 25. 방사형의 신장하는 단 및 PDMS 전사요소의 사진(왼쪽 프레임). 점선 상자로 표시된 왼쪽 드립헤드 이미지에 해당하는 스테이지(가운데 프레임)의 패들 암들(paddle arms)에 실장된 PDMS 요소. 오른쪽 프레임은 표면의 초점판 배열을 갖는 평평한 드립헤드 모양의 PDMS 요소를 보여준다.

도 26. 표면에 방사형 팽팽한 단 및 PDMS 전사요소(왼쪽 프레임)의 사진. PDMS 요소는 단의 패들 암(가운데 프레임)에 실장되어 있고, 점선 상자로 나타낸 왼쪽 이미지의 영역에 해당한다. 오른쪽 프레임은 그것의 표면에서 초점판 배열을 갖는 북 가죽 형태인 그것의 평면에서 PDMS 요소를 보여준다.

도 26. 압축성 초점판 배열을 갖는 반구형의 PDMS 전사요소의 사진. SEM은 압축성의 상호연결을 나타내는 배열의 부분을 나타낸다.

도 27. 유리 기판상의 반구형 초점판 배열에서 픽셀 요소의 공간적 분포를 산출하기 위한 방법. 시스템의 사진(위쪽 프레임)으로 공정이 시작하고 2진수 형태로 변환(가운데 프레임)된 다음, 픽셀 중앙의 공간적 좌표에 자리하기 위하여 이미지 처리 소프트웨어로 처리된다.

도 28. 핵심 차원(key dimension)을 갖는 구형 캡 및 이미지 렌즈의 단면 개괄도 및 컴퓨터 보조 디자인 그림.

도 29. 이미지 획득을 위한 광합과/분과기(mux/demux) 시스템의 사진.

도 30. 이미지 획득을 위한 전자장치의 회로도.

- 도 31. 이미지 획득을 위하여 사용되는 광학적 셋업 사진.
- 도 32. 이미징에 사용되는 소프트웨어 인터페이스를 위한 스크린 캡처.
- 도 33. 반구 실리콘 요소 맵핑의 개괄도. (A) PDMS 반구형 캡의 반지름  $R$ 이고; (B) 캡은 반지름  $r_1$ 에 거의 평평한 판으로 맨 처음 늘려져있으며; (C) 평평한 판은 평평한 판인 반지름  $r_2$ 를 갖는 평평한 판으로 더욱 늘려진다; (D) 실리콘 요소는 면으로 수송되었고; (E) Si 요소를 갖는 판은 거의 평평한 판의 반지름  $r_1$ 으로 이완되어있으며, (F) 더 나아가 새로운 반구의 반지름  $R'$ 로 이완된다.
- 도 34. 반구형 단(stage)으로부터 거의 평평한 상태로의 맵핑의 유한요소해석. (A) PDMS 반구형 캡을 위한 원래의 메쉬; (B) 평평하게 된 판에 대하여 변형된 메쉬; (C) 평평하게 된 판에서 변형(strain) 분포; (D) 유한요소 결과 및 해석해 사이의 맵핑 비교.
- 도 35. (A) 평평하고 이완된 PDMS 및 실리콘 그리고 (B) 유한요소해석에 의하여 계산된 것과 같은 구형이며 이완된 PDMS 및 실리콘의 변형된 형태.
- 도 36. 맵핑처리의 유한요소법에 의하여 얻어진 이미지.
- 도 37. (A) 압축된 연결의 형태 및 (B) 실리콘 요소에서 변형의 해석적 모델.
- 도 38. (A) 열전달 및 (B) 기계적 변형에 의하여 접거나 튀어나오게 신축성 있는 전자 기기를 만들기 위한 공정을 나타냄. 장치의 사진은 C-E에 제공하였다.
- 도 39. 다양한 변형을 위한 신축성 있는 장치 배열의 기능적 특성의 요약.
- 도 40. 비틀림 변형을 받는 것을 나타낸 공정에 의하여 제조되는 장치의 사진.
- 도 41. 도핑된 실리콘 나노물질을 사용하여 물결모양으로 서로 연결된 CMOS 인버터를 위한 제조공정의 비교 및 개요도; (a) 시트 타입의 물결모양 인버터 (b) 물결모양 PI 브릿지와 연결된 초박형 CMOS 아일랜드. (c) 물결모양의 PI로 연결된 초박형 nMOS 및 pMOS와 금속 상호연결.
- 도 42. (a) 물결모양의 폴리이미드 브릿지로 상호연결된 CMOS 인버터 이미지. (b) 신축성 테스트의 광학 이미지. (c) 물결모양 CMOS의 전압변환특성(왼쪽) 및 적용된 변형을 위한 인버터 한계치 전압의 변화(오른쪽); 삽입된 도는 각 장치를 위한 로그 스케일의 전달곡선을 보여준다.
- 도 43. (a) 금속의 CMOS 인버터 이미지 및 PI 물결모양 브릿지 (b) SiO<sub>2</sub>캡핑(왼쪽 위) 및 PI 캡핑(오른쪽 위)으로 상호연결된 인버터의 물결모양의 확대도 (c) 도 3(b)에서 흰색 점선 상자에 해당하는 전극 가장자리의 확대도로 SiO<sub>2</sub> 캡핑(위) 및 PI 캡핑(아래); 오른쪽 삽화는 물결모양의 상호연결을 위한 중립역학중의 위치에 대한 개괄도이다.
- 도 44. (a) 신축성 테스트의 광학적 이미지. (b) 프로파일은 y(왼쪽) 및 x(오른쪽) 방향에서 외부 변형을 적용하는 푸아송 효과 때문에 변한다. (c) 물결모양의 상호연결된 CMOS 인버터의 전압변환 특성(왼쪽) 및 각 적용된 변형을 위한 인버터 한계치 전압의 변화(오른쪽).
- 도 45. (a) 3단 원형(ring) 오실레이터로 상호연결된 물결모양의 이미지. (b) 신축 테스트 이미지. (c) 진동 특성 (왼쪽: 다른 변형률에서 원형 진동, 오른쪽: 시간 영역에서 주파수영역으로 진동의 푸리에 변환)
- 도 46. GaAs MESFET 처리 흐름도.
- 도 47. GaAs MESFET 처리 흐름도의 요약
- 도 48. PDMS에 의한 GaAs 요소의 픽업 (삽도는 픽업 후 도너 소스 기판이다.)
- 도 49. 도 48의 스탬프로부터 PI 코팅된 유리기판으로 GaAs의 이송.
- 도 50. 남은 포토레지스트를 세정한 후 도너의 사진, 그리고 2번째 기능적 GaAs층을 위한 공정 반복을 위한 준비.
- 도 51. (다층 중 첫 번째 층을 위한) 금속화 및 장치 특성화.
- 도 52. PDMS 반구 (중앙; 키가 크고, 높은 가장자리는 경계 주위에 있다) 위에 압축성 실리콘 구조의 사진(위쪽 이미지). 실리콘은 반구의 중앙영역을 덮고 있으며, 이 이미지에서 밝은 회색을 나타낸다; 총체적 구조의 직선

의 가장자리(화살표)는 선명하게 보여질 수 있다. 이 시스템은 처음 부도체 웨이퍼 상의 실리콘의 평면의 표면에 형성된 16.14×16.14의 실리콘(20×4 μm; 50 nm 두께) 리본에 의하여 연결된 실리콘(20×20 μm; 50 nm 두께) 정사각형 요소 163,216개를 포함한다. 샘플의 작은 영역에 대한 주사전자현미경(SEM) 사진은 아래 이미지에 나타내었다. 리본을 연결하는 면의방향 변형은 부채꼴 모양으로 보이도록 여기에 만든 것은 반구형의 변화로 평면을 수용할 수 있도록 압축성의 필요를 제공한다.

도 53. 반구형의 카메라에서 향상된 영상을 평면 카메라와 비교. A의 고분리능 이미지, 일리노이 대학교 "I" 로고 및 B는 반구형 카메라로 획득된 눈의 그림(오른쪽에 삽도는 투명 필름으로부터 스캔된 본래의 이미지를 보여준다.) C, 검출기 스크린으로 이미지 및 렌즈를 통하여 선의 패턴을 보여주는 간단한 선의 흔적 및 영상을 위하여 사용되는 광학적 셋업(최적의 초점 표면 및 평면 카메라) D, 최적의 조침 표면의 예측을 추적하는 선(초록 원-계산된 초점, 초록 곡선-포물선 적합도), 반구형 카메라(청색 곡선)의 검출기 표면 및 평면 카메라(적색 곡선). E, 렌즈로부터 다양한 거리에 자리한 평면 스크린 상에 투영된 이미지의 고해상도 사진. 왼쪽 및 오른쪽 이미지는 각각 14.40과 16.65 mm에서 획득되었으며, 검출기 위치의 함수로써 최적의 초점에서 이동을 증명한다. 연속의 상기 이미지는 검은 사각형 D에 나타낸바와 같이 최적의 곡선 초점 표면을 산출하는데 사용되었다. 렌즈로부터 (광축을 따라) 16.65 mm에 위치한 평면의 카메라 F 및 반구형 카메라 G로 획득된 고해상도 이미지, F 및 G. G는 픽셀 수와 대비하여 그려진 것을 제외하고는 모든 축의 스케일은 mm이고, 이미지 도면으로 정상축은 z 방향(광축)을 대표한다.

도 54. 전체 투영된 이미지(θ 및 φ 방향에서 -40에서 40° 스캔, 1.0° 증가)에 대하여 스캔될 때 반구형 카메라에서 각 픽셀에 의하여 이미지된 글자 "E". 이미지는 반구형 표면의 다양한 부분을 덮어 평면의 표면으로 투영된 것과 같이 나타난다.

도 55. 전체 투영된 이미지(θ 및 φ 방향에서 -40에서 40° 스캔, 1.5° 증가)에 대하여 스캔될 때 반구형 카메라에서 각 픽셀에 의하여 이미지된 눈의 그림. 이미지는 반구형 표면의 다양한 부분을 덮어 평면의 표면으로 투영된 것과 같이 나타난다.

도 56. 렌즈로부터 다양한 거리에 자리한 평면 스크린상의 고해상도 사진. 이미지는 렌즈로부터 12.15(이미지 #1, 왼쪽) 및 18.00 mm(이미지 #13, 오른쪽) 사이에서 획득되었으며, 최적의 초점 표면의 곡선의 본성을 증명한다.

도 57. 반구형 카메라에서 16×16 픽셀의 광검출기 배열의 광전자식 응답. 4 V로 적용된 바이어스에서 전류응답은 a는 가장 밝은 레이저(514.5 nm) 빛, b는 빛 상자(bright case)의 거의 1/10이고, c는 완벽한 어둠을 포함하는 3가지 다른 빛의 세기에서 모든 픽셀에 대하여 측정되었다. 왼쪽의 막대그래프는 주어진 전류 응답에서 픽셀의 분포를 보여주는 반면, 오른쪽의 컬러-맵은 반구형 카메라에 주어진 응답의 픽셀의 맵핑을 보여준다.

도 58. 평면 카메라에서 16×16 픽셀 광검출기 배열의 광전자식 응답. a, 단위격자의 전기적 특성. 데이터는 시스템의 경계에서 패드를 통한 반구형 배열의 위치에 데이터를 넣는 행 및 열을 접촉함으로써 측정되었다. 데이터(적색: 빛에 노출됨, 흑색: 어둠)는 빛의 노출에 대한 높은 대조적 응답을 보여준다. 4 V의 바이어스 적용에서 전류 응답은 할로젠 램프로 백색 종이 백라이트(white paper backlit)의 시트를 갖는 빛 상자와 광학적으로 620-700 nm 파장으로 필터된 b 및 완벽한 어둠의 C를 포함하는 2가지 다른 빛의 강도에서 모든 픽셀에 대하여 측정되었다. 왼쪽의 막대그래프는 주어진 전류 응답을 갖는 픽셀의 분포를 보여주는 반면, 오른쪽의 컬러맵은 반구형 카메라에서 주어진 응답을 갖는 픽셀의 맵핑을 보여준다.

도 59. 투영된 이미지의 사진은 렌즈로부터 다양한 거리에서 16x16 평면카메라로 제작되어 획득되었다. 이미지는 렌즈로부터 12.15(이미지 #1, 왼쪽) 및 18.00 mm(이미지 #14, 오른쪽) 사이에서 획득되었으며, 최적의 초점 표면의 곡선의 본성을 증명한다.

도 60. 투영된 이미지의 사진은 렌즈로부터 다양한 거리에서 16×16 평면카메라로 제작되어 획득되었다. 이미지는 렌즈로부터 13.95(이미지 #1, 왼쪽) 및 19.80 mm(이미지 #14, 오른쪽) 사이에서 획득되었으며, 최적의 초점 표면의 곡선의 본성을 증명한다.

도 61. 반구형의 전자 요소에서 16×16에 걸쳐 실리콘 요소(500×500 μm; 1.2 μm thick)에서 공간적 위치에서 실험적으로 측정된 맵(흑색 점). 겹쳐져 컬러화된 메쉬는 해석역학 모델로부터 반구형의 변화로 평면을 위한 예측을 대표한다; 메쉬 노드는 예측된 공간적 위치이고 세그먼트 색은 배열에 대하여 이웃하는 요소사이 거리의 퍼센트 변화를 나타내며, 평면 구조에서 디자인된 것에 비교된다. 결과는 최소에서 최대까지 변화율이 ~3%보다 작다는 것을 나타낸다.

도 62. (a) 신축성의 '물결모양' 상호연결을 갖는 CMOS 인버터 로직 게이트의 삽화를 포함하는 제조공정의 개괄도. 또한, 갈라짐을 피하기 위한 중립역확층 근처 중요한 회로요소를 위치하기 위하여 층을 캡슐화하는 전략을 보여준다. (b) 물결모양의 상호연결 및 브릿지 구조를 갖는 CMOS 인버터의 이미지. (c) 물결모양의 상호연결을 갖는 CMOS 인버터의 확대된 그림. (d) 실험적 관찰로 좋은 일치를 보여주는 시스템의 역학의 3차원 유한요소 시뮬레이션.

도 63. 신축성 테스트. 신축성의 CMOS 인버터(적색 및 흑색: 실험, 청색: 시뮬레이션, 왼쪽)의 수송 특성 및 각기 적용된 변형에 대한 인버터 한계치 전압의 변화(오른쪽); 삽도는 각기의 트랜지스터에 대한 로그 스케일의 수송곡선을 나타낸다. (d) nMOS(왼쪽) 및 pMOS(오른쪽) 트랜지스터의 전류-전압 곡선 ; 입체 및 점선은 각각 실험 및 시뮬레이션에 해당한다.

도 64. (a) 탄성중합체 기관(여기 보여주는 경우 폴리디메틸실록산); PDMS)과 통합된 평평하지 않은 메쉬의 사용을 통하여 높은 신장성을 달성하는 대표적인 회로를 위한 제조공정의 개요도. (b) 변형되지 않은 상태(아래쪽; 초기 변형률 ~20%) 및 복잡하게 왜곡된 모션(위쪽)의 결과에 해당하는 구성상에 있어서 이 공정의 결과는 CMOS 인버터의 배열 SEM 이미지. (c) 진단적 신축, 비틀림 및 구부림의 변형에서 중요한 3가지 등급의 CMOS 인버터의 자유롭게 변형된 신축성있는 배열의 광학적 이미지. (삽화의 쉬운 컬러화된) 삽도는 각 케이스에 대하여 SEM 이미지를 제공한다. (d)는 장치 구성의 확대도이다.

도 65. (a) 브릿지 (x 및 y)에 따른 신축을 위하여 동일 평면상에 있지 않은 메쉬 디자인을 갖는 3단 CMIS 원형 오실레이터의 신축성 있는 광학 이미지. (b) 회로 위쪽 표면(위)와 금속층(가운데)의 가운데 포인트에서 변형 분포의 FEM 모델링 및 아래쪽 표면(아래쪽). (c) (a)에 나타난 다른 변형의 구성에서 시간 및 주파수(삽도) 영역을 대표하는 바와 같이 오실레이터의 전기적 특성. 여기서 0s 및 0e는 각각 테스트의 시작과 끝에서 0%의 변형률을 뜻한다. 17x 및 17y는 (a)에서 지칭하는 x 및 y 방향에 따른 17%의 인장변형률을 언급한다. (d) 브릿지의 방향(x 및 y)에 대하여 45도에서 신축함에 있어서 평평하지 않은 메쉬 디자인을 갖는 신축성의 CMOS 인버터의 광학적 이미지. (e) 이러한 모션의 FEM 시뮬레이션. (f) 인버터의 수송특성 ( $V_{out}$ , 출력전압, 및  $V_{in}$  입력전압의 기능으로써 연음) 18x 및 18y는 (d)에서 의미하는 x 및 y 방향을 따라 18%를 뜻한다.

도 66. (a) 뒤틀린 형태(왼쪽) 신축성있는 CMOS 인버터 배열의 광학적 이미지 및 변형의 본성(오른쪽)을 나타낸 단일 인버터의 확대된 도. (b)는 브릿지 구조에서 뒤틀린 역학 FEM 시뮬레이션. (c) 뒤틀린 구조에서 신축성있는 3단 CMOS 원형 오실레이터의 배열 SEM 이미지. (d) 인버터의 전기적 특성(위; 연은 값 및 입력전압의 함수로서 출력전압) 및 평면에서 오실레이터(아래; 신간의 함수로서 출력전압) 및 뒤틀린 상태.

도 67. (a) 뒤틀리고 (b) 평면 이완된 레이아웃에서 신축성있는 차동증폭기 배열의 광학적 이미지. (c) 평면에 있지 않은 레이아웃을 보여주는 대표적인 증폭기의 경사진 SEM 사진. x 및 y 방향을 따라 이완시킨 광학 이미지 (d) 및 사인 곡선의 입력을 위한 시간의 함수로써의 전기적 출력에 해당. (f) 복잡한 변형모드에서 장치의 광학 이미지. 여기서, 17x 및 17y는 (d)에서 나타난 x 및 y 방향에 따른 17% 까지의 인장변형률이다.

도 68. (a) 평면에 있지 않은 브릿지를 갖는 신축성있는 CMOS 인버터 배열의 SEM 이미지는 구불구불한 레이아웃 (왼쪽) 및 확대된 그림(오른쪽)을 갖는다. (b) x 및 y 방향에서 신축성 테스트의 광학 이미지. (c) 이완 전 (처음 변형률 35%) 및 이완 후 (변형률이 적용되어 70%) FEM 시뮬레이션. (d) 얇은 PDMS 기관(0.2 mm)에 인버터의 배열(왼쪽)과 이완되지 않은 이미지(가운데; 초기 변형률 90%) 및 이완됨(오른쪽; 신장 변형률 140%). (e) 이완 (왼쪽)하의 대표적인 인버터를 위한 수송 특성 및 획득과 이완 사이클(오른쪽)의 함수로써 유사한 획득 곡선 및 최대 획득 (VM)

도 69. 다층의 계통도

도 70. 튀어나오는 브릿지 및 아일랜드의 해석적 모델.

도 71. 아일랜드 브릿지 구조의 계통도.

도 72. 초기 변형률 10.7%에 대하여 적용된 시스템 레벨 대 (a) 브릿지 및 (b) 아일랜드의 최대 변형률.

도 73. CMOS 인버터의 전압전달곡선(a)와 nMOS(b) 및 pMOS(c)에 대한 각 장치에 대한 IV 곡선.

도 74. (A) 핸들 웨이퍼에 구불구불한 메쉬 결합구조로 제작된 초박형 실리콘의 개괄도(왼쪽) 및 광학 이미지 (오른쪽). 중앙의 삽도는 오른쪽 프레임의 점선 박스에 해당하는 CMOS 인버터의 광학 현미경 사진을 보여준다. (B) Cr/SiO<sub>2</sub>의 패터닝된 침적 후 전사인쇄된 회로를 위한 공정의 개괄도(왼쪽) 및 전사 후 광학 이미지(오른쪽)

쪽). 중앙의 삽도는 오른쪽 프레임의 점선 박스에 해당하는 전사된 CMOS 인버터의 광학 현미경 사진을 보여준다. (C) 구불구불한 회로 및 PDMS 사이 결합의 개괄도(왼쪽). 구부러진 구조에서 시스템의 주사전사현미경 사진 (오른쪽). (D) 다른 프레임에서 보여주는 유사한 회로로부터 수집된 대표적인 nMOS(왼쪽) 및 pMOS(오른쪽) 트랜지스터에서 전류( $I_d$ ; 드레인 전류), 전압( $V_d$ ; 드레인 전압) 측정. 측정 및 PSPICE 시뮬레이션에 해당하는 실선 및 점선. 게이트 전압( $V_g$ )에 해당하는 곡선의 라벨. 오른쪽 프레임에서 삽도는 nMOS(점선) 및 pMOS(실선) 장치에 대한 반로그 스케일로 그려진 전달곡선을 보여준다.

도 75. (A) 다양한 수준의 신장 변형(왼쪽 위) 하에서 CMOS 인버터 회로의 광학 현미경사진 및 역학에 해당하는 유한요소 모델링(아래쪽 프레임). 색은 회로의 금속 상호연결 레벨에서 피크 변형률(%)을 가리킨다. (B) 실리콘 층의 두께(검정 실선) 및 실리콘의 길이(적색 점선; PDMS 두께는 이 경우  $10\mu\text{m}$ 이다)의 기능과 같이 도해적으로 삽도에 나타난 시스템의 실리콘에서 표면 변형률의 계산된 비. PDMS는 실리콘 길이 감소 및 PDMS 두께 증가와 같은 효과를 증가시켜 실리콘에 대한 변형 분리(isolation)를 제공한다. 파괴 접을 수 있는 전자장치를 위에서 본 그림. (D)와 (E)는 각각 캡슐층을 갖는 접을 수 있고 펼 수 있는 장치의 부분과 완벽한 캡슐을 그린 측면이다.

도 76. CMOS 인버터 배열을 구성하는 접혀진 회로(왼쪽)의 광학 이미지 및 주사전사현미경 사진(가운데). 오른쪽 이미지는 접혀진 모서리(오른쪽 위) 및 옆면(오른쪽 아래)에서 그림을 제공한다. (B) PDMS의 얇은 층으로 코팅된 구조 기관(위) 및 확대된 그림(오른쪽 위)에 통합된 유사한 회로의 광학적 이미지. 왼쪽 아래 프레임은 개괄도를 제공한다. 오른쪽 아래는 평평하고 구부러진 상태 및 PSPICE 시뮬레이션(모델)에서 대표하는 인버터의 전달 곡선을 보여준다.

도 77. PDMS 코팅 전(왼쪽)과 PDMS 코팅 후와 (A) 비닐, (B) 가죽, (C) 종이 및 (D) 구조 기관에 PDMS를 코팅 후(오른쪽) 열어서 파쇄된 가장자리의 경사진 그림에 해당하는 다양한 재질 표면의 주사전사현미경 사진.

도 78. 이완된(왼쪽) 및 신축된(오른쪽) 상태에서 (A) 비닐 및 가죽(B) 글러브의 손가락 관절에서 CMOS 회로의 광학 이미지. 삽도는 확대된 그림을 제공한다. (C) 전압전달곡선(왼쪽)과 사이클링 테스트 결과는 여러 번의 구부림 사이클(오른쪽) 후 평평한 상태에서 측정된 인버터의 얻은 것과 한계치 전압을 보여준다.

도 79. (A) 평평한(왼쪽 위), 구부러진(오른쪽 위), 접힌 (오른쪽 아래) 및 퍼진(왼쪽 아래) 상태의 종이 상의 CMOS 인버터의 광학 이미지. 삽도는 확대된 면을 제공한다. (B) 전압전달곡선(왼쪽) 및 사이클링 테스트 결과는 여러 번의 굽힘 사이클 후(오른쪽) 평평한 상태에서 측정된 인버터의 한계치 전압(V<sub>M</sub>)과 게인을 보여준다.

도 80. 골프공의 딩플 표면(dimpled surface)와 같이 복잡한 형태를 갖는 정각의 곡선으로 이루어진 기관을 싸기 위한 압축성의 회로 메쉬 구조(다시 말해, 좁은 스트립에 의하여 상호 연결된 아일랜드의 배열) 및 탄성중합체 전사요소를 사용하기 위한 단계의 개괄도. 공정은 싸여지는 물질(다시말해, 마스터)에 대한 이중 캐스팅 및 열경화에 의하여 폴리디메틸실록산(poly(dimethylsiloxane), PDMS)와 같은 탄성체의 전사요소 제조로 시작한다. 위쪽 가운데 프레임 참고. 방사상으로 신축하는 결과 요소는 평평한 드럼헤드(drumhead)막을 형성하는데, PDMS의 모든 점들은 위치에서 변형 강도가 다양하다. 실리콘 웨이퍼의 평면 배열에서 초박형 메쉬 형상에서 미리 제조된 기관에 대하여 이 신축된 막을 펴서 접촉시키고 막으로 회로를 뒤로 들어올려 벗겨낸다. 오른쪽 프레임 참고. 형태적으로 장력을 이완시키는 것은 마스터의 형태 안으로 그것이 표면에 막과 회로를 변형한다. 이 프로세스 동안, 메쉬의 상호연결 브릿지는 같은 평면에 있지 않은 부채꼴(하단 가운데 삽도)를 채택하고, 이에 따라 이 방법에서 압축력을 수용하는 것은 아일랜드 영역에서 중요한 변형을 피한다. 얇은 접착층을 갖는 타겟 기관을 코팅하고, 그것의 표면에 같은 평면에 있지 않은 회로 메쉬를 전사하여 공정(하단 왼쪽)을 완성한다.

도 81. 골프공의 표면 형태를 갖는 PDMS 전사요소의 표면을 덮는 실리콘 회로 메쉬의 사진(a) (PDMS 잘라낸 후 골프공에 해당하는 이 요소와 접촉 후의 사진 (b), (c와 d) (a)에 나타난 샘플의 화각 SEM 사진. 이미지는 다양한 영역 사이에서 대조를 향상시키기 위하여 색칠해졌다. 회색, 노랑, 및 파란색은 각각 실리콘, 폴리이미드 및 PDMS에 해당한다. (e) (d)에 밝게 표시된 단면적에서 실리콘과 폴리이미드 영역의 시뮬레이션된 변형의 분포

도 82. 원뿔 표면에 전사인쇄 전(a)과 후(b)의 원뿔 표면을 갖는 PDMS 전사요소 표면의 실리콘 회로 메쉬 사진. (c) (a 및 b)에 나타난 샘플의 화각 SEM 사진. (d 및 e) 이미지의 밝게 표시된 면적(c)의 수정된 화각의 SEM 사진. 이미지는 다양한 영역의 대조를 향상시키기 위하여 색칠되었다. 회색, 노랑, 및 파란색은 각각 실리콘, 폴리이미드 및 PDMS에 해당한다. (e) 실리콘 영역 및 (a)에 나타난 시스템에 해당하는 PDMS 전사요소 밑에 있는 변형의 시뮬레이션된 사진.

도 83. (a) 피라미드형 기관상으로 실리콘 회로 메쉬가 싸여진 사진. (b, c) (c)에 나타난 샘플의 화각 SEM 사진. (b) (c) 이미지의 왼쪽 중간 부분의 상자에 의하여 표시된 면적의 확대된 그림. 회색, 노랑, 및 파란색은 각각 실리콘, 폴리이미드 및 PDMS에 해당한다. (d) 종속된 PDMS 기관상에 연결된 실리콘 아일랜드의 선형 배열에 대하여 상부 및 바다, 하부, 중간부분의 정면도 및 단면도와 고도의 압축 변형. (e) 기계적 모델링 결과를 요약한 도표.

도 84. (a) 볼록한 포물면 기관상의 실리콘 회로 메쉬의 사진. (b, c) (a)에 나타난 샘플의 화각 SEM 사진. (b) (c)의 중앙영역 상자에 의하여 표시된 면적의 확대도. (d) 오목한 포물면 기관상의 실리콘 회로 메쉬의 사진. (e, f) (d)에 나타난 샘플의 화각 SEM 사진. (e) (f)의 중앙영역 상자에 의하여 표시된 면적의 확대도. 회색, 노랑, 및 파란색은 각각 실리콘, 폴리이미드 및 PDMS에 해당한다.

도 85. (a, b) 하트 모델(model of heart)에서 획득된 휘어진 형상의 콤플렉스(complex)를 갖는 전사요소 상에 실리콘 회로 메쉬의 사진. (b) (a)의 확대된 이미지. (c, e) (a)에 나타난 샘플의 색칠된 화각 SEM 사진. (d, e)는 (c)에 해당하는 상자에 의하여 표시되는 면적의 확대도를 제공. 회색, 노랑, 및 파란색은 각각 실리콘, 폴리이미드 및 PDMS에 해당한다.

도 86. (a) 실리콘 회로 메쉬 테스트 구조 단위 셀(unit cell)에서 실리콘, 금속 및 폴리머 층 레이아웃의 분해 조립도 개괄도. (b) 연속적인 금속선(a의 적색 화살표)과 원주 배열에서 불연속적인 금속선(a에서 흑색 화살표)에 접촉됨으로써 측정되는 전류-전압 특성. 삽도는 대표적인 개개의 픽셀의 정면의 광학현미경 이미지를 나타낸다. (c, d) 사람 손의 형태를 갖는 플라스틱 기관상에 손가락 끝으로 전사된 회로 메쉬의 사진. (d) (c) 상자에 의하여 표시되는 영역의 확대도. (e) (d) 상자에 의하여 표시되는 영역의 확대도. (g, h) (f)의 점선 상자에 의하여 표시되는 면적의 확대도. 회색, 노랑, 및 파란색은 각각 실리콘, 폴리이미드 및 PDMS에 해당한다.

도 87. (a) 개괄도(왼쪽) 및 도핑된 실리콘(a), CMOS 인버터의 연결된 배열, (c) Cr/SiO<sub>2</sub>의 선택적인 침전을 위하여 그림자 마스크를 갖는 들어 올려진 인버터 및 (d) 인버터의 확대도에 해당하는 광학 이미지(오른쪽).

도 88. (a) 표준 서펜틴(serpentine) 상호연결, (b)큰 진폭을 갖는 상호연결 (c) 좁은 폭과 많은 곡선의 과장비에 대하여 큰 진폭을 갖는 CMOS 인버터를 위한 FEM 시뮬레이션에 의하여 산정되는 최대 주요 변형 분포 및 광학현미경 사진.

도 89. (a)같은 평면 및 (b)같은 평면에 있지 않은 구조를 갖는 CMOS 인버터에 대한 광학현미경 이미지 및 FEM 시뮬레이션에 의하여 계산된 최대 주요 변형 분포, 외부 변형을 적용하기 전(왼쪽)/후(중앙의 오른쪽)의 도 3(b)에 대한 SEM 이미지, (d) 외부 변형을 적용하기 전(왼쪽)/후(오른쪽)의 도 3(b)에 대한 FEM 이미지.

도 90. (a) x(오른쪽)와 y(왼쪽) 방향으로 90 %의 외부 변형을 적용하기 전/후의 같은 평면상에 있지 않은 서펜틴 상호연결을 갖는 CMOS와 전압전달곡선(왼쪽) 및 사이클링 테스트 결과(오른쪽)에 해당하는 광학적 이미지. (c) nMOS (왼쪽) 및 pMOS (오른쪽) 트랜지스터에 대한 전류-전압 응답 및 PSPICE 시뮬레이션 결과; 삽도는 세미 로그 스케일의 전달곡선을 나타낸다. (d) 같은 평면상에 있지 않은 구불구불한 상호연결을 갖는 차동 증폭기의 광학적 이미지 및 전기적 특성.

도 91. (a) 캡슐화되고, 곧은 브릿지의 평면상에 있지 않은 상호연결을 위한 신축 테스트의 개괄도, (b) 변형률이 0인 경우(위) 및 캡슐이 없는 것(왼쪽), 부드러운 캡슐(0.1 MPa, 중앙) 및 딱딱한 캡슐(1.8 MPa, 오른쪽)에 대하여 볼 수 있는 크래킹(아래) 전의 최대 신축의 광학현미경 이미지, (c) 해석 모델 및 FEM 시뮬레이션 실험에 의하여 측정된 2개의 아일랜드 사이 거리의 함수로써 브릿지의 높이; 오른쪽 아래 그래프는 이론 모델에 의하여 계산된 크래킹 전의 최대 변형률을 나타냄, (d) FEM에 의하여 시뮬레이션 된 크래킹 전의 최대 신축에서 변형 형태.

도 92. 0 변형률(왼쪽), ~50 % 변형률(중앙) 및 ~110 % 변형률(오른쪽), (a) 딱딱한 PDMS (절대값 ~1.8 MPa) 캡슐, (b) 부드러운 PDMS (절대값 ~0.1 MPa) 캡슐 및 (c) PDMS의 얇은 고체 층에 의하여 덮여진 경화되지 않은 PDMS 부분중합체(prepolymer, 점성의 액체) 캡슐에 대한 광학 현미경 이미지 및 FEM 시뮬레이션에 의하여 측정된 변형 분포.

**발명을 실시하기 위한 구체적인 내용**

[0034]

크게 구부릴 수 있고 펼 수 있는 전자장치 및 상기 장치를 만드는 방법은 제공된 응력과 변형률로부터 변형에 민감한 층을 분리하기 위해 변형 분리층을 선택적으로 사용하거나 변형에 민감한 층과 관련된 중립 기계적 표면의 위치를 제어하여 접근할 수 있다. 제조과정과 소자는 구부러진 시스템과 역학적 변형을 거친 시스템에서 전

장장치 및 광학장치 시스템과 같은 장치와 적용에 광범위하게 사용될 수 있다. 제조과정과 장치는 다층 중립 기계적 면 디자인에서 초박형이고 탄성중합체 물질로 이루어진 기관과 선택적으로 과도모양인 구조적 레이아웃이 실리콘 나노리본 및 또 다른 무기물 나노재료의 정렬된 배열과 같은 고품질 전자 재료와 결합할 수 있다. 상세한 역학적 모델에 의해 유도되는 상기 방법은 디자인을 용이하게 하고, 다양한 종류의 집적회로뿐만 아니라, 상기와 같은 적용에 사용되는 것을 불가능하게 하는 깨지기 쉽고 부서지기 쉬운 본질적인 기계적 특성들을 가진 전자 재료를 포함하는 고집적 광전자 시스템의 제조를 용이하게 한다. 상기 시스템과 제조공정은 부서지기 쉬운 반도체 웨이퍼에 제조된 최첨단 장치와 비슷한 성능 수준에서 변형에 자유로운 전자 장치를 제공할 수 있다. 예를 들어, 상기에서 언급한 시스템은 기계적 변형이 장치 성능에 미치는 영향을 최소화하거나 제거하며, 이를 통해 다양한 분야와 다양한 형태로 상기와 같은 장치를 사용할 수 있다. 또 다른 일면에서, 상기에서 제공되는 시스템은 변형이 가해져 발생하는 기계적 파괴를 겪을 수도 있는 형태 부합 전자장치에 적용할 수 있다.

상기에서 제공되는 제조공정은 종래 제조공정에서 사용되는 패터닝, 증착, 에칭, 물질 성장 및 도핑 방법 때문에 본질적으로 평면에서 수행되며, 종래 전자장치 제조공정과 선택적으로 호환될 수 있다. 상기에서 제공되는 늘어나고 압축되는 시스템은 종래 평면 형상 제조 시스템을 비선형 형태를 필요로 하는 적용에 사용하기 위해 곡선 모양으로 변형하는 것에 의해 평면으로 제조되는 기하학적 한계를 극복할 수 있다. 따라서, 상기에서 제공되는 제조공정은 복잡한 곡선모양의 물체 표면으로 평면 장치를 증착할 수 있다.

공간적으로 상이한 층과 상기 층을 패터닝하는 것은 기능층과 같이 변형에 민감한 물질을 포함하는 중립 기계적 면(NMS)에 층을 가깝고, 일치하며, 인접하게 위치시키는 능력을 제공한다. 일면에서, 변형에 민감함은 비교적 작은 변형에 반응하여 파괴되거나 손상되는 물질을 의미한다. 일면에서, NMS는 기능층에 일치하거나 근접하게 위치한다. 일면에서, NMS는 기능층과 일치하고, 이는 NMS를 따른 모든 횡방향 위치에 대해 변형에 민감한 물질을 포함하는 기능층 내에 적어도 일부분의 NMS가 존재한다는 것을 의미한다. 일면에서, NMS가 기능층에 근접한 것은 NMS가 기능층과 일치하지 않을지라도, NMS의 위치는 NMS 위치를 제외하고 기능층에 가해지는 낮은 변형과 같이 기능층에 기계적 이득을 제공한다. 예를 들어, 인접한 NMS의 위치는 곡률반경이 밀리미터 또는 센티미터 크기가 되도록 접히는 장치와 같이 접혀진 형상의 변형 민감성 재료에서 적어도 10%, 20%, 50% 또는 75%로 감소되는 변형 민감성 재료로부터의 거리로 정의된다. 또 다른 일면에서, 인접한 NMS 위치는 수 mm, 2 mm, 10  $\mu$ m, 1  $\mu$ m 또는 100 nm보다 적은 변형 민감성 재료로부터의 거리와 같은 절대 조건으로 정의될 수 있다. 또 다른 일면에서, 인접한 층의 위치는 변형 민감성을 포함하는 층에 가장 가까운 50%, 25% 또는 10%의 층 이내와 같이 변형 민감성 재료에 인접한 층에 관한 것으로 정의될 수 있다. 일면에서, 인접한 NMS는 기능층에 인접한 층 이내에 포함된다.

추가적으로, 기능층에서의 장치 모양은 가요성과 압축성을 제공하기 위한 측면으로 사용된다. 일 실시예에서, 상기 시스템은 재료에 심각한 변형을 초래하는 것 없이 큰 기계적 변형을 도모할 수 있는 구조적 모양으로 형성된 무기물 반도체 나노물질을 이용하는 다층 소자이다. 예를 들어, 미국특허 11/851,182(미국공개번호 2008/0157235)에 기술된 바와 같이, 단단한 소자 아일랜드를 연결하는 연결체는 물결 모양 또는 휘어진 모양일 수 있다. 유사하게, 소자 구성 성분이 남겨진 층은 물결 모양일 수 있다. 이러한 모양은 비교적 단단한 영역에서 가요성에 대한 필요성이 최소화되거나 완화되는 동안 가요성이 필요한 영역에서는 탄성적인 가요성을 제공한다.

일면에서, 본 발명은 기관층, 기능층 및 하나 또는 그 이상의 중립 기계적 면 조정층을 포함하는 다층 소자를 제공함으로써 펴고 접을 수 있는 전자 장치의 제조방법을 제공하며, 상기 기능층은 공간적으로 균일하지 않은 특성을 가진 다층 중에서 적어도 하나의 층을 가지며, 상기 균일하지 않은 특성은 기능층에 일치하거나 인접한 중립 기계적 면에 위치한다. NMS 위치에 변화를 주기 위한 공간적 비균일성을 제공하는 특성의 일례들은 영률, 추가층의 증착, 층 두께, 휴면 특성(recess feature), 상기 기능층에서 공간적으로 패터닝된 장치 요소 및 기능층 모양 중 하나 또는 그 이상에 제한되지 않고 포함한다. 상기 특성들의 하나 또는 그 이상의 변화에 영향을 주는 특성은 공간적으로 수정될 수 있다. 따라서, 공극 또는 층의 교차 결합(cross-linking)은 층의 영률을 공간적으로 변경할 수 있어 공간적으로 달리질 수 있으며, 이에 의해 NMS의 위치를 공간적으로 변경할 수 있다.

일 실시예에서, 공간적 비균일성은 다층 중 어느 하나의 측면 패터닝을 포함하는 단계에 의해 제공된다. 측면은 x-y 좌표계 전체에 대한 변화를 나타내며, 층의 두께는 x-y 면에 수직인 z축으로 정의된다. 상기 측면 패터닝은 NMS 위치에 영향을 주는 측면 방향 비균일성을 제공한다. 일면에서, 측면 패터닝은 기관을 박막 또는 추가된 층

을 포함하는 하나 또는 그 이상의 중립 기계적 면 조정층으로 패터닝하는 것에 의해 제공된다. 패터닝은 하나 또는 그 이상의 봉지층, 하나 또는 그 이상의 에칭홀(etch hole) 또는 둘 다를 선택적으로 포함한다.

공간적 비균일성은 측면 패터닝에 의해 선택적으로 수행될 수 있으며, 상기 측면 패터닝은 기관층 두께 또는 하나 또는 그 이상의 중립 기계적 표면 조정층의 두께를 선택적으로 변화시키거나, 공급 조절, 교차결합 수 또는 영률과 같이 기관층 또는 하나 또는 그 이상의 중립 기계적 표면 조정층의 기계적 특성을 공간적으로 조절한다.

일면에서, 하나 또는 그 이상의 중립 기계적 표면 조정층은 하나 또는 그 이상의 봉지층이다. 상기 봉지층은 장치가 장치 작동에 해를 끼칠 수 있는 환경에 위치하는 적용에서 장치 분리에 유용하다. 상기 봉지층은 축방향으로 다양한 두께를 가진다. 상기 봉지층은 장치를 완전하게 코팅하고, 전자장치에 위치하는 상부 층 또는 일부 층만 완전하게 코팅하는 것을 나타낸다.

일면에서, 중립 기계적 표면은 평면 또는 비평면 형상과 같은 기하학적 모양을 가진다. 또 다른 일면에서, 상기에서 언급된 방법들 중 어느 하나의 방법으로 제조된 장치를 포함하는 어느 하나의 장치는 비균일한 단면을 가진다.

일 실시예에서, 비균일층은 기능층의 패시브 또는 액티브 전자 요소의 전사 프린팅을 포함하는 패터닝 단계와 같이 기능층, 기관층 또는 추가층의 선택적 패터닝에 의해 제조된다. 일례에서, 상기 패터닝 단계는 높은 접힘성과 가요성을 갖는 국지화된 장치 영역을 제공하기 위해 하나 또는 그 이상의 층에 위치하는 에칭홀을 선택적으로 위치시키는 것을 포함한다. 또 다른 일례에서, 방법들 중 어느 하나는 기능층과 일치하거나 근접한 중립 기계적 표면을 제공하기 위해 하나 또는 그 이상의 측면방향에서 층을 패터닝하는 것을 추가적으로 포함하며, 상기 기능층은 응력 유도 파괴에 가장 민감하다.

일 실시예에서, 방법들 중 어느 하나는 기능층과 일치하는 중립 기계적 표면을 제공한다.

또 다른 일면에서, 방법들 중 어느 하나 및 장치들은 굽힘성과 같은 기계적 특성으로 기술된다. 일면에서, 전자 성능을 저해하거나 기계적 파괴 없이 곡률 반경이 1 내지 5 mm이거나 그 이상으로 접을 수 있는 기능층을 제조할 수 있는 방법을 제공한다.

일면에서, 방법들 중 어느 하나는 다수의 기능층 및 상기 기능층을 분리하는 기관층을 포함하는 장치에 관한 것을 기술하고 있으며, 기능층의 개수는 2 이상 20 이하이다.

일면에서, 상기에서 기술한 방법들 중 어느 하나는 10 μm 이하의 두께를 갖는 초박형 장치를 제조하는 방법에 관한 것이다. 기관들 중 어느 하나는 PDMS를 포함한다.

일 실시예에서, 기능층은 펴고 접을 수 있는 전자 장치에 의존하는 전자장치 구성 요소들을 포함한다. 일면에서, 장치 구성 요소는 미국출원특허 제10/851,182호에 기술된 하나 또는 그 이상의 늘어나는 장치 요소를 포함하고, 하나 또는 둘 이상의 제조공정으로 만들어진다. 미국출원특허 제11/851,182호는 늘어나는 구성 요소들, 장치들, 기하학적으로 파도 모양 또는 굽어진 기능층을 제조하는데 사용되는 늘어나는 장치 및 구성요소를 제조하는 방법에 대해 특별하게 참조에 의해 결합된 것이다. 일면에서, 예를 들어, 상기 장치는 2보다 크고, 8보다 크고 또는 2 내지 20 사이인 다수의 기능층을 포함한다.

기관층, 기능층 및 하나 또는 둘 이상의 중립 기계적 표면 조정층을 포함하는 다층 장치를 제조하는 것에 의해 굽은 표면을 가지는 전자장치를 만드는 방법을 제공하며, 상기 기능층은 공간적으로 비균일한 특성을 갖는 적어도 하나의 다층을 기관층에 의해 지탱되며, 공간적으로 비균일한 특성은 기능층과 일치하거나 인접한 중립 기계적 표면에 위치한다. 다층 장치는 상기에서 기술한 제조공정 중 어느 하나에 의해 만들어질 수 있다. 다층 장치는 접을 수 있고 구부릴 수 있기 때문에, 곡선 모양의 표면을 다층 장치로 등각 포장하는 것은 굽어진 표면을 가지는 전자 장치를 제공한다. 상기에서 제공된 펴고 접을 수 있는 장치 때문에, 임의적 모양의 굽어진 표면은 임의적인 곡선 표면, 반구형 또는 원통형 표면에 제한되지 않고, 상기 제조공정과 혼용될 수 있다. 일례로, 장치는 반구형 광학 이미저(imager) 또는 전자 아이(electronic eye)이다. 추가적으로, 종래 평면 형상의 카메라와 비교하여 비슷하거나 향상된 이미지 캡처(capture) 및 렌더링(rendering)을 제공하는 굽어진 모양을 가진 정교한 카메라를 제공한다. 우수한 감도와 동작 특성을 가진 상기 카메라는 예를 들어, 망막 인플란트와 같은 수많은 적용 분야에 사용될 수 있다.

일 실시예에서, 초박형으로 플렉서블하고 접을 수 있는 회로 또는 CMOS 회로와 같은 전자 장치의 얇은 박판을 만드는 방법을 제공한다. 상기 방법들 중 일례는 희생층(sacrificial layer)으로 캐리어층 표면의 적어도 일부분을 코팅하고 상기 희생층에 기관층을 결합시킨 캐리어층 표면을 제조하는 방법을 제공하고, 상기 기관층은 적어도 하나의 전자 장치 구성 요소를 지지하며, 전자 장치는 기관층을 통해 다수의 희생층 접근 개구(access opening)를 패터닝하고 상기 접근 개구를 통해 희생층에 희생층 제거 물질을 공급함으로써 캐리어층 표면으로부터 기관층이 박리되며, 이를 통해 접을 수 있는 전자 장치를 얻을 수 있다.

일면에서, 희생층은 PMMA를 포함하고, 희생층 제거 물질은 PMMA 용매이다. 또 다른 일면에서, 접을 수 있는 전자 장치는 초박형이다.

또 다른 일면에서, 접을 수 있는 전자 장치를 제조하는 방법은 추가적으로 박리된 기관층을 탄성 중합체 스탬프와 균일하게 결합시키는 것을 포함하고, 상기 탄성 중합체 스탬프는 하나 또는 둘 이상의 구성 요소들을 상기 스탬프와 결합시키는 제1 변형을 가지며, 제1 변형에서 제1 변형과 상이한 제2 변형으로 스탬프를 변형시키는 외력이 적용된다. 제1 변형에서 제2 변형까지 스탬프의 변형 변화는 하나 또는 둘 이상의 구성 요소들을 구부러지게 하며, 이에 의해 기관과 구부러진 모양을 제공하는 중앙 영역에 결합되는 첫번째 말단과 두번째 말단을 각각 가지는 하나 또는 둘 이상의 늘어나는 구성 요소들을 발생시킬 수 있다. 일 실시예에서, 결합 단계는 구성 요소, 스탬프 표면 또는 구부러진 구성 요소들의 공간적 패턴을 발생시키는 구성 성분 및 스탬프 표면 모두에 결합 및 비결합 영역의 패턴을 발생시키는 단계를 포함한다. 일면에서, 상기 장치는 회로 박판이다.

일 실시예에서, 프리-스탠딩을 대신에, 박리된 전자 장치는 물결 모양을 만드는 과정일 수 있다. 상기 방법의 일례는 미국공개특허 제2008/0157235호에 기술된 바와 같이, 하나 또는 둘 이상의 구성 요소들을 스탬프에 연결하기 위해 제1 변형을 가지는 탄성중합체 스탬프를 가진 박리된 기관층을 균일하게 접촉시키는 방법과 제1 변형에서 제1 변형과는 상이한 제2 변형까지 스탬프의 변형을 발생시키는 탄성중합체의 외력 적용 방법을 제공하고, 상기 제1 변형에서 제2 변형까지의 스탬프의 변형 변화는 하나 또는 둘 이상의 구성 요소들이 구부러지게 하며, 이에 의해 구부러진 모양에서 제공되는 기관과 중앙 영역으로 결합되는 첫번째 말단과 두번째 말단을 가지는 하나 또는 둘 이상의 늘어나는 구성 요소들을 발생시킨다. 상기 공정은 물결 모양의 기하학적인 구조에 의해 비교적 높게 늘어날 수 있는 국지적 영역을 가진 전자 장치를 제공하는 한 방법이다. 결합 영역을 조절하기 위해, 접합체는 하나 또는 구성 요소의 스탬프 표면 모두에 패턴된다.

또 다른 일면에서, 전자 구성 요소 배열 또는 요소의 패턴 배열과 같이(예를 들어, 반도체) 고정확성 리프트-오프 인쇄 요소들을 가능하게 하기 위해 고정 및 지지 구조를 이용함으로써 접을 수 있는 전자 장치의 제조방법을 제공한다. "고정확성(high-fidelity)"은 약 90% 리프트-오프, 95% 또는 인쇄된 요소들의 제거가 97% 이상인 것을 의미하며, 의도적으로 수집되는 기관으로의 전사와 관련된다. 희생층이 인쇄된 요소 및 기반이 되는 지지 기관 웨이퍼 사이의 결합력에 의한 의도하지 않은 결합체 손실의 감소 및/또는 용액에서 인쇄된 구성요소 손실의 최소화하기 위해 에칭 용액에 용해되는 곳에 대한 적용에 상기 공정은 특히 적합하다. 일면에서, 기관을 지지 기관 표면 위에 기능층을 제공하는 방법을 제공하고, 상기 기능층은 기능층에 하나 또는 둘 이상의 접근 개구를 에칭하고 기능층과 접근 개구에 대하여 중합 물질을 캐스팅하며, 여기서 접근 개구에서 캐스트 폴리머는 기관 표면 지지, 폴리머 재료로 탄성중합체 스탬프 연결 및 기관으로부터 폴리머 재료를 제거하기 위해 지지 기관에서 탄성 중합체 제거로부터 고정확성 리프트-오프 배열을 용이하게 하기 위한 앵커(anchor)를 발생시키고, 이에 의해 지지 기관으로부터 폴리머 재료에 고정된 배열을 제거할 수 있다. "배열(array)"은 다수의 공간적으로 변화하는 요소들을 나타거나, 층 내 명백한 형상을 갖는 요소들을 가진 연속적인 박막층을 나타낸다.

일 실시예의 일면에서, 접근 개구들은 에칭홀들이다. 선택적으로, 상기 방법은 장치 기관 표면에 장치의 제거된 배열을 프린팅하는 것을 추가적으로 포함한다. 일 실시예에서, 공정은 다층 전자 장치를 만들기 위해 반복적으로 수행될 수 있다. 상기에서 기술된 방법들 중 어느 하나는 선택적으로 GaAs 다층 태양 전지인 프린트된 장치를 위한 것이다.

일 실시예에서, 평면 형상을 가진 전자 장치 또는 구성 요소들을 굽어진 표면으로 프린팅하는 것을 나타낸다. 예를 들어, 평면 형상의 장치는 본 발명에 따른 제조공정으로 만들어지는 접을 수 있는 장치 내에 결합될 수 있고, 곡선 모양으로 변화된다. 일면에서, 전자 스탬프의 완료된 형상은 전자 장치 또는 구성 요소가 이동되는 굽

어진 기관으로 캐스트되는 전사 요소 또는 구성 요소와 같이, 굽어진 스탬프에 장치가 전사되는 장치 기관의 형상과 일치한다. 방법의 일례는 대체로 평면인 기관 표면 위에 장치를 제공하는 방법, 곡선 모양을 가진 탄성 중합체 스탬프를 제공하는 방법, 대체로 평면인 스탬프 표면을 제공하기 위해 탄성 중합체 스탬프를 변형하는 방법, 기관 표면 위에 장치를 가진 대체로 평면인 스탬프 표면을 연결하는 방법, 대체로 평면인 스탬프 표면을 기관 표면 위 장치와 연결하는 방법 및 기관으로부터 일방향 스탬프 리프팅에 의해 기관 표면으로부터 장치를 제거하는 방법을 제공하며, 이에 의해 대체로 평면인 스탬프 표면을 굽어진 형상을 가진 표면으로 변형시킬 수 있다.

또 다른 일면에서, 본 발명은 굽어진 표면을 대체로 평면인 표면으로 변화하기 위한 장치에 관한 것이다. "대체로 평면"은 완전한 평면에 대해 10%, 5% 또는 1% 미만의 최대 편차를 가지는 접촉 표면을 나타낸다. 상기 장치는 탄성 중합체 스탬프를 수용하기 위한 홀더(holder) 및 수용된 탄성 중합체 스탬프에 외력을 발생시키기 위한 홀더에 연결되는 외력 발생기(force generator)를 포함한다. 표면 평면화를 위한 방법으로 사용될 수 있다. 일례에서, 홀더로 정의되는 풋프린트(footprint) 영역을 조절하기 위해 조절되는 장력인가 단계는 부합하는 형상을 제공한다. 홀더의 형상은 굽어진 표면의 형상에 따라 선택될 수 있다. 반구형으로 굽어진 표면에 대해, 풋프린트 영역은 반구형 표면을 평편하게 하기 위해 방사형 외력을 제공하는 원형일 수 있다. 부분적으로 원통형 형상의 표면은 굽어진 표면을 평편하게 하기 위해 직사각형 풋프린트 영역을 가진 단축 외력 발생기를 포함할 수 있다.

상기 장치는 수용된 탄성 중합체 스탬프 및 대체로 평편한 기관 위 전자 요소 사이에 균일한 결합을 위해 홀더로 연결되는 수직 트랜스레이터(vertical translator)를 추가적으로 포함한다. 일면에서, 상기 홀더는 원형 형상을 가진다. 일면에서, 상기 외력 발생기는 홀더로 연결되는 장력인가 단계를 포함한다. 일면에서, 상기 장력인가 단계는 홀더에 탄성중합체 스탬프를 고정하고 굽어진 표면을 평편하게 하기 위해 방사 방향 외력을 전달하기 위한 다수의 패들암(paddle arm)을 포함한다.

또 다른 일면에서, 본 발명은 지지층을 가진, 펴고 접을 수 있는 장치를 제공하고, 상기 층은 탄성중합체, 지지층에 의해 지지되는 기능층 및 하나 또는 둘 이상의 중립 기계적 표면 조정층이고, 상기 층 중 적어도 어느 하나 또는 둘 이상은 공간적으로 비균일한 특성을 가지며, 이에 의해 중립 기계적 표면은 기능층에 일치하거나 인접하게 발생한다.

일면에서, 상기 비균일 특성은 영률, 층 두께, 공간적으로 패턴된 추가층, 음폭 들어간 부분, 기능층 요소 배치 및 기능층 형상 중 하나 또는 둘 이상으로부터 선택된다.

일면에서, 상기 장치는 집적 회로, 반도체, 트랜지스터, 다이오드, 논리 게이트, 전자 구성 요소의 배열 및 광학 시스템으로 이루어지는 군으로부터 선택된다.

일면에서, 상기 기능층은 기관과 결합 또는 단단한 아일랜드(예를 들어, 전자장치 수용하기 위한 콘택패드)와 결합되는 말단 및 결합되지 않는 중간 영역으로 구분러진 나노리본과 같이 나노리본 배열을 가질 수 있다. 상기 기능층에 추가적인 가요성을 부여한다.

또 다른 일면에서, 본 발명은 자유로운 형상의 기관 범위에서 펴고 접을 수 있고 및/또는 접을 수 있는 전자 장치를 제조하는 방법을 제공한다. 상기 장치는 고성능이며, 전자장치 및 변형 인가 파괴에 취약한 장치의 기능층에 과도한 변형 및 응력을 제거하는 변형 분리층을 사용하여 제조된다. 일면에서, 상기 방법은 제2 영률을 포함하는 분리층을 가진 제1 영률을 포함하는 수용 기관을 코팅하는 것과 전자장치를 수용하기 위한 수용 표면을 가진 분리층을 포함하며, 상기 제2 영률은 제1 영률 보다 작다. 일 실시예에서, 분리층은 폴리머 또는 탄성중합체이다. 상기 전자장치는 인쇄할 수 있는 모양으로 지지 기관에 제공된다. "인쇄 가능한 전자장치(printable electronic device)"는 예를 들어, 접촉 전사 프린팅(contact transfer printing)에 의해 하나의 기관에서 또 다른 기관으로 전사할 수 있는 전자장치 또는 구성 요소(예를 들어, 회로, CMOS 회로, 연결체, 장치 아일랜드, 반도체 요소/층, 트랜지스터, 논리회로 및 상기의 배열들)를 나타낸다. 인쇄 가능한 전자장치는 예를 들어, 접촉 전사 프린팅에 의해 지지 기관으로부터 분리층 수용 표면으로 전사된다. 상기 분리층은 예를 들어, 장치 수용 기관에 적용되는 변형과 같이, 인가된 변형으로부터 전사된 전자장치의 적어도 일부분을 분리한다.

일면에서, 상기 방법은 예를 들어, 섬유, 비닐, 가죽, 라텍스, 스판덱스, 종이인 수용 기관에 제한되지 않고, 수용 기관을 포함하는 기관 위에 전자장치 및 구성요소를 제공하는데 사용된다. 일면에서, 고성능 전자 회로는

장갑, 옷, 예를 들어, 유리, 지붕, 벽지와 같은 건축 재료, 생산 시스템 및 곡선 모양에서 전자장치 및/또는 연속적으로 변형되는 시스템에서 필요로 하는 또 다른 적용분야와 결합될 수 있다. 일 실시예에서, 상기 기관은 직물을 포함한다. 또 다른 일면에서, 상기 방법은 폴리머, 무기물 폴리머, 유기물 폴리머, 반도체 재료, 탄성중합체, 웨이퍼, 세라믹, 유리 또는 금속과 같은 종래 기관 물질들과 관련된다.

일면에서, 상기 폴리머는 PDMS를 포함한다. 일면에서, 분리층 영률("제2 영률")은 약 10 이상(예를 들어, 분리층은 수용 기관의 영률보다 적어도 10배 작은 영률을 가진다)인 제1 영률에 대하여 제2 영률의 비와 같이, 수용 기관 영률("제1 영률")에 상대적으로 기술된다. 일면에서, 상기 분리층은 5 MPa 이상, 1 MPa 이상, 0.01 MPa 이상과 100 MPa 사이 또는 약 0.1 MPa와 5 MPa 사이의 영률을 가진다. 일면에서, 상기 분리층은 2 mm 이하, 200  $\mu\text{m}$  이하, 100  $\mu\text{m}$  이하 또는 20  $\mu\text{m}$  이하의 두께를 가진다. 일면에서, 상기 분리층은 10  $\mu\text{m}$ 와 2 mm 사이, 40  $\mu\text{m}$ 와 200  $\mu\text{m}$  사이 또는 50  $\mu\text{m}$ 와 150  $\mu\text{m}$  사이인 범위에서 선택되는 두께를 가진다.

일 실시예에서, 본 발명에 따른 제조방법 및 장치는 변형 분리의 특정 레벨을 제공하는 것과 관련된다. 일면에서, 상기 분리층은 변형 분리층이 없는 시스템과 비교하여 적어도 20% 이상 또는 90% 이상인 변형 분리를 제공한다. 일면에서, 변형 분리의 상한치는 실행 가능한 값이다. 일면에서, 변형에 민감한 요소에서의 변형 분리는 변형 분리층 없이 시스템을 비교하면 약 100 이하이다(예를 들어, 약 99% 변형 분리까지).

일면에서, 인쇄가능한 전자장치는 전자장치의 일 구성요소이며, 예를 들어, 회로는 추가적인 전기회로망 또는 전체적인 전자장치를 형성하는 또 다른 구성 요소들을 가진 전자장치의 일부분과 같다. 일면에서, 상기 구성 요소는 굽어진 형상을 가지는 다수의 연결체를 포함하고, 상기 연결체는 예를 들어, 장치 아일랜드와 같은 변형에 민감한 영역에 연결된다. 상기 굽어진 형상은 면내, 면외 또는 분리층 수용 표면에 대하여 이들의 조합일 수 있다.

일 실시예에서, 상기 분리층은 적어도 부분적으로 수용 기관을 통과한다. 상기 통과는 기계적 변형 및 응력이 비교적 높은 곳에서도 같이, 분리층 및 기저 기관 사이에 높은 접착력을 가지도록 의도된 적용에 대해 유용할 수 있고, 이에 의해 작동하는 동안 박리의 위험성이 높아진다. 일면에서, 상기 수용 기관은 상기 분리층과 수용 기관 사이 접촉 면적을 증가시키는 표면 구조를 가진다. "표면 구조(Surface texture)"는 증가된 표면 영역에 작용상 나타나는 어떠한 기술을 총칭하여 사용할 수 있다. 예를 들어, 상기 기관은 내적 또는 외적으로 돌출 형상(relief feature) 또는 또 다른 표면 거칠기(surface roughness)를 가질 수 있다. 일면에서, 상기 수용 기관은 포어들을 가지며, 상기 포어들은 10% 이상, 5% 이상, 1% 이상 또는 약 1%와 10% 사이의 표면 다공성을 가지는 수용 기관과 같이, 수용 기관으로 분리층을 통과시키는 것을 용이하게 한다. 공급 퍼센트는 포어 또는 개구를 가지는 총 표면적의 퍼센트를 의미한다. 또 다른 일면에서, 상기 수용 기관은 섬유를 포함하고, 이에 의해 수용 기관으로 폴리머가 용이하게 통과할 수 있다. 일 실시예에서, 기관 표면을 통과한 폴리머에 완전하게 결합된 기관 표면과 근접한 직물의 적어도 일부분과 같이, 직물의 적어도 일부분은 폴리머층에 결합된다.

상기에서 기술한 장치 및 방법은 봉지층을 포함하며, 상기 봉지층은 장치를 완전하게 봉지 또는 부분적으로 장치의 일부를 덮는다. 일면에서, 상기 봉지층은 선택된 영률을 가지며, 상기 영률은 수용 기관의 영률보다 작거나 분리층의 영률보다 작다. 일면에서, 상기 봉지층은 비균일한 영률을 가진다. 일면에서, "비균일한 영률(inhomogeneous Young's modulus)"은 형상 도입(예를 들어, 돌출 형상), 봉지층의 표면 또는 봉지층 내 다른 구조체에 선택적으로 위치하는 것과 같이, 공간적으로 변화하는 영률을 의미한다.

또 다른 실시예에서, 본 발명은 펴고 접을 수 있는 전자장치에 관한 것이고, 상기 장치는 상기에서 기술한 제조 방법들의 결합을 포함하는 어느 한 방법에 의해 제조될 수 있다. 예를 들어, 중립 기계적 면을 이용하는 방법은 전자장치 역할을 추가적으로 향상시키는 폴리머 박층인 변형-분리층과 결합될 수 있다.

일 실시예에서, 상기 펴고 접을 수 있는 전자장치는 수용 기관, 상기 수용 기관 일면을 적어도 부분적으로 코팅하는 분리층 및 분리층에 의해 적어도 부분적으로 지지되는 전자장치를 포함한다. 상기 분리층은 상기 전자장치(예를 들어, 전자장치의 기능층)가 분리층이 없는 장치에서 변형률을 비교했을 때 적어도 20% 또는 90%로 감소되는 변형 분리를 이룰 수 있도록 형성된다. 일면에서, 상기 분리층은 2 mm 이하의 두께를 가지고, 100 MPa 이하의 영률을 가진다. 유용한 장치의 일례는 전자장치 또는 접착제 또는 접합 전구체로 코팅된 장치 아일랜드의 이면에 해당하는 공유결합과 같이 분리층을 가지는 결합영역을 포함하는 기능층을 포함한다. 예를 들어, 액티브 장치 아일랜드의 이면은 PDMS 폴리머로 만들어지는 분리층과 전자장치 결합 영역 사이의 Si-O-Si 결합을 포함하

는 공유결합을 형성하기 위해 Cr/SiO<sub>2</sub>의 이중층으로 코팅될 수 있다. 따라서, 비결합 영역은 전자장치와 분리층 사이의 결합력이 결합 영역보다 적은 영역을 의미한다. 예를 들어, 상기 비결합 영역은 접착제 또는 접착 전구체(예를 들어, Cr/SiO<sub>2</sub>)로 코팅될 수 없다. 상기 비결합 영역은 변형에 민감하고 비교적 단단하고 인접한 장치 아일랜드를 연결하는 구부러진 연결체와 선택적으로 일치한다. 상기 구부러진 모양은 변형 또는 변형 유도된 응력으로부터 비교적 단단한 장치 아일랜드와 같은 기능층을 추가적으로 분리한다. 장치들 중 어느 하나는 봉지층을 포함하고, 상기 봉지층은 비균일한 영률을 가진다.

"접을 수 있고(foldable)", "잘 구부러지며(flexible)" 및 "구부릴 수 있는(bendable)"의 의미는 본 발명에서 유사한 의미이며, 재료, 구조 및 장치 또는 장치 구성 요소의 파괴점(failure point)을 특징짓는 변형과 같은 심각한 변형을 유도하지 않고 굽은 모양으로 변형되는 재료, 구조, 장치 또는 장치 구성 요소의 능력을 의미한다. 바람직한 실시예에서, 플렉서블 재료, 구조, 장치 또는 장치 구성 요소는 가해지는 변형률이 약 5% 미만으로 굽은 모양으로 변형될 수 있고, 바람직하게는 약 1% 미만이며, 더욱 바람직하게는 변형에 민감한 영역에서 가해지는 변형률이 약 0.5% 미만으로 변형될 수 있다.

[0035] "펼 수 있는(늘어날 수 있는, stretchable)"은 부러짐(fracture) 없이 변형되는 재료, 구조, 장치 또는 장치 구성 요소의 능력을 의미한다. 바람직한 실시예에서, 늘어날 수 있는 재료, 구조, 장치 또는 장치 구성 요소는 부러짐 없이 약 0.5% 이상 변형되고, 바람직하게는 부러짐 없이 약 1% 이상 변형되고, 더욱 바람직하게는 부러짐 없이 약 3% 이상 변형된다.

[0036] "기능층(functional layer)"은 장치에 몇몇의 기능을 부여하는 장치 포함층을 의미한다. 예를 들어, 기능층은 반도체 층과 같이 박막(thin film)일 수 있다. 그렇지 않으면, 기능층은 지지층(support layer)에 의해 분리되는 다수의 반도체 층과 같이 다수의 층을 포함할 수 있다. 기능층은 장치 수용 패드(pad) 또는 아일랜드(island) 사이를 연결하는 연결체와 같이 패턴된 다수의 성분들을 포함할 수 있다. 기능층은 여러 다른 종류로 이루어질 수 있고, 하나 또는 그 이상의 다른 특성들을 가질 수 있다. "다른 특성(inhomogeneous property)"은 공간적으로 다른 물리적 한도를 의미하며, 이에 의해 다층 장치내 중립 기계적 표면(neutral mechanical surface(NMS))의 위치에 영향을 준다.

[0037] "일치하는(coincident)"은 기능층, 기관층 또는 다른 층과 같은 층 내 또는 층과 인접하는 중립 기계적 표면(NMS)과 동일한 표면을 의미한다. 일면에서, 중립 기계적 표면은 가장 변형에 민감한 층 또는 층내 물질과 일치하기 위해 위치한다.

[0038] "인접한(proximate)"은 변형에 민감한 재료의 물리적 특성에 불리한 영향을 주지 않으면서 여전히 접힘성(foldability) 또는 굽힘성(bendability)을 제공하는 기능층, 기관층 또는 다른 층과 같은 층의 위치와 밀접하게 붙어있는 NMS를 의미한다. 일반적으로, 변형에 가장 민감하고 결과적으로 첫번째 층이 파괴되는 경향을 갖는 층은 비교적 깨지기 쉬운 반도체 또는 변형에 민감한 또 다른 장치 요소를 포함하는 기능층에 위치한다. 층에 가장 가까운 NMS는 그 층에 제한할 필요는 없지만, 장치(소자)가 접힐 때 변형에 민감한 장치 요소에서 변형이 감소하는 작용상의 이점을 제공하기 위해 근접하게 또는 충분히 가깝게 위치할 수 있다.

[0039] "전자장치(electronic device)"는 여기서는 폭넓게 집적 회로, 영상장치(imager) 또는 다른 광전기 장치(optoelectronic device)와 같은 장치를 의미한다. 전자장치는 또한 반도체, 연결체, 콘택 패드(contact pad), 트랜지스터, 다이오드, LED, 회로 등과 같은 전자장치의 구성 요소를 의미한다. 본 발명은 하기와 같은 분야와 관련된다: 집광(collecting optics), 확산광(diffusing optics), 디스플레이, 픽 앤드 플레이스 어셈블(pick and place assembly), 수직 공진 표면 발광 레이저(vertical cavity surface-emitting lasers, VCSELs)와 그 배열, LED와 그 배열, 투명 전자장치(transparent electronics), 태양광 배열(photovoltaic array), 태양전지와 그 배열, 플렉서블 전자장치, 미세조작기술(micromanipulation), 플라스틱 전자장치, 디스플레이, 픽 앤드 플레이스 어셈블, 전자 프린팅(transfer printing), LED, 투명 전자장치, 늘어나는 전자장치(stretchable

electronics) 및 플렉서블 전자장치(flexible electronics).

- [0040] "구성 요소(component)"는 장치에 사용되는 재료 또는 각각의 구성 요소를 의미하는 것으로 폭넓게 사용하였다. "연결체(interconnect)"는 구성 요소의 일레이며, 구성 요소 또는 구성 요소 사이와 전기적으로 연결할 수 있는 전도성 물질을 의미한다. 특히, 연결체는 불리 및/또는 각각에 대하여 이동할 수 있는 구성 요소들 사이에 전기적 접촉을 형성할 수 있다. 장치 열거, 작동 및 적용에 좌우되어 연결체는 적절한 재료로 만들어진다. 고 전도성을 필요로 하는 적용에 있어서, 일반적인 연결체 금속은 구리, 은, 금, 알루미늄 및 이들의 합금에 제한되지 않고 포함되어 사용될 수 있다. 적절한 전도성 재료는 실리콘, 인듐틴옥사이드(indium tin oxide) 또는 GaAs와 같은 반도체를 포함할 수 있다.
- [0041] "가요성(stretchable)" 연결체는 장치 요소와 전기적 연결 또는 전기적인 전도에 악영향을 미치지 않는 하나 또는 그 이상의 방향으로 늘림, 구부림 및/또는 압축과 같은 다수의 외력과 변형을 견딜 수 있는 연결체를 의미하며, 여기서는 폭넓게 사용되고 있다. 따라서, 가요성 연결체는 GaAs와 같은 비교적 깨지기 쉬운 재료로 형성될 수 있으며, 연결체의 기하학적 모양 때문에 심각한 변형력(예를 들어, 늘림, 구부림, 압축)에 노출되었을 때에도 작동할 수 있다. 바람직한 실시예에서, 가요성 연결체는 파손되지 않고 약 1%, 10% 또는 약 30% 이상 또는 약 100% 이상의 변형을 견딜 수 있을 것이다. 실시예에서, 연결체의 적어도 일부분이 결합되는 기본 탄성 중합체 기판을 늘림으로써 변형이 발생한다.
- [0042] "장치 구성 요소(device component)"는 전기적, 광학적, 기계적 또는 열적 장치 내 각각의 구성 요소를 폭넓게 의미하기 위해 사용된다. 구성 요소는 하나 또는 그 이상의 광다이오드(photodiode), LET, TFT, 전극, 반도체, 광-수집/감지 구성 요소(light-collecting/detecting), 트랜지스터, 집적 회로, 장치 구성 요소를 수용할 수 있는 콘택 패드(contact pad), 박막 장치, 회로 요소, 조절 요소, 마이크로프로세서(microprocessor), 변환기(transducer) 및 이들의 결합물일 수 있다. 장치 구성 요소는 예를 들어, 금속 증발법(metal evaporation), 와이어 본딩(wire bonding), 고체 또는 전도성 페이스트의 적용과 같은 당업분야에 알려진 하나 또는 그 이상의 콘택 패드와 연결될 수 있다. 일반적으로 전기 장치는 다수의 장치 구성 요소들과 결합된 장치를 의미하고, 큰 크기의 전자장치, 인쇄 배선 기판(printed wire board), 집적 회로, 장치 구성요소 배열, 생물학적 및/또는 화학적 센서, 물리적 센서(예를 들어, 온도, 빛, 방사 등), 태양전지 또는 태양광 배열, 디스플레이 배열, 광 수집기(optical collector), 시스템 및 디스플레이를 포함한다.
- [0043] "기판(substrate)"는 장치, 구성 요소 또는 연결체를 포함하는 구성요소를 지지할 수 있는 표면을 가진 재료를 의미한다. 기판에 "결합된(bonded)" 연결체는 기판과 물리적으로 접촉된 연결체의 일부분을 의미하며, 결합된 기판 표면에 대하여 이동하는 것이 불가능한 표면을 가진 재료를 의미한다. 대조적으로, 결합되지 않은 부분들은 기판에 대하여 이동할 수 있다. 연결체의 결합되지 않은 부분은 일반적으로 변형이 야기된 연결체의 구부러짐과 같은 "구부러진 모양(bent configuration)"을 가진 부분에 해당한다.
- [0044] "NMS 조절층(NMS adjusting layer)은 장치에서 NMS의 부분을 조절하는 것을 주기능으로 하는 층을 의미한다. 예를 들어, NMS 조절층은 탄성 중합체 재료와 같은 봉지층 또는 추가층일 수 있다.
- [0045] 상기에서 기술한 바와 같이, "구부러진 모양(bent configuration)"은 외력으로부터 나타나는 구부러진 모양을 가진 구조를 의미한다. 본 발명에서 구부러진 구조는 접혀진 영역, 볼록한 영역, 움푹한 영역 및 이들의 조합을 하나 또는 그 이상을 가진 것일 수 있다. 본 발명에서 유용한 구부러진 구조는 예를 들어, 코일 형태, 구겨진 형태, 버클링 모양 및/또는 물결 모양(예를 들어, 파도 모양)일 수 있다.
- [0046] 늘어나는(펴고) 구부러진(접을 수 있는) 연결체와 같은 구부러진 구조는 변형하 구부러진 상태에서 폴리머 및/또는 신축성 기판과 같은 가요성 기판과 결합될 수 있다. 실시예에서, 구부러진 리본 구조와 같은 구부러진 구

조는 변형이 약 30% 이하이고, 약 10%이하이며, 약 5% 이하이고, 바람직한 실시예에서는 1% 이하이다. 실시예에서, 구부러진 리본 구조와 같은 구부러진 구조는 약 0.5% 내지 약 30%의 범위로부터 선택되는 변형이고, 약 0.5% 내지 약 10%이며, 약 0.5% 내지 5%이다. 대신에, 늘어나는 구부러진 연결체는 늘어나지 않는 기관을 포함하는 장치 구성 요소의 기관과 결합될 수 있다. 기관 그 자체는 평면이고, 대체적으로 평면이며, 구부러지고, 날카로운 모서리를 가질 수 있으며, 이들의 조합일 수 있다. 늘어나는 구부러진 연결체는 하나 또는 그 이상의 복잡한 기관 표면 모양들을 변형하는 것이 가능하다.

[0047]

[0048]

"결합 위치 패턴(pattern of bond sites)"은 지지된 연결체가 기관과의 결합영역과 비결합영역을 가지기 위해 지지 기관 표면 및/또는 연결체에 결합하는 방법의 공간적 적용을 의미한다. 예를 들어, 연결체는 그 말단에서 기관과 결합되고 중앙부에서는 결합되지 않는다. 또한, 형상 제어는 중앙부내 추가적인 결합 위치를 제공함으로써 가능하며, 결합되지 않은 영역은 두개의 다른 중앙부로 나누어진다. 결합 방법은 접착제(adhesives), 접착성 전구체(adhesive precursors), 용접(welds), 포토리소그래피(photolithography), 광경화성 폴리머(photocurable polymer)를 포함할 수 있다. 일반적으로 결합 위치는 다양한 방법으로 패턴화할 수 있고, 기관과 지형(예를 들어, 연결체) 사이의 높은 결합력을 제공할 수 있는 표면 활성화( $W_{act}$ ) 범위와 비교적 약한 결합력을 보이는 표면 비활성화( $W_{in}$ ) 범위로 설명될 수 있다. 직선상에서 패턴화된 기관은  $W_{act}$ 과  $W_{in}$  수치로 설명될 수 있다. 초기변형률(prestrain)의 크기( $\epsilon_{pre}$ )에 따라 상기 변수들은 연결체의 외형에 영향을 미친다.

[0049]

"초박형(ultrathin)"은 굽힘성의 극한 레벨을 나타내는 얇은 외형의 장치를 의미한다. 일관점에서, 초박형은 1  $\mu\text{m}$  미만, 600 nm 미만 또는 500 nm 미만의 두께를 가지는 회로를 의미한다. 일관점에서, 초박형인 다층 장치는 200  $\mu\text{m}$  미만, 50  $\mu\text{m}$  미만 또는 10  $\mu\text{m}$  미만의 두께를 가진다.

[0050]

"탄성 중합체(elastomer)"는 늘리거나 변형되고 영구적인 변형없이 본 모양으로 돌아갈 수 있는 중합 물질이다. 탄성 중합체는 일반적으로 탄성 변형한다. 본 발명에서 유용한 대표적인 탄성 중합체는 중합체(polymer), 공중합체(copolymer), 복합 재료 또는 중합체와 공중합체의 혼합물을 포함할 수 있다. 탄성 중합체 층은 적어도 하나의 탄성 중합체를 포함하는 층을 의미한다. 탄성 중합체 층은 또한 불순물(dopant)과 비탄성 중합 물질을 포함할 수 있다. 본 발명에서 유용한 탄성 중합체는 열가소성 탄성 중합체(thermoplastic elastomer), 스티렌계 물질(styrenic materials), 올레핀계 물질(olefinic materials), 폴리올레핀(polyolefin), 폴리우레탄 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 합성고무(synthetic rubbers), PDMS, 폴리부타디엔(polybutadiene), 폴리이소부틸렌(polyisobutylene), 폴리(스티렌-부타디엔-스티렌)(poly(styrene-butadiene-styrene)), 폴리우레탄(polyurethanes), 폴리클로로프렌(polychloroprene) 및 실리콘을 포함하지만, 이에 제한되는 것은 아니다. 탄성중합체는 현재 방법에 유용한 탄성 중합체 스탬프(elastomeric stamps)를 제공한다.

[0051]

[0052]

"탄성 중합체 스탬프(elastomeric stamp)" 또는 "탄성 중합체 이송장치(elastomeric transfer device)"는 교체 가능하게 사용되고, 특성을 수용하고 전달할 수 있는 표면을 가진 탄성 중합체 물질을 의미한다. 대표적인 탄성 중합체 이송장치는 스탬프, 몰드 및 마스크를 포함한다. 이송장치는 공여물질로부터 수용물질로 특성 전달에 영향 및/또는 용이하게 한다. "탄성 중합체" 또는 "탄성 중합체의"는 늘리거나 변형되고 영구적인 변형없이 본 모양으로 돌아갈 수 있는 중합 물질이다. 탄성 중합체는 일반적으로 탄성 변형한다. 본 발명에서 유용한 대표적인 탄성 중합체는 중합체, 공중합체 복합물질 또는 중합체와 공중합체의 혼합물을 포함할 수 있다. 탄성 중합체 층은 적어도 하나의 탄성 중합체를 포함하는 층을 의미한다. 탄성 중합체 층은 또한 도판트와 비탄성 물질을 포함할 수 있다. 본 발명에서 유용한 탄성 중합체는 열가소성 탄성 중합체, 스티렌계 물질, 올레핀계 물질, 폴리올레핀, 폴리우레탄 열가소성 탄성 중합체, 폴리아미드, 합성고무, 폴리디메틸실록산(PDMS)을 포함하는 실리콘계 유기 폴리머, 폴리부타디엔, 폴리이소부틸렌, 폴리(스티렌-부타디엔-스티렌)(poly(styrene-butadiene-styrene)), 폴리우레탄, 폴리클로로프렌 및 실리콘을 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0053]

"등각 포장(conformal wrapping)"은 표면, 코팅된 표면 및/또는 기관 표면에 이송, 결합, 계층 및 집적 구조(예

를 들어, 인쇄할 수 있는 반도체 요소)로 유용할 수 있는 재료가 증착된 표면 사이에 형성된 접착을 의미한다. 일면에서, 등각 접착은 적합한 이송 장치의 하나 또는 둘 이상의 접착 표면을 기판 표면의 전체적인 모양 또는 인쇄할 수 있는 반도체 요소와 같은 재료 표면에 거시적으로 적용하는 것을 포함한다. 또 다른 일면에서, 등각 접착은 적합한 이송 장치의 하나 또는 둘 이상의 접착 표면을 공동없이 친밀한 접착을 유도하는 기판 표면에 미세하게 적용하는 것을 포함한다. 등각 접착의 용어는 소프트 리소그래피의 분야에서 상기 용어의 사용과 일치한다. 등각 접착은 접을 수 있는 장치의 하나 또는 둘 이상의 처리되지 않은 접착 표면과 기판 표면 사이에 형성될 수 있다. 또한, 하나 또는 둘 이상의 코팅된 접착 표면, 예를 들어, 이송 물질을 가지는 접착 표면, 인쇄할 수 있는 반도체 요소, 장치 구성 요소 및/또는 적합한 이송장치에 증착된 장치와 기판 사이에 형성될 수 있다. 또한, 등각 접착은 적합한 이송 장치의 하나 또는 둘 이상의 처리되지 않은 또는 코팅된 접착표면과 이송 물질, 고체 감광층(solid photoresist layer), 프리폴리머층(prepolymer layer), 액체, 박막 또는 유체와 같은 물질로 코팅된 기판 표면 사이에 형성될 수 있다.

[0054]

[0055] "저 영률(low modulus)"은 10 MPa 이하, 5 MPa 이하 또는 1 MPa 이하의 영률(Young's modulus)를 가진 재료를 의미한다.

[0056] "영률(Young's modulus)"은 주어진 물질의 변형률에 대한 응력의 비를 의미하는 재료, 장치 또는 층의 기계적 특성이다. 영률은 하기 수학적식과 같이 나타낼 수 있다.

$$E = \frac{(\text{stress})}{(\text{strain})} = \left( \frac{L_0}{\Delta L} \times \frac{F}{A} \right);$$

[0057]

[0058] 여기서, E는 영률이고, L<sub>0</sub>은 평형 길이이고, ΔL은 가해진 응력하의 길이 변화이고, F는 가해진 응력이고, A는 외력이 가해진 넓이다. 영률은 또한 방정식을 통한 라메상수(Lame constant)로 나타낼 수 있다.

$$E = \frac{\mu(3\lambda + 2\mu)}{\lambda + \mu};$$

[0059]

[0060] 여기서, λ과 μ는 라메상수이다. 높은 영률(또는 "고 영률(high modulus)")과 낮은 영률(또는 "저 영률(low modulus)")은 주어진 물질, 층 또는 장치에서 영률 크기의 상대적인 기술어이다. 본 발명에서, 높은 영률은 낮은 영률보다 큰 것이고, 바람직하게는 일부 적용에서 약 10배를 초과하며, 더욱 바람직하게는 약 100배를 초과하고, 더욱 바람직하게는 약 1000배 초과한다. "비균일 영률(Inhomogeneous Young's modulus)"은 공간적으로 변화하는(예를 들어, 표면 위치에 따라 변함) 영률을 가진 물질을 의미한다. 비균일 영률을 가진 물질은 물질의 전체층에 대해 "벌크(bulk)" 또는 "평균(average)" 영률로 선택적으로 기술될 수 있다.

[0061] "박층(Thin layer)"은 밑에 있는 기판을 적어도 부분적으로 덮는 물질을 의미하며, 두께가 300 μm 이하, 200 μm 이하 또는 50 μm 이하이다. 또한, 전자장치에서 분리되거나 변형률을 줄이기에 충분한 두께, 더욱 특별하게는 변형률에 민감한 전자 장치에서 기능층과 같은 기능적 변수로 기술될 수 있다. "분리(Isolate)"는 장치가 접힘 변형으로 늘어날 때 기능층에 가해지는 변형률 또는 응력을 줄이는 탄성 중합체층의 존재를 의미한다. 일면에서, 탄성 중합체층 없이 동일한 시스템에서 변형률을 비교하여 적어도 20배, 적어도 50배 또는 적어도 100배 줄어든 변형률이면 변형률이 "상당히(substantially)" 감소한 것이라고 말한다.

[0062]

[0063] 실시예 1: 펴고 접을 수 있는 실리콘 집적회로

[0064] 고성능이며 늘어나고 펴고 접을 수 있는 집적회로(ICs)를 제조하는 방법이다. 시스템은 단결정 실리콘의 나노리본 배열이 정렬된 것을 포함하는 무기물 전자 물질이 초박형 플라스틱과 탄성 중합체 기판과 통합된다. 디자인은 다층 중립 기계적 평면 레이아웃과 실리콘 상보 논리 게이트(silicon complementary logic gates), 링 진동자(ring oscillators) 및 차동증폭기(differential amplifiers)의 '물결 모양의(wavy)' 구조적 모양과 결합된

다. 회로 시뮬레이션과 함께 집적회로(ICs)에서 기계적 변형의 3차원 분석과 컴퓨터 모델링은 측정된 반응을 바탕으로 하는 내용을 반영한다. 부서지기 쉽고 깨지기 쉬운 기계적 특성으로 시스템에서 사용될 수 없는 고성능 무기물 전자 물질과 결합할 수 있는, 고성능이며 접을 수 있고 늘어나는(펼 수 있는) 광전자 소자를 제조할 수 있는 일반적이고 실현가능한 방법을 통해 제공된다.

[0065] 단단한 반도체 웨이퍼에 사용되는 기존의 기술과 경량이고 접을 수 있으며 늘어나는 구성방식으로 동일한 성능을 가지는 전자장치의 실현은 새로운 적용에 대한 발전을 촉진한다. 실시예는 개인적인 건강 모니터링과 치료법을 위한 착용감이 좋은 시스템을 포함하며, 예를 들어, 통합 전자장치와 반구형 기관에 초점면(focal plane) 배열이 만들어진 전자능 타입 이미지를 가진 '스마트(smart)' 수술 장갑을 포함한다<sup>(1-3)</sup>. 유기물<sup>(4,5)</sup>, 또는 플라스틱 또는 강철 호일 기관의 유기물<sup>(6-13)</sup> 전자 물질의 특정 계층은 기계적 가요성을 제공할 수 있지만, 접거나 늘릴 수 없다. 또한, 상기 시스템과는 다른 이외의 것들<sup>(11-13)</sup>은 단지 일반적인 전기적 성능을 제공한다. 단단하거나<sup>(14)</sup> 늘어나는<sup>(15-17)</sup> 무기물 장치 구성 요소들을 가진 늘어나는 금속 연결체는 특정상황에서 고성능을 제공하는 대안적 방법을 나타낸다. 그러나, 기존에 존재하는 형태에서 어떠한 방법도 실질적으로 유용한 작동 상태를 가진 회로 시스템에서 크기 조절(scaling)되지 않는다.

[0066] 실시예는 반대로 접을 수 있고 늘어나는 고성능 단결정 실리콘 상보 금속 산화물 반도체(single crystalline silicon complementary metal oxide semiconductor(Si-CMOS) 집적회로(ICs)를 제공한다. 상기 시스템은 다층 중립 기계적 평면 디자인에서 초박형이고 탄성 중합체 기관을 가진 실리콘 나노리본의 배열이 정렬된 것과 같은 고품질 전자 물질과 '파도모양의' 구조적 레이아웃이 결합된다. 고성능 n과 p 채널 금속산화물 반도체 전계 효과 트랜지스터(metal oxide semiconductor field effect transistors, MOSFETs), CMOS 논리 게이트, 링진동자(ring oscillators) 및 차동증폭기(differential amplifiers) 모두는 종래 실리콘-온-인슐레이터(SOI) 웨이퍼 위에 증착된 유사한 시스템 만큼이나 우수한 전기 특성들을 가지며, 견뎌를 보여준다. 회로 시뮬레이션과 함께 기계학의 분석 요소법과 유한 요소법 시뮬레이션은 핵심적인 물리적 작용을 제공한다. 상기와 같은 방법들은 Si-CMOS뿐만 아니라 다양한 종류의 전자 재료를 가지고 고집적화된 시스템의 간단한 범용성을 위해 중요한 부분이며, 본질적으로 깨지기 쉽고, 부서지는 기계적 특성들이 상기와 같은 장치에 적용되는 것을 막는다.

[0067]

[0068] 도 1A는 아주얇고 구부릴 수 있으며 늘어나는 회로를 형성하는 과정을 도식적으로 요약하였고, 각각의 제조과정에서 대표적인 시스템의 광학영상을 나타낸다. 우선 제조과정은 폴리(메틸메타크릴레이트)(poly(methylmethacrylate), PMMA)(~100 nm) 희생층을 스핀-캐스팅(spin-casting)으로 증착한 후 임시 캐리어(temporary carrier) 역할을 하는 Si 웨이퍼 위에 얇은 폴리이미드(polyimide, PI)(~1.2 μm) 기관층을 증착한다. 폴리(디메틸실록산)(poly(dimethylsiloxane), PDMS) 스탬프<sup>(18,19)</sup>로 트랜스퍼 프린팅 공정은 집적 접촉을 가지고 n형 소스 웨이퍼로부터 분리적으로 형성되며 n 및 p로 도핑된 Si 나노리본(도 1B에 삽입)의 일정한 배열의 PI 표면에서 수행된다. 게이트 유전체와 연결체 크로스오버(crossover)를 위한 SiO<sub>2</sub>(~50 nm)와, 소스, 드레인 및 게이트 전극과 연결체를 증착하고 패터닝하는 것은 완전하게 집적화된 Si-CMOS 회로를 SOI 웨이퍼(도 5 참조)에 형성된 유사한 시스템과 비교하여 견줄만한 성능을 나타내도록 한다. 도 1C는 캐리어 기관 위에 상기 방법으로 형성된 Si-CMOS 인버터와 독립된 n과 p 채널 MOSFETs(각각 n-MOSFETs와 p-MOSFETs)의 배열을 나타낸 사진이다. 다음 단계로, PMMA 아래 회로와 얇은 PI 층의 비작용 영역을 거쳐 연장된 작은 홀의 정사각형 배열은 반응성 이온에칭(reactive ion etching)에 의해 형성된다. 장치의 특성을 저하시키지 않는 방법으로 초박형, 가요성 회로를 생산하기 위해 아세톤에 함침시켜 에칭된 홀에 용매를 흐르게 함으로써 PMMA를 용해시킨다. 상기 시스템은 가요성이 있고, 자유자재로 위치시킬 수 있으며, 탄성적인 늘림(stretchability)/압축(compressibility)을 제공하는 탄성 중합체 기관에 파도 모양의 레이아웃을 집적할 수 있다. 도 1A의 프레임은 두가지 가능성을 보여준다. 오른쪽 하부에서의 횡단면도는 Si-CMOS/PI 시스템의 다양한 층(총 두께~1.7 μm)을 나타낸다. 이러한 초박형 회로는 전지적 특성들(도 6 참조)을 저해하는 것 없이, 도 1C에 나타난 바와 같이, 구부러짐의 극한값을 나타낸다. 상기와 같은 거동에 대한 두가지 주요한 이유들은 다음과 같다. 첫번째로 막 두께(t)를 구부러짐과 관계된 곡률 반경( $r^{(20)}$ )의 두배로 나누어줌으로써 표면 변형률이 결정되는 박막에서의 기초적인 굽힘 역학으로부터 유도된다. 본 발명에서 사용된 고성능 무기물 전자 재료의 등급에 대해 표면 변형이 일반

적인 파괴 변형(~1%의 장력)에 도달하기 전 1.7  $\mu\text{m}$ 을 두께의 필름은 약 85  $\mu\text{m}$ 의 작은 곡률반경으로 구부러질 수 있다. 두번째로, 더욱 미묘한 특징은 회로의 실질적인 재료 스택에서 굽힘 역학의 완전한 분석을 통해 나타난다. 임의의 작은 r에 대한 변형이 영인 구조의 두께를 통해 위치가 한정되는 중립 기계층(neutral mechanical plane, NMP) 또는 중립 기계적 표면(neutral mechanical surface, NMS)은 본 발명에서 수행되는 디자인을 위한 전자 소자층(도 7 참조)에 위치한다. 다시 말하면, 전자재료의 높은 계수는 PI에 위치한 기하학적 중간면에서부터 소자 또는 기능층까지 중립 기계적 면을 이동시킨다. 도 1의 오른쪽 아래에 있는 삽화는 시스템 각각의 영역에서 상기 중립 기계적 면의 대략적인 위치를 점선으로 나타내었다. 상기 위치는 상당히 근접한 것으로, 회로에서 사용되는 재료의 파괴변형률은 PI에서 파괴 또는 탄성변형에 대한 변형률보다 낮기 때문이다. 이러한 회로의 두가지 단점은 늘어나는 성질이 부족하고, 특정한 적용에서 낮은 휨강도를 나타낸다. 도 1A의 아래부분에서 기술한 과정에서, 상기와 같은 단점은 실리콘과 갈륨비소화물(15,16)인 시트와 리본을 늘어나면서 물결모양을 형성할 수 있는 개념의 확장을 통해 이행함으로써 극복할 수 있다. 제조는 PDMS 스탬프를 이용한 캐리어 기판으로부터 초박형 회로를 제거하고 노출된 PI 표면(예를 들어, PMMA와 접착된 표면) 위로 Cr/SiO<sub>2</sub>(3/30 nm) 얇은 층을 증발시킨 후 SiO<sub>2</sub> 표면 위에 -OH기를 발생시키고 자외선 램프로 유도된 오존에 노출시켜 2축으로 변형된 PDMS 기판( $\epsilon_{pre} = \epsilon_{xx} = \epsilon_{yy}$ , 여기서, x와 y 좌표는 회로의 위치한다)을 제조한다. PDMS 기판 위로 회로를 프렌스퍼 프린팅하고, 뒤이어 가열함으로써 Si CMOS/PI/Cr/SiO<sub>2</sub>와 PDMS 사이의 강한 기계적 결합을 형성하기 위해 공유결합을 형성시킨다. 초기 변형률의 완화는 비선형 버클링 공정을 통해 복잡한 물결모양 패턴의 형성을 유도하는 회로에 수축력을 야기한다. 앞에서 언급한 바와 같이, 장치층에서 중립 기계적 면의 위치는 상기와 같은 물결모양의 패턴을 형성하는데 필요한 비파괴 굽힘을 촉진시킨다. 상기 기하학적 모양에서 회로는 회로 물질 자체가 변형되지 않고 완전하게 가역적인 늘어남/수축함을 제공한다. 대신, 파동 패턴의 진폭과 주기는 아코디언 바람통에서 나타나는 파동과 유사한 물리학적 원리가 적용된 변형을 제공하기 위해 변화된다. 도 1D는 축변형이 약 5.6%로 형성된 PDMS 위 물결모양의 Si-CMOS 회로 그림이다. PDMS 두께는 늘림성 저하 없이 휨강도를 적절한 수준으로 형성하기 위해 선택될 수 있다.

[0069] 도 2A의 왼쪽, 중간 및 오른쪽 프레임은  $\epsilon_{pre}$ 가 각각 2.7%, 3.9% 및 5.7%로 형성된 물결모양의 Si-CMOS 인버터를 나타낸 사진이다. 파동구조는 기계적으로 이중의 시스템에서 비선형 버클링 물리학적 원리와 관련된 복잡한 레이아웃을 가진다. 세가지 모양은 주목할만하다. 첫번째로, 파동은 가장 작은 휨강도 영역에서 가장 쉽게 형성된다: 인버터의 p-MOSFET과 n-MOSFET 면과 회로 시트의 전기적 비활성적인 부분 사이의 연결체 라인. 두번째로,  $\epsilon_{pre}$ 가 증가할수록 파동구조는 이러한 위치들에서 비교적 딱딱한 장치 영역을 포함하는 회로의 모든 부분으로 확장되기 시작한다. 세번째로, 이러한 그림들의 중앙 근처에서 나타나는 에칭 홀은 파동에 큰 영향을 미친다. 특별하게, 파동은 이러한 위치에서 응집되는 경향이 있다. 즉, 이러한 위치에서 트래션 프리에지(traction free edge) 때문에 홀 주변에 대하여 접선으로 배향된 파동 벡터들을 사용한다. 첫번째 두 거동은 분석적 처리방법과 FEM 시뮬레이션을 사용하여 정량적으로 측정될 수 있다. 예를 들어, 분석은 p-MOSFET과 n-MOSFET 영역(SiO<sub>2</sub>/금속/SiO<sub>2</sub>/Si/PI: ~0.05  $\mu\text{m}$ /0.15  $\mu\text{m}$ /0.05  $\mu\text{m}$ /0.25  $\mu\text{m}$ /1.2  $\mu\text{m}$ )은 160  $\mu\text{m}$ 과 180  $\mu\text{m}$  주기사이로 채택되며, 금속 연결체(SiO<sub>2</sub>/금속/SiO<sub>2</sub>/PI: ~0.05  $\mu\text{m}$ /0.15  $\mu\text{m}$ /0.05  $\mu\text{m}$ /1.2  $\mu\text{m}$ )는 90  $\mu\text{m}$ 와 110  $\mu\text{m}$  사이의 주기로 채택되고, 모든 정량적 수치는 실험과 일치한다. 도 2B는 샘플의 주사전자현미경과 함께 3차원 FEM 모델링의 완전한 결과를 나타낸다. 결과물은 비교적 우수하며, 결과와 일치하고, 이러한 시스템에 선형 탄성적으로 반응한다(약간의 차이는 정확한 위치에 대한 버클링 감도, 에칭 홀의 상세한 모양 및 다양한 층의 기계적 특성에서의 불명확성 때문이다). 분석과 FEM 모두는 회로와 금속 영역에 각각 의존하면서,  $\epsilon_{pre}$ 가 10%까지 및  $\epsilon_{app} - \epsilon_{pre}$ 의 범위가 0% 이상 10% 미만에 대하여 장치층 내 금속 변형은 0.4% 및 1% 미만이다(도 8 참조). 이러한 기계적 이점은 SiO<sub>2</sub> 및 Si와 같은 본질적으로 깨지기 쉬운 전자 재료를 포함하는 시스템에서 탄성적인 늘림성/수축성을 이행할 수 있는 것에 기인한다.

[0070] 도 2C 및 D는  $\epsilon_{pre}$ 가 3.9%로 제조된 물결모양의 회로에 대해 상이한 인장력과 일축으로 가해진 변형하에서 인버터 사진과 전기적 측정결과를 나타낸다. 가해진 힘의 방향에 따라 파동의 진폭과 주기는 변형을 동반하면서 각각 감소하고 증가한다(도 9 참조). 푸아송 효과(Poisson effect)는 수직방향에서 압축력을 유발하며, 이러한 수축력은 방위에 따른 파동의 진폭과 주기를 각각 증가시키고 감소시킨다. 전기적 측정결과로 가해진 변형의 영역

에 걸쳐 Si-CMOS 인버터는 작동이 잘되고 있음을 알 수 있다. 도 2D의 왼쪽 프레임은 측정되고 시뮬레이션된 트랜스퍼 곡선을 나타내며, 삽입된 그래프는 채널 너비(W)가 각각 300  $\mu\text{m}$  및 100  $\mu\text{m}$ 이고 전류 출력값이 일정하며 채널 길이( $L_c$ )가 13  $\mu\text{m}$ 인 n-MOSFET과 p-MOSFET 장치의 전기적 특성을 나타낸다. 상기 데이터는 n과 p 채널 장치에 대해 각각 290  $\text{cm}^2/\text{Vs}$  및 140  $\text{cm}^2/\text{Vs}$ 의 유효 이동도를 나타낸다. 즉, n과 p 채널 장치에서 온/오프 비(on/off ratios)는  $10^5$ 을 초과한다. 인버터에 의해 나타난 측정값은 5V의 공급전압( $V_{DD}$ )에서 100과 같은 높은 값을 나타내며, 각각의 트랜지스터 반응을 사용한 회로 시뮬레이션과 일치한다. 도 2D의 오른쪽 프레임은 x와 y에 따른 상이한  $\epsilon_{\text{appl}}$ 에 대한 가장 높은 값에서의 전압( $V_M$ )을 나타낸다. 트랜지스터 채널에 평행한 인장 변형(즉, y에 따라)은 상기의 위치에서 물결모양의 구조와 관련된 압축 변형을 감소시키며, 그것에 의해 n-MOSFET과 p-MOSFET 각각으로부터의 전류는 증가하고 감소된다. 수직방향의 인장 변형은 푸아송 효과 때문에 반대적인 변화를 야기시킨다. 평행과 수직 방향의 변형에 따라  $V_M$ 이 증가하고 감소한다. 상기 다양한 변형 상태에서 트랜지스터 각각의 측정결과는 인버터에서 시뮬레이션 변화를 가능하게 한다(도 9 참조). 즉, 도 2D의 오른쪽 프레임에 포함되어 있는 상기 결과는 실험과 일치한다. 상기 장치는 기계적/열적 사이클링(30 사이클까지) 하에서 우수한 거동을 나타낸다. 빌딩블록과 같이 상기 인버터를 이용하여 더욱 복잡한 늘어나는 회로를 제조할 수 있다. 예를 들어, 도 3A는 도 2와 동일한 인버터를 3개 사용한 Si-CMOS 링 오실레이터의 사진, 전기적 측정결과 및 늘림 실험 결과를 나타낸다. 기계적 반응은 인버터 논의에서 기술한 고려사항들과 질적으로 일치한다. 전기적 측정결과는 심한 버클링 변형과 5% 이상의 변형하에서조차도 10V의 공급 전압에서 약 3.0 Mhz의 안정적인 진동수를 나타낸다. 인버터를 통한 지연이 거의 같은 것과 같이 p와 n 채널 장치에서의 변화는 서로 효과적으로 보상하기 때문에 오실레이션 주기는 거의 변화하지 않는다. 또한, 더욱 일반적으로, 회로들은 기술한 과정과 호환하여 사용할 수 있다. 예를 들어, 도 3B는 전류 소스( $L_c = 30 \mu\text{m}$ 와  $W = 80 \mu\text{m}$ 를 가진 세개의 트랜지스터), 전류 미러( $L_c = 40 \mu\text{m}$ ,  $W = 120 \mu\text{m}$  및  $L_c = 20 \mu\text{m}$ ,  $W = 120 \mu\text{m}$ 를 가진 두개의 트랜지스터), 차동(differential pair)( $L_c = 30 \mu\text{m}$ 와  $W = 180 \mu\text{m}$ 를 가진 두개의 트랜지스터) 및 로드(load)( $L_c = 40 \mu\text{m}$ 와  $W = 80 \mu\text{m}$ 를 가진 두개의 트랜지스터)인 4 개의 구성 요소들로 통합된 구조 건전성 모니터에 대한 차동 앰플리파이어<sup>(22)</sup>를 나타낸다. 오른쪽 프레임은 물결모양의 회로에 대응하는 사진을 나타낸다(도 11 참조). 상기 앰플리파이어는 500 mV 피크 투 피크 입력신호에 대해 약 1.4의 전압값을 제공하도록 제조되었다. 빨간색 화살에 따라 다양한 인장 변형에서 측정된 값은 약 15% 미만으로 나타낸다: 적용된 변형이 없는 경우(0% $s$ ; 검정색) 1.01, 2.5% 변형에서 1.14(빨간색), 5% 변형에서 1.19(파란색) 및 복구 후 1.08(0% $e$ ; 초록색).

[0071]

상기에서 기술한 초박형이고 물결모양의 회로 디자인은 특이하게 우수한 기계적 특성을 제공하지만, 두가지 추가적인 최적화 작업으로 추가적인 이점을 제공할 수 있다. 높게 적용된 변형( $\epsilon_{\text{appl}} - \epsilon_{\text{pre}} > \sim 10\%$ ) 또는 굽힘 정도( $r < \sim 0.05 \text{ mm}$ )에서 관찰되는 지배적 파괴 모드는 (i)소자층의 박리 및/또는 금속 연결체의 파손이다. 상기과 같은 파괴들을 해결하기 위한 디자인의 변경은 제조된 회로 상부에 봉지층(encapsulating layer) 증착을 포함한다. 도 4는 초박형 Si-CMOS/PI 회로의 상부에 얇은 PI 층(약 1.2  $\mu\text{m}$ )을 포함하는 레이아웃을 나타낸다. 최종 시스템은 "구부릴 수 있으며(bendable)", 도 4A에서 현미경 커버 슬립(microscope cover slip, 두께 약 100  $\mu\text{m}$ )의 모서리를 치밀하게 덮는 PI/Si-CMOS/PI 회로에서 입증되었듯이 "접을 수 있는(foldable)"으로 언급된다. 상기 배치에서, 인버터는 작동할 수 있고, 우수한 전기적 특성들을 나타낸다(도 12 참조). 이러한 굽힘성은 PI 층의 상부의 두가지 주요한 효과에 의해 가능하다: (i) 기저층의 우수한 접착성과 봉지화는 박리를 저해하고, (ii) 회로의 다른 영역에서 실리콘층 밖으로 이동하지 않는 중립 기계적 면에 금속 연결체가 위치한다(도 12 참조). 상기과 같은 디자인은 가요성/압축성을 가능하게 하는 퍼진 물결모양을 포함할 수 있다. 그러나, 상기 늘어나는 시스템은 또 다른 도전을 제공한다. 앞에서 기술한 것과 같이, Si-CMOS/PI/PDMS의 굽힘성은 PDMS 두께에 영향을 크게 받는다. 펴고 접을 수 있는 시스템에서 얇은 PDMS를 사용하는 것이 필요하다. 얇은 PDMS 기판을 사용할 때 초기 변형을 완화시키는 것은 물결 모양의 회로 구조가 형성되지 않고 원하지 않은 전체적으로 굽은 모양이 형성된다. 상기과 같은 결과는 얇은 PDMS의 매우 낮은 굽힘 강도 때문이며, 낮은 두께와 PI/Si-CMOS/PI와 비교하여 극히 낮은 모듈러스(탄성계수)가 결합된 효과로부터 나타난다. PI/Si-CMOS/PI/PDMS 시스템의 상부에서 PDMS의 보상층을 추가하는 것을 포함하는 중립 기계적 면 컨셉을 통해 상기과 같은 문제점을 해결할 수 있다. 도 4B는 펴고 접을 수 있는 특성을 최적화하고, 이중 중립 기계적 면이 최적화된 것을 나타낸다. 도 4B의 왼쪽과 오른쪽 아래의 사진은 상기 시스템에서 극도의 비틀림과 늘림성에 의해 관찰되는 다양한 모양을 나타낸다.

[0072] 기계적 특성들(예를 들어, 가요성, 굽힘성)은 본질적으로 깨지기 쉬우나 고성능의 무기물 전자재료에서조차도 최적화된 구조적 모양과 다층 레이아웃을 사용하여 완전하게 형성되며 고성능을 보이는 집적회로를 제조할 수 있다. 상기와 같은 방법으로, 기계적 특성들의 목표값은 어떠한 전기적 작용을 제공할 필요가 없는 재료들(예를 들어, PDMS, 얇은 PI 및 이들의 다층 결합체)에 의해 가능하다. 상기와 같은 디자인은 생물학적 시스템, 의료 보철(medical prosthetics) 및 복잡한 기계적 부분 또는 기계적으로 울퉁불퉁하고 경량의 패키지를 가진 모니터링 소자의 전자장치에 직접적으로 통합할 수 있다.

[0073] 실시예 1 참조문헌

[0074] 1. R.Reuss, et al., *Proc. IEEE* **93**, 1239 (2005).

[0075] 2. T.Someya, T.Sekitani, S.Iba, Y.Kato, H.Kawaguchi, T.Sakurai, *Proc. Natl. Acad. Sci. USA* **101**, 9966 (2004).

[0076] 3. X.Lu and Y.Xia, *Nat. Nanotechnol.* **1**, 161 (2006).

[0077] 4. A. Dodabalapur, *Mater. Today* **9**, 24 (2006).

[0078] 5. B. Crone et al., *Nature* **403**, 521 (2000).

[0079] 6. Y. Sun and J. A. Rogers, *Adv. Mater.* **19**, 1897 (2007).

[0080] 7. W. Ming, B. Xiang-Zheng, J. C. Sturm, S. Wagner, *IEEE Electron Device Lett.* **49**, 1993 (2002).

[0081] 8. M. C. McAlpine, R. S. Friedman, S. Jin, K.-H. Lin, W. U. Wang, C.M.Lieber, *Nano Lett.* **3**, 1531 (2003).

[0082] 9. D.V.Talapin, C.B.Murray, *Science* **310**, 86 (2005)

[0083] 10. H.O.Jacobs, A.R.Tao, A.Schwartz, D.H.Gracias, G.M.Whitesides, *Science* **296**, 323 (2002).

[0084] 11. H.-C.Yuan, Z.Ma, M.M.Roberts, D.E.Savage, M.G.Lagally, *J.Appl.Phys.* **100**, 013708 (2006).

[0085] 12. J.-H.Ahn et al., *Science* **314**, 1754 (2006).

[0086] 13. T.Serikawa, F.Omata, *Jpn.J.Appl.Phys.* **39**, 393 (2000).

[0087] 14. S.P.Lacour, J.Jones, S.Wagner, T.Li, Z.Suo, *Proc.IEEE.* **93**, 1459 (2005).

[0088] 15. D.Y.Khang, H.Jiang, Y.Huang, J.A.Rogers, *Science* **311**, 208 (2006).

[0089] 16. Y.Sun, V.Kumer, I.Adesida, J.A.Rogers, *Adv.Mater.* **18**, 2857 (2006).

[0090] 17. Y.Sun, J.A.Rogers, *J.Mater.Chem.* **17**, 832 (2007).

[0091] 18. E.Menard, K.J.Lee, D.Y.Khang, R.G.Nuzzo, J.A.Rogers, *Appl.Phys.Lett.* **84**, 5398 (2004).

[0092] 19. M.A.Meitl et al., *Nat. Mater.* **5**, 33 (2006).

[0093] 20. V.D.da Silva, *Mechanics and Strength of Materials* (Springer, New York, 2005).

[0094] 21. H.Jiang et al., *Proc. Natl. Acad. Sci. USA* **104**, 15607 (2007).

[0095] 22. J.-H.Ahn et al., *Appl. Phys. Lett.* **90**, 213501 (2007).

[0096] 23. Y.Sun, W.M.Choi, H.Jiang, Y.Huang, J.A.Rogers, *Nat.Nanotechnol.* **1**, 201 (2007).

[0097] 소자 제조: 트랜지스터는 반도체를 위해 도핑된 실리콘 나노리본을 사용하였다. 제조방법은 세가지 단계를 포함한다. 첫번째 단계는 n 타입 실리콘 온 인슐레이터( $2.7 - 5.2 \times 10^{15} \text{ cm}^{-3}$ 으로 도핑된 Si(260 nm)/SiO<sub>2</sub>(1000 nm)/Si, SOI 웨이퍼(SOITEC, France))는 p 웰을 제조하기 위해 약 550~600 °C 주위의 확산 온도에서 스핀 온

도판트(spin-on-dopant)(B153, Filmtronics, USA)를 통해 붕소를 저농도로 도핑한다. 플라즈마 촉진 화학 기상 증착법(PECVD)로 형성된 SiO<sub>2</sub>(약 300 nm)는 확산 마스크로 사용되었다. 리소그래피 과정을 위해, AZ5214 포토레지스트(Clariant, USA)는 30 초 동안 3000 rpm에서 스핀 코팅되었다. 다음으로, 고농도로 도핑된 p 타입 소스/드레인 전극은 상기와 동일한 붕소 스핀 온 도판트를 사용하여 p 웰 옆에 형성하였고, 이때 1000~1050 °C의 온도에서 수행되었다. 다음으로, 고농도로 도핑된 n 타입 소스와 드레인 영역은 상기와 동일한 확산 마스크와 포토레지스트 과정을 이용하여 950 °C에서 황 스핀 온 도판트(P509, Filmtronics, USA)로 p 웰 옆에 형성하였다. 도핑 후, Si 리본의 바람직한 구조를 리소그래피와 SF<sub>6</sub> 플라즈마로 에칭(Plasmatherm RIE system, 챔버 압력이 50 mTorr이고 100 W RF 전력에서 30 초 동안 40 sccm의 유량으로 SF<sub>6</sub>를 흐르게 함)하는 단계를 이용하여 형성하였다. SiO<sub>2</sub> 하부는 얇은 반도체 리본을 형성하기 위해 농축된 HF(49%)로 제거하였다. 상기 방법으로 제조된 Si 리본은 SOI 웨어퍼로부터 PMMA(MicroChem, USA)(약 100 nm, 3000 rpm에서 30 초 동안 스핀 코팅), 폴리(아미산), 이동 요소로써 탄성 중합체 스탬프를 사용하는 PI[Poly(amic acid), Sigma Aldrich](약 1.2 μm, 60 초 동안 4000 rpm에서 스핀 코팅) 전구체의 얇은 층으로 코팅된 캐리어 웨이퍼(carrier wafer)까지 조직화된 배열에서 이동될 수 있다. 약 1 내지 1.5 시간 동안 300 °C에서 PI을 완전히 경화(curing)시킨 후 소자의 활성 영역을 SF<sub>6</sub> 플라즈마로 분리시키고, PECVD를 이용하여 얇은 SiO<sub>2</sub>(약 50 nm) 게이트 산화물을 증착시켰다. 소스/드레인 접촉 영역에서 PECVD로 증착된 SiO<sub>2</sub>는 포토리소그래피에 의해 포토레지스트 패턴 층에서 개구부를 통해 RIE 또는 완충 산화막 식각액(buffered oxide etchant)으로 제거된다. 소스, 드레인 및 게이트 전극을 위한 Cr/Au(약 5 nm/약 145 nm)와 금속 연결체는 전자빔 증착에 의해 증착되고, 포토리소그래피와 습식식각(wet etching)에 의해 패턴화된다. 균일한 SiO<sub>2</sub> 층(약 50 nm)은 보호층(passivation layer)을 형성하기 위해 PECVD로 증착된다. 제조공정을 마무리하기 위해 접촉 윈도우가 소자 및 회로와 전기적으로 접촉하기 위해 보호층을 에칭한다. 초박형 회로 시트의 제거 및 PDMS 위 물결모양 레이아웃에서의 집적: 회로 제조 후 반경이 30 μm이고 거리가 800 μm인 홈배열은 밑에 있는 PMMA를 아세톤에 노출시키기 위해 비작용 영역으로 한정된다. 캐리어 기판으로부터 PI 기판을 가진 초박형 회로를 없애기 위해 희생 PMMA는 아세톤에 담금으로써 제거된다. 상기와 같은 회로는 프리 스탠딩 형태(free-standing form)로 사용될 수 있거나 트랜스퍼 프린팅 기술을 사용함으로써 또 다른 기판에 이용되고 전환될 수 있다. 퍼지는 물결모양을 갖는 레이아웃을 형성하기 위해, 회로는 PDMS의 탄성 중합체 기판으로 전환되고, 전형적으로 열적 팽창에 의해 2축으로 변형된다. 회로와 PDMS 사이의 접착력을 향상시키기 위해, Cr(약 3 nm)과 SiO<sub>2</sub>(약 30 nm)의 얇은 층은 활성 소자의 반대편에서 순수한 PI에 증착된다. 표면 활성화는 3 분 동안 UV/오존에 노출시켜 촉진시킬 수 있다. 열적으로 변형된 PDMS의 표면에서 -OH 기를 SiO<sub>2</sub>층과 반응시켜 강한 화학적 결합을 형성시킬 수 있다. 변형된 PDMS 위에 트랜스퍼 프린팅한 후 자연냉각으로 PDMS를 만들고 초박형 소자는 수축되며 물결모양의 구조는 형성된다.

[0098] 개요성 실험 및 측정: 개요성 실험은 어떤 방향에서 단축 인장 또는 압축 변형을 적용할 수 있는 기계적 구부림 스테이지에서 수행되었다. 상기 스테이지는 반도체 파라미터 분석기(Agilent, 5155C)와 결합된 전기적 프로빙 스테이션에 직접적으로 고정된다.

[0099] 프로파일 측정: 파장과 진폭을 측정하기 위해 표면 프로파일러(Sloan Dektak<sup>3</sup>)를 사용하였다. 샘플 표면과 접촉된 다이아몬드 바늘은 움직이고, 샘플 표면의 프로파일 결과가 나타나고 각각의 상이한 위치에서의 표면 변화를 측정한다.

[0100] 피로 실험: 연속적인 늘림과 완화 하에서 물결 모양의 회로 성능을 측정하기 위해 다중 순환의 가열 및 냉각 실험을 수행하였다. 물결 모양의 회로는 5 분 동안 160 °C로 가열한 후 각각의 전기 측정 전에 10 분 동안 냉각하였다.

[0101] 다중 스택의 중립 기계적 면: 중립 기계적 면 또는 NMS는 변형이 영인 위치이다. 도 7B는 꼭대기에 첫번째 층과 하부에 n번째 층을 가진 다중 스택을 나타낸다. 일면에서, 각각의 층은 지지층(200), 기능층(210), 중립 기계적 표면 조정층(220) 및 예를 들어, 기능층(210)과 일치하는 결과적인 중립 기계적 층(230)을 가진 봉지층(450)을

포함한다. 일면에서, 기능층은 탄력적 또는 탄성적 소자 영역(240)과 비교적 기계적으로 단단한 섬 영역(250)을 포함한다(도 64 참조). 도 64를 살펴보면, 첫번째 단단한 영역(280)과 연결된 첫번째 말단(270) 및 두번째 단단한 영역(300)과 연결된 두번째 말단(290)의 나노리본(260) 배열은 추가적으로 장치의 늘임성, 접힘성 및 구부림성을 제공한다.

[0102] 중립 기계적 표면(230, 점선으로 표시됨)의 위치에 대하여, 각각의 층 계수 및 두께는  $E_1, \dots, E_n$  및  $h_1, \dots, h_n$ 로 나타내었다. 중립면은 상부 표면으로부터 거리(b)에 의해 나타내며, b는 하기 수학적식으로 나타낼 수 있다:

$$b = \frac{\sum_{i=1}^n \bar{E}_i h_i \left[ \left( \sum_{j=1}^i h_j \right) - \frac{h_i}{2} \right]}{\sum_{i=1}^n \bar{E}_i h_i} \quad (1)$$

[0104] p-MOSFET과 n-MOSFET 영역에 있어서(n=5, SiO<sub>2</sub>/금속/SiO<sub>2</sub>/Si/PI:약 0.05 μm/0.15 μm/0.05 μm/0.25 μm/1.2 μm, 도 7A에서 중간과 오른쪽 그림 참조), 도 7C는 중립면의 위치를 나타낸다. 탄성율(elastic moduli) 및 푸아송비(Poisson's ratios)는 E<sub>SiO<sub>2</sub></sub>= 70 GPa, ν<sub>SiO<sub>2</sub></sub>= 0.17, E<sub>metal</sub>= 78 GPa, ν<sub>metal</sub>= 0.44, E<sub>Si</sub>= 130 GPa, ν<sub>Si</sub>= 0.27, E<sub>PI</sub>= 2.5 GPa 및 ν<sub>PI</sub>= 0.34이다. 도 7D는 도 7A의 왼쪽 그림에 해당하는 금속 연결체(n=4, SiO<sub>2</sub>/금속/SiO<sub>2</sub>/PI:약 0.05 μm/0.15 μm/0.05 μm/1.2 μm)의 중립면 위치를 나타낸다.

[0105] 도 4A에 나타낸 PI 층으로 둘러싸인 Si-CMOS에 있어서, 도 7E는 p-MOSFET과 n-MOSFET 영역(n=5, PI/금속/SiO<sub>2</sub>/Si/PI:약 1.2 μm/0.15 μm/0.05 μm/1.2 μm)에 대한 중립면 위치를 나타낸다. 상부 PI 캐핑층(capping layer)은 SiO<sub>2</sub>/Si 경계면 쪽으로 중립 기계적 면을 이동시키고, 박리에 의한 소자 기능저하를 감소시킨다. 도 7F는 금속 연결체(n=4, PI/금속/SiO<sub>2</sub>/PI:약 1.2 μm/0.15 μm/0.05 μm/1.2 μm)에 대한 중립면 위치를 나타낸다. 상부 PI 캐핑층은 금속층 중앙으로 중립면을 이동시키고, 금속 연결체의 기능저하를 감소시킨다. 상부 PI 캐핑층의 두께는 소자층의 박리와 금속 연결체의 균열을 감소시키기 위해 조절될 수 있다.

[0106] 버클링 과장 및 물결 모양 시스템의 진폭. 등가 장력 및 굽힘 강도: 다층 스택은 빔과 같이 만들어진다. 등가 장력 강도는 하기 수학적식으로 나타낸다:

$$\bar{E}h = \sum_{i=1}^n \bar{E}_i h_i, \quad (2)$$

[0108] 여기서, 도 8에 나타난 바와 같이, 첫번째 층은 상부이고 n번째 층은 하부이고, 계수와 두께는 각각  $E_1, \dots, E_n$  및  $h_1, \dots, h_n$ 으로 나타낸다.

[0109] 등가 굽힘 강도는 하기 수학적식으로 나타낸다:

$$\bar{E}I = \sum_{i=1}^n \bar{E}_i h_i \left( b - \sum_{j=1}^i h_j \right)^2 + \sum_{i=1}^n \bar{E}_i h_i^2 \left( b - \sum_{j=1}^i h_j \right) + \frac{1}{3} \sum_{i=1}^n \bar{E}_i h_i^3, \quad (3)$$

[0111] 여기서, b는 상기 수학적식 1에서 주어진 상부 표면까지 중립 기계적 면 거리이다.

[0112] PDMS 기관에서 금속 연결체: 금속 연결체의 등가 장력 강도(Eh) 및 굽힘 강도(EI)는 n=4에 대한 수학적식 2 및 3으로부터 얻어진다. PDMS 기관은 금속 연결체 보다 약 4배 정도 두껍기 때문에 반무한 고체(semi-infinte solid)로 만들어진다. 도 5(왼쪽 그림)는 버클링 패턴이 주로 일차원적인 것을 나타내고, 면외 이동은

$w=A\cos(kx_1)$ 으로 나타낼 수 있다. 여기서  $x_1$ 은 연결체 방향에 따른 좌표이고, 진폭(A)과 파수(k)는 시스템 총 에너지의 최소화에 의해 결정된다. 시스템 총 에너지는 박막의 굽힘과 멤브레인 에너지 및 기관에서의 변형 에너지이다. 파수와 진폭은 하기 수학적식으로 나타나며, 여기서  $E_s$ 는 기관의 면 변형률이고,  $\epsilon_{pre}$ 는 등 이축 사전 변

형이며,  $\epsilon_c = \frac{1}{6} \left[ 3\bar{E}_s / \bar{E}h \sqrt{\frac{Eh}{12EI}} \right]^{2/3}$  는 임계 버클링 변형이다. PDMS 계수에 대한  $E_s = 1.8$  MPa이고 푸아송비( $\nu_s$ )는 0.48이며, 수학적식 4에서 파장은  $96 \mu\text{m}$ 로 실험결과(약  $100 \mu\text{m}$ )로 거의 일치하는 것을 알 수 있다.

$$k = \sqrt{\frac{Eh}{12EI}} \left[ 3\bar{E}_s / \bar{E}h \sqrt{\frac{Eh}{12EI}} \right]^{1/3}, A = \sqrt{\frac{12EI}{Eh}} \sqrt{\frac{\epsilon_{pre}}{\epsilon_c} - 1}, \tag{4}$$

[0113]

[0114] 금속 연결체에서 최대 변형은 멤브레인 변형과 휘어진 모양에 의해 야기되는 굽힘 변형의 총합이다. 도 8A는 초기 변형에 대한 각각의 소자 층들에서의 최대 변형을 나타낸다. 금속과 SiO<sub>2</sub>에서의 재료 변형은 10%의 초기 변형에서도 1% 미만이다.

[0115] PDMS 기관에서의 p-MOSFET 및 n-MOSFET: p-MOSFET 및 n-MOSFET 영역(SiO<sub>2</sub>/금속/SiO<sub>2</sub>/Si/PI, n=5)은 도 8에 나타난 비금속 영역(SiO<sub>2</sub>/SiO<sub>2</sub>/PI, n=3) 옆에 위치한다. 버클링은 연결되므로, 다소 복잡하게 나타난다. 각각의 영역 내에서 면의 이동은 각각의 파장과 진폭을 가지고 있으며, 영역을 벗어나는 이동과 회전은 연속적으로 일어난다. 박막의 굽힘과 멤브레인 에너지 및 기관에서의 변형 에너지로 구성되는 총 에너지 최소화는 모든 영역에서 파장과 진폭을 발생시킨다. p-MOSFET과 n-MOSFET 영역에서의 파장은 약  $140 \mu\text{m}$ 이고, 이는 실험결과와 거의 일치한다(약  $180 \mu\text{m}$ ).

[0116] 도 8B는 초기 변형에 대하여 각각의 소자층에서의 최대 변형을 나타낸다. 금속, SiO<sub>2</sub> 및 Si층에서 재료 변형은 회로가 늘어나는 10%의 초기 변형에서도 0.5% 미만이다.

[0117] 유한 요소 시뮬레이션(Finite Element Simulation): 시스템의 3차원 유한 요소 모델링(FEM) 시뮬레이션은 ABAQUS<sup>®</sup> 패키지를 이용하여 수행되었다. 8-노드, 4-노드 다층 쉘 요소를 가진 육면체 요소는 각각 기관과 박막에 사용되었다. 적절한 치수는 도 13에 나타난 바와 같이, 인버터 회로 요소와 주위 기관에 상응하는 값으로 선택되었다. 실험적 고찰은 상기 요소들이 유사한 버클링 패턴을 나타내며, 역학적으로 독립적 방식으로 행동하기 위해 충분히 이격된다. 그 결과, 주기적인 경계 조건은 기관의 외부 경계에 적용된다. 다층 쉘은 공유된 노드를 통해 기관 표면과 결합된다. 하부 기관의 노드는 수직 방향으로 제한된다. 박막(Si-CMOS/PI 시스템) 각각의 층은 선형 탄성 재료로 만들어진다. 즉, 부드럽고 탄성 중합체인 기관은 압축되지 않는 초탄성 재료로 만들어진다. 상기 초탄성 재료 모델은 간단한 방법으로 응력-변형 관계에서 비선형을 설명하는 neo-Hookean 구성 방정식을 사용한다.

[0118] 재료 레이아웃뿐만 아니라 초박형 CMOS 회로를 위한 제조 과정 모두는 시뮬레이션에 정확하게 일치하도록 수행되었다. 버클링 모드 모양은 다층 박막(Si-CMOS/PI 시스템)과 소프트 PDMS 기관을 가진 3차원 모델의 섭동 분석(perturbation analysis)에 의해 결정된다. 기하학적 변형으로 야기되는 결함 효과를 가진 기관(박막이 없음)은 온도가 증가하기 때문에 팽창한다(열 부하). 온도가 160 °C에 도달할 때(약 3.9% 변형), 다층 박막(쉘 요소)는 PDMS 기관(고체 요소)와 결합된다. 온도가 감소할수록, 시뮬레이션은 기관을 가진 박막 버클이 비선형 버클링 분석과 일치하는 것을 나타낸다. 상기 모델은 우수한 정확성을 나타내기 위해 다수의 구성요소를 필요로 한다. 현재 모델은 약 200,000 개의 구성 요소를 포함하고, 버클링 파동을 축적하기에 충분하다. 버클링 패턴, 파장, 파동 및 공간적 분포는 상기 분석으로 알 수 있다. 상기 시뮬레이션은 버클링 패턴, 박막의 역학적 거동 및 접

쳐진 계층구조(nested hierarchy)에 대한 정보를 제공한다.

[0119] **실시예 2: 압축 실리콘 광전자공학을 바탕으로 한 반구형 아이 카메라**

[0120] 인간의 눈은 다수의 인상적인 디자인 특징을 가진 두드러진 영상 장치이다.<sup>1,2</sup> 상기 특징들 중 현저한 것은 많은 다른 생물학적 시스템에서 발견되는 것과 유사한 반구형 감지 형태이고, 이러한 형태는 간단하고 적은 구성요소와 영상 광학으로 넓은 시야각과 낮은 수차(low aberration)를 나타낸다. 상기와 같은 시스템을 제조하기 위해 필요한 패턴, 증착, 에칭, 재료 성장 및 도핑 방법들의 본질적인 평면적 특성 때문에 종래 광전자 공학 기술을 이용하여 반구형 모양을 제조하기는 상당히 힘들다. 상기 실시예는 상기와 같은 자명한 한계를 극복하는 제조공정과 시스템을 제공한다. 소자와 제조공정은 단결정 실리콘 기술에 기초한 고성능 반구형 아이 카메라에 사용된다. 평면 레이아웃을 변형할 수 있는 탄성 중합체 전사 요소와 2차원적으로 압축할 수 있는 모양을 형성하는 웨이퍼 스케일의 광전자장치를 사용하며, 상기 시스템은 마지막 구현을 위해 반구형 모양으로 초기부터 제조된다. 적절한 기계공학적 분석과 함께, 여기서 제공된 제조공정은 복잡한 곡선 모양의 표면 위에 개발된 평면 소자 기술을 적용하는 실질적인 방법을 제공하며, 종래 방법을 사용하여 제조할 수 없는 다양한 적용에 적합한 방법을 제공한다.

[0121] 비평면 표면 위에 전기적 및 광전자 시스템을 적용할 수 있는 능력은 반구형 카메라와 또 다른 종류의 생체모사 장치 디자인뿐만 아니라 소자, 프로세스텍스 등을 모니터링하는 생물학적 시스템 또는 등각 접합에 유용하게 사용할 수 있다. 불행하게도, 종래 기술들은 단단한 표면, 반도체 웨이퍼 또는 유리 플레이트 및 최근에는 평평한 플라스틱 시트에 국한적으로 개발되었다. 평면을 반구형 지형적 변형으로 수행하기 위해 필요한 기계적 변형(예를 들어, 소형의 아이타임 카메라인 경우 약 40%)은 알려진 전자 재료의 파괴 변형률, 심지어 물결모양 레이아웃의 파괴변형률을 초과하기 때문에 여기서 고려되고 있는 적용분야에는 적합하지 않다. 상기 한계들을 극복하기 위한 한가지 방법은 곡선 모양 표면에 직접적으로 사용하기 위한 반도체 제조공정 및 리소그래피 모두를 조절하는 것을 포함한다. 다면적인 노력들 중 하나(예를 들어, 평면에 쉽게 수행할 수 있는 해상도 레벨과 다중레벨 레지스트레이션으로 곡선 모양 표면<sup>5-14</sup>에 리소그래피 패턴 형성)는 극히 어려운 기술적 도전을 필요로 한다. 평면 시트<sup>15,16</sup>, 작은 칩의 자기조립<sup>17,18</sup> 및 탄성 멤브레인의 접힘<sup>19,20</sup>에 기초한 몇몇 작업들이 조그마한 가능성을 보일지라도, 각각은 단점을 가지고 있으며, 곡선모양 또는 구부러진 표면에 수행할 수 있는 확정된 공정 단계가 필요하다. 결과적으로, 여기서 고려되고 있는 형태의 카메라를 제조할 수 있는 방법은 존재하지 않는다. 편평하고 2차원 평면이며, 압축/늘림에 대한 변형률(약 50% 이상)이 큰 색다른 디자인에 광전자 시스템을 형성할 수 있는 평면 제조공정과 우수하게 설계된 전자 재료로 곡선 모양 광전자 및 전자적 아이 이미지를 제조할 수 있는 방법을 본 발명에 따른 실시예는 제공한다. 평면 레이아웃이 거의 곡선 모양인 기하학적으로 변형(예를 들어, 형태상으로 둘러싸는 모양)될 수 있다. 상기 실시예는 단결정 실리콘 광다이오드와 패시브 매트릭스 레이아웃에서 조립되는 전류 차단 p-n 접합 다이오드의 전기적으로 연결된 배열로 변형되기 위해 반구형이고 탄성 중합체로 이루어진 전사 요소를 사용한다. 이미지 광학과 반구형 아우징이 결합될 때, 제조되는 반구형 초점면 배열은 사람 눈과 유사한 크기와 모양을 가진 전자 카메라를 생산할 수 있게 한다. 상기 시스템의 핵심적인 면은 실험적 증거와 이론적 분석으로 알 수 있다.

[0122] 도 14는 제조공정에서의 주된 단계를 나타낸다. 곡률반경(약 1 cm)이 동일한 볼록렌즈와 오목렌즈 사이 공간에서 액상 프레폴리머를 폴리(디메틸실록산)(PDMS; Dow Corning)로 캐스팅하고 큐어링하여, 반구상이고 탄성 중합체로 이루어진 전사 요소를 형성하는 것부터 시작한다. 상기 렌즈들을 수용하기 위해 특별하게 고안된 지그(jig)는 PDMS 둘레 주위에 림을 제공한다. 상기 전사 요소는 림에 삽입되는 10개의 독립된 패들암(paddle arms)의 조정된 방사형 움직임을 제공하는 기계적 고정물(fixture)에 결합된다. 방사형 장력이 가해지는 단계에서의 암 변형은 반구를 확장시킨다. PDMS에서 가역적이고 탄성적인 변형은 반구를 충분히 큰 장력에서 PDMS에서의 모든 지점들이 2축 장력인 것과 같은 평면 모양의 '드럼헤드(drumhead)'로 변형시킨다. 팽창량과 기저 역학은 장력의 전체크기를 결정한다. 별도로, 종래 평면에서의 공정은 단결정 실리콘 광검출기(photodetectors), 전류 차단 p-n 접합 다이오드, 연결체를 위한 금속(Cr/Au/Cr)과 특정 지점을 지지하고 전체적인 시스템을 봉지화하는 폴리머(폴리이미드) 필름으로 구성된 실리콘-온-인슐레이터(SOI; Soitec) 웨이퍼에서 패시브 매트릭스 초점면 배열을 형성한다. 중요한 디자인 특성은 가장 근접한 픽셀 요소들을 연결하기 위해 가늘고 얇은 라인을 이용한

다는 것이다. 즉, 상기 구조는 후에 기술한 것과 같이, 시스템에서 탄성적인 압축을 용이하게 한다. HF로 에칭하여 SOI 웨이퍼의 매몰 산화막을 제거하여 폴리머 포스터(polymer post)로 지지되는 초점면 배열만 남아있게 되고, 기저 실리콘 '핸들(handle)' 웨이퍼를 높게 형성하여 소자 제조를 마무리하게 된다. 종래 사용되는 공정 기술을 이용하여 단단하고 평면인 기판 위에 서로 연결된 픽셀 배열을 제조하여 소프트 전자기학에서 종종 나타나는 한계, 예를 들어, 레지스트레이션(registration)을 극복할 수 있다.

[0123] 웨이퍼와는 대조적으로 장력을 받은 평면 '드림헤드' 형태에서 전사 요소를 연결한 후 벗겨내어 초점면 배열이 드러나게 하고, 일반적인 반데르발스 상호작용<sup>21,22</sup>을 통해 탄성중합체의 부드러운 표면과 초점면 배열이 결합되게 한다. 다음 단계로, 장력을 공급하는 단계의 리프암(leaf arms)을 초기 위치로 이동시키는 것은 탄성중합체를 약간 큰 곡률반경(상기 실시예에서 조사된 시스템에서는 약 10%)을 가진 초기 반구 모양으로 되돌아가게 한다. 압축 변형(예를 들어, 장력에 따라 10-20%까지)에 대응하는 크기를 가진 압축력은 픽셀 요소를 근접하게 위치시키는 초점면에 작용한다. 좁고, 가는 연결 라인은 픽셀 검출기에 의해 말단에서 고정된 원호모양을 이용하기 위한 탄성중합체의 표면에서 부분적으로 박리되는 것에 의해 큰 변형을 동반하며(예를 들어, 연결체에 동반되는 변형은 그 이상이며, 약 30-40%까지 이다), 이는 늘어나는 반도체 리본<sup>23</sup>에서의 반응과 개념적으로 유사한 역학적 거동이다. 상기 공정은 면을 구모양으로 바꾸는 형태적 변형을 초점면 배열의 어느 활성 요소에서 잠재적인 변형이 일어나는 것 없이 수행되게 한다. 상기 방법으로 반구형, 탄성중합체 전사 요소는 초점면 배열로 인쇄된 후 곡률반경이 일치하고 광경화성 접착제(NOA, Norland)의 얇은 층으로 코팅된 반구형 유리 기판 위로 전사 프린팅한다. 상기 시스템을 외부 조절 장치로 버스 라인이 결합된 회로 보드에 결합시키고, 검출기 배열의 주변을 따라 위치하는 핀아웃(pinout)에 전기적 연결을 설치하고, 간단한 이미징 렌즈(imaging lens)에 맞는 반구형 캡을 증착하여 반구형 아이 카메라를 완성하였다.

[0124] 적절하게 형성된 압축성 연결체와 결합될 수 있다면, 도 14에 요약된 제조방법은 거의 임의적인 재료와 소자(예를 들어, 정교한 카메라, 망막 임플란트)를 이용하는 평면 전자장치 및 광전자 기술에 적용할 수 있다. 상기 기술의 핵심적인 이점은 가장 노동집약적인 공정(예를 들어, 픽셀 배열 형성)이 평면 실리콘 소자 제조 장치와 완전히 혼용할 수 있다는 것이다. 도 15는 패시브 실리콘 요소(20×20 μm, 50 μm 두께) 및 가장 근접한 연결(20×4 μm, 50 μm 두께)을 나타내고, 상기 공정의 핵심적인 면을 나타내며, 간단하게 묘사하기 위해 고안되었다. 도 15A는 반구형, 탄성중합체 전사 요소의 표면 위로 이동된 배열의 사진을 나타내며, 도 14에서 마지막 프레임과 일치한다. 공정에서 사용된 고레벨 공학적 조절은 사진에서 나타난 구조와 동일하다. 도 15B는 도 15A의 샘플에서 수집된 작은 영역에서의 배열에 대한 주사전자현미경(SEM) 사진이다. 압축력에 원인이 되는 원호 모양의 연결을 분명하게 볼 수 있다. 상기 타입 연결의 전사 및 형성과 관련된 수득률은 높은 것으로 나타난다. 즉, 도 15B는 상기 관점에 대해 90% 이상의 수득률과 일치하는 약 5%의 결함이 나타난 것을 알 수 있다. 도 15C는 유사하게 전사된 배열에서 요소의 공간적 분포를 나타낸다. 평면 이론<sup>23</sup>에 기반하고 유한 요소 분석 기술<sup>24-26</sup>을 사용하여 확증된, 간단한 역학모델은 실리콘 요소들이 평편한 부분으로부터 반구형으로 만들어지는 방법을 보여준다. 도 15C에 나타난 상기 모델에 주어지는 픽셀 위치는 파라미터 맞춤 없이 실험결과로 일치한다. 이러한 역학 모델은 양적으로 미미한 결정학적 변화를 나타내면서, 전체 영역에 걸쳐 국지적 피치(pitch)에서는 약 3%의 매우 작은 변화를 나타낸다. PDMS에 외부 힘이 존재하기 전인 초기값보다 작은 약 10%의 비교적 균일한 피치값을 나타낸다. 인접한 단위격자 사이의 좁고 얇은 연결체에 의해 제공되는 압축력은 이론적 분석을 통해 이해될 수 있다. 도 15D의 SEM 사진은 도 15A 및 15B에 나타난 화살표의 고배율 모습을 원호 모양 및 변형 분포의

$$w = \frac{A}{2} \left( 1 + \cos \frac{2\pi x}{L} \right)$$

오버레이 형태로 나타나는 도출 결과를 제공한다. 원호 모양 연결체에서의 면의 이동(w)은  
 로 나타내고, 여기서 A는 진폭이고, x는 연결에 따른 위치이며, L은 인접한 픽셀 요소 사이의 수직 분리 거리이다; 즉, 상기 거리는 평면 모양으로 제조되었을 때 L<sub>0</sub> = 20 μm이다. 연결 스트립(connection strip)에서 멤브레

$$A = \frac{2L_0}{\pi} \sqrt{\frac{L_0 - L}{L_0} - \epsilon_c}$$

인과 굽힘 에너지를 최소화하는 것은 진폭에 대한 수학적식인 을 제공하며, 여기서, 임계 버클링 변형(ε<sub>c</sub>)는 ε<sub>c</sub> = π<sup>2</sup>h<sup>2</sup>/(3L<sub>0</sub><sup>2</sup>)로 주어지며, h는 두께이다. 상기 시스템에 대한 측정값은 0.0021%이다.

$L=17.5 \mu\text{m}$ 에 있어서, 진폭  $A=4.50 \mu\text{m}$ 는 실험결과  $A=4.76 \mu\text{m}$ 와 거의 일치하는 것을 알 수 있다. 연결체에서 최대 변형률은 실리콘에 대한 파괴 변형률 이하인 약 0.5%이다. 또한, 역학적 모델은 정사각형 실리콘 요소에서 변형률의 분포 및 이동을 나타낸다. 면 외 이동의 최대치는 도 15D에서 나타난 바와 같이, 변형률  $\epsilon_{xx}$  및  $\epsilon_{yy}$ 가 0.08% 미만일 때 매우 작다( $<0.1 \mu\text{m}$ ). Si 요소에서 변형률  $\epsilon_{xx}$ 는 x축 방향 연결체 부근에 도달하며,  $\epsilon_{yy}$  피크는 y축 방향 연결체 부근에서 발생한다.

[0125] 도 14 및 도 15에 요약된 방법 및 연관된 역학은, 적절하게 구성된 압축성 연결체와 결합한다면 평면 전자장치와 광전자 기술에 적용할 수 있다. 도 16은 상기에서 기술한 카메라에 적용되는 디자인의 윤곽이다. 배열에서 각각의 픽셀은 폴리아미드의 캐핑층( $560 \times 560 \mu\text{m}$ , 1-1.5  $\mu\text{m}$  두께)을 포함하는 단결정 실리콘( $500 \times 500$ , 1.2  $\mu\text{m}$  두께)에 단일체로 형성되는 광검출기 및 pn 접합 다이오드, 두개의 소자를 지지한다. 첫번째 소자는 국지적인 빛 검출을 제공하고, 두번째 소자는 패시브 매트릭스 레드아웃(readout)에 대한 전류 차단 및 향상된 분리를 제공한다. 여기서, 상기 소자들은 PDs(photodiodes) 및 BDs(blocking diodes)로 각각 명명한다. 각각의 BDs 위 금속층들은 BDs가 빛에 노출되지 않게 하여 광반응을 차단한다. 상기 금속의 레이아웃, 두개의 소자들 및 전기적 연결은 도 16A의 그림에 나타내었다. 픽셀 대 픽셀(pixel-to-pixel) 연결체는 종래 방법으로 스핀 캐스트 및 패터닝된 폴리아미드 박막( $360 \times 110 \mu\text{m}$ ; 1-1.5  $\mu\text{m}$  두께)에 패터닝된 금속층( $360 \times 50 \mu\text{m}$  너비; Cr/Au/Cr 3/150/3 nm 두께)으로 이루어진다.

[0126] 도 16D 및 도 16E에서의 SEM 사진은 도 14의 끝에서 두번째 프레임과 일치하는 반구형 탄성중합체 전사 요소의 표면에 전사된 PD-BD 픽셀의  $16 \times 16$  배열을 나타낸다. 원호 모양의 연결체가 평면에서 반구형으로 변형된 것을 알 수 있다. 전사 공정 및 늘어나는 연결체와 같은 종류의 형성과 관련된 수득률은 높은 것으로 나타난다.  $16 \times 16$  배열인 경우 100%의 픽셀과 연결체는 재생적으로 전사된다. 수득률이 95% 이상인 것은 패시브 실리콘 요소( $20 \times 20 \mu\text{m}$ , 50 nm 두께) 및 가장 근접한 연결체( $20 \times 4 \mu\text{m}$ , 50 nm 두께)가 고밀도 배열로 전사된다는 것을 증명한다(도 52 참조). 이미지 배열에서 중요한 역학적 변형은 전사공정 동안 특히, 탄성중합체 전사 요소의 평면에서 반구형으로 변형하는 동안 발생한다. 판 이론에 기초하고 유한 요소 분석 기술을 이용하여 증명된 간단한 역학 모델은 전사 공정 동안 픽셀의 공간 분포뿐만 아니라, 연결체 및 실리콘 픽셀에서 응력 및 변위 분포를 결정하기 위해 개발되어왔다. 상기 모델은 반구형 표면에서의 이미지 배열은 1) 국지적 피치에서 매우 작은 변화(최대 대 최소가 약 3%)를 가지고, 2) 비교적 균일한 피치는 평면에서의 배열보다 적은 약 10%이다. 또한, 역학 모델은 Si 픽셀에서 약 0.01%의 최대 변형률 및 상기 시스템에서 관찰된 연결체 길이(피치에서 약 10% 변화)에서 약 20% 변화에 대한 원호 모양의 연결체 금속에서 약 0.3%의 최대 변형률을 예측한다. 도 16C는 도 14의 마지막 프레임과 일치하는 반구형 유리 기판에서의 완료된 배열에 대한 사진을 나타낸다. 제조 공정에서의 고레벨 공학 적 조절은 반구형 기판으로 변화된 기판의 균일성으로 알 수 있다.

[0127] 도 16B는  $16 \times 16$  배열의 둘레에서 콘택 패드를 통해 수평·수직 전극으로 할당되는 반구형 검출 배열(검정 실선: 어두운 부분; 빨간색 점선 곡선: 빛에 노출된 부분)에서 픽셀 각각의 전류/전압 반응을 나타낸다. 유사한 반응은 평면 이미지 배열에서 각각의 픽셀에서 나타난다. 핵심적인 특징은 패시브 매트릭스 어드레싱에서 픽셀 사이의 강한 광반응성(주 프레임), 매우 낮은 역바이어스 전류(오른쪽 삽입 그림) 및 낮은 크로스토크(crosstalk)(오른쪽 삽입 그림)이다. 도 16C는 반구형 유리 기판 위에 제조된 배열을 나타낸 사진이다. 왼쪽 상부 및 오른쪽 상부에 삽입된 그림은 각각 회로(빨간색: PD; 검정색: BD) 및 제조된 배열의 일부분에 대한 확대도이다. 도 16에 나타낸 소자에 적용되는 Si 시스템(도 15 참조)에 대한 역학적 모델은 상기 시스템에서 약 12.5% 연결 길이 변화에 대한 약 0.01%의 Si에서 최대 변형률( $\epsilon_{xx}$  또는  $\epsilon_{yy}$ )을 나타낸다. 원호 모양 연결체 금속에서 최대 변형률은 약 0.3%이다.

[0128] 플렉서블 새도우 마스크를 통해 유리 기판 모서리에 금속을 증착하는 것은 패시브 매트릭스 배열의 주변에 행과 열 접촉으로 전기적인 연결을 제공한다. 상기 연결은 인쇄된 회로 보드에 패터닝된 라인을 유도하고, 상기 연결은 카메라로부터 얻어진 이미지에 대해 특별하게 고안된 소프트웨어를 가진 컴퓨터에 리본 케이블 인터페이스(ribbon cable interface)를 제공하는 34 핀 커넥터(34 pin connector)에서 끝난다. 도 17A는 결과물을 나타낸다. 현재, 컨트롤 전자장치를 분리하기 위해 픽셀 배열의 주변을 연결하는 전극 라인은 수득률을 제한하고 픽셀

수의 실질적인 한계를 결정한다. 최적화되지 않은 수동 시스템으로, 픽셀 배열의 주변에서 인쇄된 회로 보드까지의 연결체는  $\pm 200 \mu\text{m}$ 의 정확성을 보인다. 이미징 광학을 제공하는 간단한 단일의 소자 렌즈에 적합한 반구형 캡으로 증착하여 카메라를 완성하고, 그 결과를 도 17B, C에 나타내었다.

[0129] 도 17D, E는 상기 디자인을 가지는 카메라 및 종래 평면 레이아웃에서 유사한 디자인을 가지는 카메라를 수집된 테스트 패턴을 나타낸 사진이며, 초점면 배열의 기하학적 구조를 가진 표면을 흑백으로 나타내었다. 상기 결과들은 제한된 해상도 및 픽셀 결합을 극복하기 위해 생물학에서 채택된 방법을 충족시킨다. 특별하게, 물체에 대해 카메라가 이동(평면에서 이동, 반구형에서 회전)하듯이 연속적인 이미지가 수집된다. 도 17D, E는 일부 픽셀로부터 각각의 이미지의 결합된 세트를 나타낸다.

[0130] 도 17F는 도 17A-C의 반구형 아이 카메라로 수집된 이미지를 나타낸다. 상기 결과들에 대한 광학적 구성은 투명 필름에 인쇄된 패턴을 나타내기 위해 팽형 녹색광(Ar 이온 레이저)을 사용하였다. 투과된 광은 반구형 카메라(도 31 참조)에 이미지를 형성하기 위해 심플 평 볼록 렌즈(simple plano-convex lens, 직경= 25.4 mm; 초점 거리= 35 mm)를 통과한다. 도 17F의 왼쪽 프레임은 표준 시력 검사표의 상부 두 줄의 이미지인 경우에 대한 카메라의 직접적인 출력을 나타낸다. 글자 모양이 분명하게 보일지라도, 상기 카메라의 비교적 낮은 픽셀 수 때문에 작은 글자의 공간적 특성을 정확하게 나타나지 않는다. 상기 이미지 품질은 생물학적 시스템으로부터 조절된 방법을 적용하여 향상시킬 수 있고, 상기 생물학적 시스템에서 카메라에 수집되는 연속적인 이미지는 물체에 대하여  $\theta$ 와  $\psi$  방향으로 특이하게 회전한다. 상기에서 기술한 역학 모델로 예측되는 반구형 표면의 픽셀 위치를 이용한 복구(reconstruction)는 고 해상도 이미지를 생산할 수 있다. 도 17F의 오른쪽 프레임은  $0.4^\circ$  증가인 작은 범위의 각도를 빠르게 스캐닝하여 얻어진 사진이다.

[0131] 도 53A-B에서 나타난 바와 같이, 더욱 복잡한 그림에서조차도 간단한 스캐닝 방법( $\theta$  및  $\psi$  방향으로  $-2^\circ$  에서부터  $2^\circ$  까지,  $0.4^\circ$  증가)를 이용하여 고 해상도를 얻을 수 있다. 이미지 검사는 상기 공정과 연관된 스티칭 오차(stitching errors)는  $40 \mu\text{m}$  미만이고, 이것에 의해 상기 모델의 정확성을 입증할 수 있다. 반구형 카메라에서 가장 근접한 픽셀은 격자형 그림을 나타내는데 불필요한 중복을 발생시키지 않고 약  $4^\circ$  로 분리된다. 또한, 상기 결과는 99% 이상(256개 중 254)인 작용 픽셀의 고 수득률을 증명한다. 전체투영된 이미지( $\theta$  및  $\psi$  방향에서  $-40^\circ$  부터  $40^\circ$  까지) 전체에 대해 스캔했을 때 각각의 픽셀로부터 이미지를 얻을 수 있고, 배열에서 고품질 및 균일한 픽셀을 얻을 수 있는 것을 알 수 있다.

[0132] 여기서 고려되는 심플, 단일 렌즈 시스템은 곡선 모양의 탐지기가 카메라 성능을 향상시키는 방법의 명확한 실시예를 제공한다. 반구형 카메라와 평면 카메라의 초점 성능은 제조된 소자, 광선 추적 소프트웨어 및 상업적 카메라를 이용하는 도 53c-f에서 비교된다. 이상적인 이미징 시스템은 탐지기 표면에 이미지를 완벽하게 재생하는 것이지만, 렌즈는 이미지 품질을 저하시키는 수차를 제공한다. 복잡하고 값비싼 광학장치는 평면의 탐지기 표면에 대한 자이델 3차 수차(the third order Seidel aberrations)를 감소시킬 수 있으나, 상기의 수차는 심플, 단일 렌즈의 초점 성능에 중요한 역할을 한다. 초점 능력을 증명하기 위해서는 비평형 광원 및 넓은 관측시야를 위한 큰 개구(aperture)가 필요하다. 따라서, 도 53c-f에 대한 광학적 실험 설정은 할로겐 램프와 고 구경 평 볼록 렌즈(직경= 12 mm; 초점 거리= 12 mm)로 종이 위에 인쇄된 배면광 패턴을 사용한다. 조사된 광 파장을 약 620-700 nm로 제한하는 광학적 필터를 사용하는 것은 색수차(chromatic aberration)로 인한 기여를 최소화한다. 도 53c는 곡선으로 이루어진 이미지 표면을 측정하는데 사용되는 광학적 배열 및 대표적인 광 추적을 나타낸다. 측정된 표면은 우수한 근사치를 나타내고, 포물선 회전을 나타내며(도 53d 참조), 평면 검출기보다 반구형 검출기 모양에 더욱 근접하다. 도 53e는 스크린과 렌즈 사이의 두 상이한 거리( $z$ : 왼쪽은 14.40 mm이고, 오른쪽은 16.65 mm이다)에서 일반 카메라로 얻어진 평면 스크린(사진기용 플라스틱 필름)에 투영된 이미지를 나타낸다. 가장 좋은 초점 위치는  $z$ 가 감소함에 따라 중앙에서 이미지의 모서리로 이동한다. 상기 연속된 사진을 이용하여 측정된 이미지 표면은 광 추적 이론(도 53d 및 도 56 참조)으로 예측된 값과 유사하다. 도 53f 및 53g는 제조된 평면카메라와 반구형 카메라로 얻어진 이미지를 비교한 것이다. 반구형 시스템은 중앙에서 모서리까지 균일한 초점, 넓은 시야, 이미지 전체에 대한 균일한 강도 및 감소된 기하학적 변이를 포함하는 많은 장점이 있다. 상기 각각의 소자와 관련된 보통 수준의 해상도에서조차도 많은 특징들이 도 53f, g에 나타난다.

- [0133] 결론적으로, 상기에서 소개된 압축성 광전자장치 및 탄성중합체 전사 요소를 이용한 방법은 고해상도 초점면 배열, 더욱 향상된 재료 시스템 및 소자 디자인뿐만 아니라, 제한된 기관 형태(예를 들어, 비구면 표면)와 혼용할 수 있다.
- [0134]
- [0135] 참조문헌
- [0136] 1. Land, M.F. & Nilsson, D.-E. *Animal Eyes*. Oxford University Press, New York (2002).
- [0137] 2. Goldsmith, T.H. Optimization, constraint, and history in the evolution of eyes. *Quart. Rev. Biol.* **65**, 281-322 (1990).
- [0138] 3. Swain, P. & Mark, D. Curved CCD detector devices and arrays for multi-spectral astrophysical applications and terrestrial stereo panoramic cameras. *Proc. SPIE* **5499**, 281-301 (2004).
- [0139] 4. Grayson, T. Curved focal plane wide field of view telescope design. *Proc. SPIE* **4849**, 269-274 (2002).
- [0140] 5. Jackman, R.J., Wilbur, J.L. & Whitesides, G.M. Fabrication of submicrometer features on curved substrates by microcontact printing. *Science* **269**, 664-666 (1995).
- [0141] 6. Paul, K.E, Prentiss, M. & Whitesides, G.M. Patterning spherical surfaces at the two hundred nanometer scale using soft lithography. *Adv. Func. Mater.* **13**, 259-263 (2003).
- [0142] 7. Miller, S.M., Troian, S.M. & Wagner, S. Direct printing of polymer microstructures on flat and spherical surfaces using a letterpress technique. *J. Vac. Sci. Technol. B* **20**, 2320-2327 (2002).
- [0143] 8. Childs, W.R. & Nuzzo, R.G. Patterning of thin-film microstructures on non-planar substrate surfaces using decal transfer lithography. *Adv. Mater.* **16**, 1323-1327 (2004).
- [0144] 9. Lee, K.J., Fosser, K.A. & Nuzzo, R.G. Fabrication of stable metallic patterns embedded in poly(dimethylsiloxane) and model applications in non-planar electronic and lab-on-a-chip device patterning. *Adv. Func. Mater.* **15**, 557-566 (2005).
- [0145] 10. Lima, O., Tan, L., Goel, A. & Negahban, M. Creating micro- and nanostructures on tubular and spherical surfaces. *J. Vac. Sci. Technol. B* **25**, 2412-2418 (2007).
- [0146] 11. Radtke, D. & Zeitner, U.D. Laser-lithography on non-planar surfaces. *Opt. Expr.* **15**, 1167-1174 (2007).
- [0147] 12. Rucheheoft, P. & Wolfe, J.C. Optimal strategy for controlling linewidth on spherical focal surface arrays. *J. Vac. Sci. Technol. B* **18**, 3185-3189 (2000).
- [0148] 13. Xia, Y. et al. Complex optical surfaces formed by replica molding against elastomeric masters. *Science* **273**, 347-349 (1996).
- [0149] 14. See, Ball Semiconductor at <http://www.ballsemi.com/>.
- [0150] 15. Hsu, P.I. et al. Spherical deformation of compliant substrates with semiconductor device islands. *J. Appl. Phys.* **95**, 705-712 (2004).
- [0151] 16. Hsu, P.I. et al. Effects of mechanical strain on TFTs on spherical domes. *IEEE Trans. Electron. Dev.* **51**, 371-377 (2004).
- [0152] 17. Jacobs, H.O., Tao, A.R., Schwartz, A., Gracias, D.H. & Whitesides, G.M. Fabrication of a cylindrical display by patterned assembly. *Science* **296**, 323-325 (2002).
- [0153] 18. Zheng, W., Buhlmann, P. & Jacobs, H.O. Sequential shape-and-solder-directed selfassembly of functional Microsystems. *Proc. Nat. Acad. Sci. USA* **101**, 12814-12817 (2004).
- [0154] 19. Boncheva, M. et al. Magnetic self-assembly of three-dimensional surfaces from planar sheets. *Proc. Nat. Acad. Sci. USA* **102**, 3924-3929 (2005).

[0155] 20. Boncheva, M. & Whitesides, G.M. Templated self-assembly: Formation of folded structures by relaxation of pre-stressed, planar tapes. The path to ubiquitous and lowcost organic electronic appliances on plastic. *Adv. Mater.* **17**, 553-557 (2005).

[0156] 21. Huang, Y.Y., Zhou, W.X., Hsia, K.J., Menard, E., Park, J.U., Rogers, J.A. & Alleyne, A.G. Stamp Collapse in Soft Lithography. *Langmuir* **21**, 8058-8068 (2005).

[0157] 22. Zhou, W., Huang, Y., Menard, E., Aluru, N.R., Rogers, J.A. & Alleyne, A.G. Mechanism for Stamp Collapse in Soft Lithography. *Appl. Phys. Lett.* **87**, 251925 (2005).

[0158] 23. Sun, Y. et al. Controlled buckling of Semiconductor Nanoribbons for Stretchable Electronics. *Nat. Nanotechnol.* **1**, 201-207 (2006).

[0159] 24. Timoshenko, S. Theory of Plates and Shells. McGraw-Hill, New York (1940).

[0160] 25. Belytschko, T., Liu, W. K. & Moran, B. Nonlinear Finite Elements for Continua and Structures. Wiley, New York (2000).

[0161] 26. ABAQUS Inc., ABAQUS Analysis User's Manual V6.5 (2004).

[0162] Khang, D. Y., Jiang, H., Huang, Y. & Rogers, J. A. A Stretchable form of single crystal silicon for high performance electronics on rubber substrates. *Science* **311**, 208-212 (2006).

[0163] Begbie, G. H. Seeing and the Eye. Natural History Press, Garden City, New York (1969).

[0164] Born, M. and Wolf, E. Principles of Optics 7th Ed. Cambridge University Press, New York (1999).

[0165] 재료들 및 방법들: 거의 모든 재료들과 방법들은 특정 평면 공정 단계들과 회로 리프트오프(liftoff) 전략, 압축성 연결체 레이아웃, 반구형 PDMS 전사 요소들, 방사성 장력을 인가하는 단계, 고정장치(fixture)와 렌즈 시스템, mux/demux 인터페이스와 컴퓨터 소프트웨어 조절 및 상기에서 기술된 추가적인 단계를 포함하는 특정 실시예를 위해 특별하게 고안된 단계들을 사용한다.

[0166] 초점면 배열의 평면 공정: 초점면 배열을 형성하기 위해 사용되는 일련의 공정 단계들을 하기 표 1 및 2에 나타내었다. 제조단계의 중요 부분은 산화막을 에칭하는 동안(단계 34-37) 배열을 지지하는 폴리머 포스트(post)의 형성이다. 도 18은 상기 공정을 나타낸다. 도 19는 상기 배열의 레이아웃을 도식적으로 나타내며, 주요 수치들을 제공한다. 도 20은 완전한 배열 사진 및 반구형 시스템에 사용되는 것과 유사한 디자인을 가진 평면 카메라의 심플 시스템을 위한 단위 격자의 모양을 나타낸다.

**표 1**

[0167] -SOI에 초점면 배열을 위한 제조공정 계획-

1	1.2 $\mu\text{m}$ SOI 웨이퍼 칩 세척(Soitec)(아세톤, IPA, 물→110 °C에서 5분 동안 건조)	정렬된 마크 패턴
2	1.5 분 동안 HMDS 전처리	
3	크롬 마스크(Karl Suss MJB3)을 통해 365 nm광학 리소그래피로 포토레지스트 패턴(PR; Clariant AZ5214, 3000 rpm, 30초)	
4	반응성 이온 에칭(RIE, Plasma Therm 790 Series, 50 mTorr, 40 sccm SF6, 100W, 20초)	
5	PR 제거. 아세톤으로 세척한 후 3분 동안 피라나(piranha) 처리	

6	HF 세척(Fisher, concentrated 49%, 2초)	p <sup>+</sup> 도핑	
7	600 nm SiO <sub>2</sub> 의 플라즈마 화학 기상 증착(PECVD;Plasma Therm SLR)		
8	1.5분 HMDS		
9	PR 패턴		
10	5분 동안 어닐(anneal)		
11	버퍼드 산화물 에칭(buffered oxide etch, BOE, 2분)으로 산화물 에칭		
12	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리		
13	2초 동안 BOE		
14	10분 동안 200 °C에서 어닐		
15	스핀-온-도판트(p-type, Boron, Filmtronics B219, 3000 rpm, 30초)		
16	10분 동안 200 °C에서 어닐		
17	30분 동안 1050 °C에서 어닐		
18	세척(HF로 30초 동안, 1:1 HNO <sub>3</sub> :H <sub>2</sub> SO <sub>4</sub> 5분 동안, 1분 동안 BOE)		
19	600 nm SiO <sub>2</sub> PECVD		n <sup>+</sup> 도핑
20	1.5 분 HMDS		
21	PR 패턴		
22	5분 어닐		
23	버퍼드 산화물 에칭(BOE, 2분)으로 산화물 에칭		
24	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리		
25	2초 동안 BOE		
26	10분 동안 200 °C에서 어닐		
27	스핀-온-도판트(n-type, Phosphorous, Filmtronics P506, 3000 rpm, 30초)		
28	10분 동안 200 °C에서 어닐		
29	20분 동안 950 °C에서 어닐		
30	세척(4분 동안 BOE, 3분 동안 피라나, 1분 동안 BOE)		
31	PR 패턴	PD 및 BD 구조 제조	
32	RIE(50 mTorr, 40 sccm SF <sub>6</sub> , 4분)		
33	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리		
34	90초 동안 HF	전처리	
35	폴리이미드로 스피코팅(PI, poly(pyromellitic dianhydride-co-4,4'-oxydianiline),아민산 용액, Sigman-Aldrich, 60초 동안 4000 rpm에서 회전)	지지층 증착 및 PI 패턴	
36	3분 동안 110 °C에서 어닐하고 10분 동안 150 °C에서 어닐		
37	N <sub>2</sub> 분위기에서 2시간 동안 250 °C에서 어닐		
38	5분 동안 자외선 오존(Ultraviolet ozone, UVO) 처리		
39	200 nm SiO <sub>2</sub> PECVD		
40	1.5분 HMDS		
41	PR 패턴		
42	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)		
43	PR 제거, 아세톤으로 세척		
44	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 15분)		
45	40초 동안 BOE		금속층 증착 및 패턴
46	Cr/Au/Cr의 3/150/3 nm 스퍼터(sputter)		
47	200 nm SiO <sub>2</sub> PECVD		
48	1.5분 HMDS		
49	PR 패턴		
50	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)		
51	20/40/20초 동안 Cr/Au/Cr 습식 에칭(Transene, ethchants)		
52	PR 제거, 아세톤 세척		
53	SiO <sub>2</sub> 제거, 60초 동안 BOE		
54	PI로 스피코팅		
55	3분 동안 110 °C, 10분 동안 150 °C에서 어닐	봉지층 증착 및 PI 패턴	

56	N <sub>2</sub> 분위기에서 2시간 동안 250 °C에서 어닐	
57	5분 동안 UVO 처리	
58	200 nm SiO <sub>2</sub> PECVD	
59	1.5분 HMDS	
60	PR 패턴	
61	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)	
62	PR 제거, 아세톤 세척	
63	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 10분)	
64	60초 동안 BOE	
65	5분 동안 UVO 처리	산화물 박스층 에칭을 위해 홀 패턴
66	200 nm SiO <sub>2</sub> PECVD	
67	1.5분 HMDS	
68	PR 패턴	
69	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)	
70	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 10분)	
71	8/20/8초 동안 Cr/Au/Cr 습식 에칭	
72	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 15분)	
73	RIE(50 mTorr, 40 sccm SF <sub>6</sub> , 100 W, 5분)	
74	PR 제거, 아세톤 세척	
75	30분 동안 HF로 산화물 박스층 에칭하고 핸들 웨이퍼(handle wafer)로부터 배열 제조	
76	전사 및 프린팅 공정	

**표 2**

-SOI에 초점면 배열을 위한 제조공정 계획-

[0168]

1	1.2 μm SOI 웨이퍼 칩 세척(Soitec)(아세톤, IPA, 물→110 °C에서 5분 동안 건조	정열된 마크 패턴
2	1.5 분 동안 HMDS 전처리	
3	크롭 마스크(Karl Suss MJB3)을 통해 365 nm광학 리소그래피로 포토레지스트 패턴(PR; Clariant AZ5214, 3000 rpm, 30초)	
4	반응성 이온 에칭(RIE, Plasma Therm 790 Series, 50 mTorr, 40 sccm SF6, 100W, 20초)	
5	PR 제거. 아세톤으로 세척한 후 3분 동안 피라나(piranha) 처리(1분 동안 3:1 H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> )	
6	HF 세척(Fisher, concentrated 49%, 2초)	p <sup>+</sup> 도핑
7	600 nm SiO <sub>2</sub> 의 플라즈마 화학 기상 증착(PECVD;Plasma Therm SLR)	
8	1.5분 HMDS	
9	PR 패턴	
10	5분 동안 어닐(anneal)	
11	버퍼드 산화물 에칭(buffered oxide etch, BOE, 2분)으로 산화물 에칭	
12	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리	
13	2초 동안 BOE	
14	10분 동안 200 °C에서 어닐	
15	스핀-온-도판트(p-type, Boron, Filmtronics B219, 3000 rpm, 30초)	
16	10분 동안 200 °C에서 어닐	
17	30분 동안 1050 °C에서 어닐	
18	세척(HF로 30초 동안, 1:1 HNO <sub>3</sub> :H <sub>2</sub> SO <sub>4</sub> 5분 동안, 1분 동안 BOE)	

19	600 nm SiO <sub>2</sub> PECVD	n <sup>+</sup> 도핑
20	1.5 분 HMDS	
21	PR 패턴	
22	5분 어닐	
23	버퍼드 산화물 에칭(BOE, 2분)으로 산화물 에칭	
24	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리	
25	2초 동안 BOE	
26	10분 동안 200 °C에서 어닐	
27	스핀-온-도판트(n-type, Phosphorous, Filmtronics P506, 3000 rpm, 30초)	
28	10분 동안 200 °C에서 어닐	
29	4:1 N <sub>2</sub> :O <sub>2</sub> 에서 20분 동안 950 °C에서 어닐	
30	세척(4분 동안 BOE, 3분 동안 피라나, 1분 동안 BOE)	
31	PR 패턴	
32	RIE(50 mTorr, 40 sccm SF <sub>6</sub> , 4분)	
33	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리	
34	90초 동안 HF	회생 산화물 층으로 전처리
35	100 SiO <sub>2</sub> PECVD	
36	PR 패턴	
37	30초 동안 BOE	
38	PR 제거, 아세톤으로 세척한 후 3분 동안 피라나 처리	
39	폴리이미드로 스핀코팅(PI, poly(pyromellitic dianhydride-co-4,4'-oxydianiline), 아민산 용액, Sigman-Aldrich, 60초 동안 4000 rpm에서 회전)	지지층 증착 및 PI 패턴
40	3분 동안 110 °C에서 어닐하고 10분 동안 150 °C에서 어닐	
41	N <sub>2</sub> 분위기에서 2시간 동안 250 °C에서 어닐	
42	5분 동안 자외선 오존(Ultraviolet ozone, UVO) 처리	
43	200 nm SiO <sub>2</sub> PECVD	
44	1.5분 HMDS	
45	PR 패턴	
46	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)	
47	PR 제거, 아세톤으로 세척	
48	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 15분)	
49	40초 동안 BOE	
50	Cr/Au/Cr의 3/150/3 nm 스퍼터(sputter)	
51	200 nm SiO <sub>2</sub> PECVD	
52	1.5분 HMDS	
53	PR 패턴	
54	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)	
55	20/40/20초 동안 Cr/Au/Cr 습식 에칭(Transene, ethchants)	
56	PR 제거, 아세톤 세척	
57	SiO <sub>2</sub> 제거, 60초 동안 BOE	
58	PI로 스핀코팅	

59	3분 동안 110 °C, 10분 동안 150 °C에서 어닐	산화물 박스층 에칭을 위해 PI 증착 및 홀 패턴
60	N <sub>2</sub> 분위기에서 2시간 동안 250 °C에서 어닐	
61	5분 동안 UVO 처리	
62	200 nm SiO <sub>2</sub> PECVD	
63	1.5분 HMDS	
64	PR 패턴	
65	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)	
66	PR 제거, 아세톤 세척	
67	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 10분)	
68	8/20/8초 동안 Cr/Au/Cr 습식 에칭	
69	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 13분)	PI 분리
70	RIE(50 mTorr, 40 sccm SF <sub>6</sub> , 100 W, 5.5분)	
71	40초 동안 BOE	
72	5분 동안 UVO 처리	
73	200 nm SiO <sub>2</sub> PECVD	
74	1.5분 HMDS	
75	PR 패턴	
76	RIE(50 mTorr, 40:1.2 sccm CF <sub>4</sub> :O <sub>2</sub> , 150 W, 10분)	
77	PR 제거, 아세톤 세척	
78	RIE(50 mTorr, 20 sccm O <sub>2</sub> , 150 W, 16분)	
79	30분 동안 HF로 산화물 박스층 에칭하고 핸들 웨이퍼(handle wafer)로부터 배열 제조	
80	전사 및 프린팅 공정	

[0169] 반구형 PDMS 전사 요소 제조: 캐스팅과 큐어링 공정은 일반적인 벤더(vendor, Sylgard 184, Dow Corning)로부터 얻어진 PDMS의 전사 요소 또는 스탬프를 형성한다. 도 21은 본 발명에서 사용되는 지그(jig) 및 볼록렌즈와 오목렌즈(곡률반경은 12.9 mm이고, 직경은 25.4 mm이다)를 나타낸다. 볼록렌즈는 PDMS로 만들어지고, 오목렌즈로부터 주형된다. 도 22는 치수가 기재된 반구형 전사 요소의 단면을 나타낸다. 전사 요소 주위에 크게 높여진 림(rim)을 살펴보면, 장력이 가해지는 단계에서 패들 암(paddle arm)의 모양과 일치하는 것을 알 수 있다. 도 23은 초점면 배열이 중첩되어 나타나며, 이완 및 장력이 가해지는 상태에서 PDMS 전사 요소의 평면도를 나타낸다.

[0170] PDMS 전사요소 스트레칭 및 전사 프린팅: 특별하게 디자인된 방사형으로 장력이 가해지는 단계는 반구형 PDMS 전사 요소가 편평한 드럼헤드 상태로 확장할 수 있는 재생가능하고 조절되는 방법을 제공한다. 도 24는 스크롤 판 디자인에 기반한 시스템의 컴퓨터로 디자인된 그림을 나타낸다. 10개의 분리된 패들 암들은 수동 회전 단계를 이용하여 조절되는 양에 의해 방사방향으로 조정된 방식으로 이동한다. PDMS 요소의 높아진 림은 패들에 설치된다. 도 25는 스트레칭 공정의 다양한 단계에서의 단계와 요소를 나타낸 사진이다. 도 25에 나타난 바와 같이, 홀더(110)는 안전하게 스탬프(100)를 수용할 수 있다. 외력 발생기(120)는 주로 평편하게 되는 스탬프(가장 오른쪽 패들)에 설치되는 스탬프에 외력을 발생시키기 위해 홀더(110)와 연결된다. 도 25는 반구형 형태의 PDMS 전사 요소 및 10개의 패들 암으로 방사방향 장력 인가 단계를 포함하는 외력 발생기(120)를 갖는 스탬프를 나타낸다. 도 26은 도 14에서 마지막 프레임과 동일하며, 배열의 리프트오프(liftoff) 및 장력 가압 단계를 제거한 후를 나타낸 사진이다. 패시브 실리콘 요소(20×20 μm, 50 nm 두께)의 고밀도 배열 및 가장 근접한 연결(20×4 μm, 50 nm 두께)이다.

[0171] 상기와 같은 배열에서 픽셀의 공간적 분포를 정량화하고 이해하는 것은 중요하다. 도 27은 상기 분포를 측정하기 위해 사용된 공정과 일치하는 연속된 프레임을 나타낸다. 상기 그림의 평면도를 특별하게 개발된 소프트웨어가 픽셀의 중앙에 위치하는 그림과 좌표(하부 프레임)로 나타내어지는 그림인 두개의 포맷(중앙 프레임)으로 표시된다.

[0172] 반구형 캡 및 이미징 렌즈 증착: 도 28은 반구형 캡 및 증착된 이미징 렌즈의 단면도이고, 치수가 포함된 반구

형 캡 및 증착된 이미징 렌즈를 컴퓨터로 그린 그림이다. 상기 구성 요소들은 카메라에 필요한 요소들이지만, 중요한 디자인 구성 요소를 나타내는 것은 아니다.

[0173] 카메라로 이미징: 특별하게 고안되고 인쇄된 회로 보드 위에 초점면을 결합시키는 것, 연결체를 형성시키는 것 및 mux/demux 전자장치와 소프트웨어 제어 시스템을 증착시키는 것으로 영상을 획득할 수 있다. 회로 보드에 전기적 연결을 수행하는 것에 있어서, 반구형 카메라 기판의 모서리에 걸쳐진 플렉서블 새도우 마스크를 통해 Cr/Au의 전자빔 증착을 이용한다. 도 29는 mux/demux 전자장치를 나타내고, 도 30은 시스템의 회로도도를 나타낸다. 4V의 인가전압에서 전류 반응들은 도 17의 결과를 도출하기 위해 사용되는 16×16 반구형 카메라에서 모든 픽셀은 측정되었다. 밝은 레이저 광선(514.5 nm)에서 완전히 어두운 레이저 광선 범위의 세가지 다른 광도는 검출기 배열을 실험하기에 사용되었다. 가장 높은 밝기에서 400~800 nA의 전류 반응에서부터 어두운 상태에서 0.5~2 nA까지 광감지 픽셀은 우수한 범위의 감도를 나타내었다. 도면은 반구형 검출 배열을 통한 측정된 반응 분포를 나타내고, 반응의 균일성을 강조하고 있다(검은 부분에서 큰 전류에 대해 비이상적 반응을 나타내는 두 개의 픽셀을 육안으로 확인할 수 있다). 흑백의 이미지(예를 들어, 도 17F 및 도 53 a, b)는 등식  $Signal = (I_{signal} - I_{min}) / (I_{max} - I_{min})$ 을 이용한 정규화 후 각각의 픽셀에 대한 반응 신호를 나타낸다. 여기서,  $I_{signal}$ 은 노출 조건에서 측정된 전류이고,  $I_{max}$ 는 가장 밝은 조건(최대 전류)에서 측정된 기준 전류이며,  $I_{min}$ 는 어두운 조건(최소 전류)에서 측정된 기준 전류이다. 도 58은 16×16 평면 카메라에서 픽셀의 전기 반응 특징을 포함하고 있고, 고 픽셀 수득률은 상기의 기하학적 모양(256 픽셀의 3은 작은 반응 감도를 나타낸다)을 가진 카메라로 수행되었다.

[0174] 도 31은 반구형 검출기를 가진 이미지에 사용되는 광학적 설정을 나타낸다. 녹색 레이저 광(514.5 nm)은 광섬유를 통해 광섬유 커플러(coupler) 및 빔 익스팬더(expander)에 공급되고, 일반적인 레이저 프린터(1200 dpi)를 이용하여 생산되는 약 1 cm<sup>2</sup> 영역의 인쇄된 이미지를 가진 투명 필름으로 공급된다. 투영된 이미지는 평볼록 렌즈(Thorlabs BPX055)를 투과하고, 반구형 아이 카메라로 들어간다. 두개의 회전 모터들은 검출기 전체 표면에 대한 이미지를 스캔하기 위해 사용되고, 광축에서 편심 위치(eccentric point)를 유지한다. 도 32는 컴퓨터 사용자 인터페이스(computer user interface)를 나타낸다. 카메라로 이미지를 캡처하는데 사용되는 컴퓨터 사용자 인터페이스는 내셔널 인스트루먼트사의 랩뷰(National Instruments LabView)로 작성되고, 도 32에 나타내었다. 카메라의 최대 수집율(acquisition rate, 1초 마다 약 1 프레임)은 제어 시스템에 의해 제한되고, 더욱 정교한 전자장치를 추가하여 향상시킬 수 있다. 각각의 픽셀에 대한 최소 수집시간은 제어 전자장치에 의해 제한되어 15 ms로 결정되었다. 반구형 카메라뿐만 아니라, 검출기 회전은 고 해상도 이미지를 얻기 위해 필요한 것을 알 수 있다.

[0175] 도 54 및 55는 전체 이미지를 스캔했을 때, 반구형 16×16 검출기 배열에서 각각의 픽셀에 의해 얻어지는 이미지를 나타낸다.  $\theta = 0^\circ$  및  $\psi = 0^\circ$ 에 위치한 검출기 배열의 중심에서  $\theta$ 와  $\psi$ 방향 모두  $0.5^\circ$ 의 증분으로  $-40^\circ$ 부터  $40^\circ$ 까지 카메라로 스캔하였다.  $0.5^\circ$ 스캐닝 해상도는 검출기 배열에서 픽셀들 사이 약 7-8 스텝에 해당한다. 기능 픽셀의 수득률은 높은 편이다. (열, 행)으로 나타나는 (2, 1) 및 (4, 7) 위치에서 256 픽셀에서 단지 2 픽셀은 이미징하는 동안 적은 감지 반응을 나타내므로 사용할 수 없다.

[0176]

[0177] 반구형 및 평면 검출기에서 수차/뒤틀림 비교: 반구형 및 평면 검출기의 초점능 비교 실험A는 비평행 광원 및 광시야를 위한 넓은 애퍼처가 필요하다. 상기 두가지 조건들은 비패럴시얼(non-paraxial)인 광으로 이미징이 가능하고, 사진 카메라의 표준 작동 오드의 시뮬레이션이 가능하다. 도 53c-f에서 초점 비교를 위한 광실험 설정은 할로젠 램프로 종이 위에 프린터된 검정과 흰색 패턴의 후면 조명을 사용하였다. 광필터는 입사광의 파장을 약 620-700 nm로 제한하고, 색수차에 의한 증가를 최소화한다. 종이는 램프로부터 광의 확산을 돕는다. 높은 개구수(numerical aperture)의 평볼록 렌즈(Edmund Optics PCX NT45-083; 직경= 12 mm; 초점 거리= 12 mm)는 광원 방향으로 볼록면을 가진 이미징 광학 요소를 위해 사용되었다. 렌즈와 물체 사이 거리는 62.85 mm로 고정시켰다.

[0178] 두가지 타입의 평면 스크린은 최상의 초점면은 곡선 모양인 것을 증명하기 위해 사용하였다. 도 56은 일반적인 카메라(Canon Macro Lens EF 100 mm f/1:2.8 USM을 가진 Canon EOS30D)를 사용하여 얻어진 평면 스크린(35 mm 사진용 플라스틱 필름)에 투영된 이미지의 고해상도 사진을 나타낸다. 도 59는 92  $\mu\text{m}$  증가로 -460  $\mu\text{m}$ 부터 460  $\mu\text{m}$ 까지 x와 y 방향으로 스캔했을 때 제조된 평면 카메라(16×16 픽셀)로 얻어진 이미지를 포함한다. 연속된 이미지는 5.85 mm에서 22.05 mm까지의 렌즈(평면측) 거리 범위로 검출기에 의해 수집되었다. 최적의 초점 위치는 중심에서 검출기와 렌즈의 거리가 감소하는 이미지의 모서리로 이동하며, 이는 최적의 초점면은 크게 굽어지고 비평면인 것을 알 수 있다.

[0179] 제조된 반구형 카메라(16×16픽셀)는 광축을 따라 변하는 위치에서 같은 설정값을 나타내는데 사용되었다(도 60 참조). 이미지 재생성 후 0.4° 증가로  $\theta$  및  $\psi$  방향 모두에서 -2° 에서 2° 까지 검출기로 스캐닝한 결과 고해상도 사진을 얻었다. 얻어진 초점 품질은 각각의 이미지 전부에서 일치하며, 검출기 위치(z)가 약 16.65 mm에서 최적의 초점이 형성되었다. 반구형 검출기 표면은 더 나은 초점 조정, 적은 뒤틀림 및 넓은 시야를 나타내면서 평면 검출기와 비교하여 향상된 이미징을 나타낸다.

[0180] 반구형 및 평면 검출기에서 수차/뒤틀림 비교: 이론: 기하학적 광학 법칙은 단일 평면 또는 곡면을 갖는 물체의 표면이 곡면으로 이루어진 이미지 면에 완벽하게 영상으로 나타나지만, 이미지가 뒤틀릴 수도 있다. 뒤틀림은 이미지 선명도에 영향을 미치지 못하고 제거될 수 있는 기하학적 효과이다. 뒤틀림과 제조된 반구형과 평면 검출기에서의 초점 흐림을 비교하기 위해 소프트웨어 프로그램(Rayica)으로 광 추적 분석하였다. 광은 평볼록 렌즈(Edmund Optics PCX NT45-803)를 통과하고 스크린으로 향한다. 최적 이미지 표면 근사치 초점면을 통해 라인 이 배열된 설정 물체에 의해 생성되는 가장 작은 초점(강도의 제곱 평균이 최소)의 위치로  $z=16.65-0.105r^2$ 의 일반식을 가지고 포물선 모양의 회전으로 조절하여 만들어진다. 제조된 반구형 검출기 및 광학 장치가 완벽한 이미징을 수행하지 못할지라도 뒤틀림 및 평면 검출기의 초점 흐림 모두에서 상당한 감소가 이루어진다.

[0181] 단일 렌즈 시스템은 카메라 성능을 향상시키기 위해 곡선 모양의 검출기를 사용하는 방법을 알려주는 가장 간단한 예이다. 평편한 전자 검출기가 도입된 이후로 검출기에 기록되는 신호를 처리하기 전에 이미지를 구별할 수 없는 크기도 불구하고, 광학 및 카메라의 신호 처리 모두가 통합되는 방법으로 디자인되는 경향이 있다. 본 발명에 따른 제조 기술은 검출기 배열이 평면인 디자인적인 제한을 없애며, 최적으로 제조되게 한다.

[0182] 반구로 실리콘 요소의 맵핑: 간단한 역학 모델이고, 판 이론에 기초하며, 유한 요소 분석 기술을 이용하여 신뢰할 수 있는 본 발명은 평편한 것에서 반구로 실리콘 요소를 맵핑하는 방법을 제공한다. 도 33은 반구로 실리콘 요소를 맵핑하는 것을 나타낸다. PDMS 반구형 캡의 반지름 R(도 33A 참조)은 평편한 판의 반지름  $r_1$ (도 33B 참조)으로 늘어나며, 크기  $L_{si}$  및 간격  $L_0$ 으로 실리콘 요소를 전사하기 위해 반지름  $r_2$ (도 33C 참조)까지 늘어난다. 장력을 완화시키면 편평한 판의 반지름  $r_1'$ (도 33E 참조)에 근접하게 도달하고, 더욱 완화시키면  $R'$ (도 33F 참조)의 새로운 반구로 도달한다.

[0183]

[0184] 상기 맵핑 과정은 유한 요소 방법을 통해 연구되었다. 쉘 요소는 PDMS 반구형 캡을 만드는데 사용된다. 도 34A는 도 33A의 PDMS 반구형 캡에 대한 원래 메쉬를 나타내고, 도 34B는 반구가 도 33B와 일치하는 판을 평편하게 할 때(변형된 반구의 모서리가 판 중심과 같은 높이에 도달할 때) 변형된 메쉬를 나타낸다. 도 34C에 나타난 평편화된 판에서 (선대칭) 변형률 분포는 자오 변형률이 무시할 수 있는 정도(원주변형률)인 것을 나타낸다( $\epsilon_{meridional}$ 는 약 0). 반구의 아크 길이( $R\psi$ )는 평편하게 된 판의 반지름( $r_1$ )과 같게 된다,  $R\psi = r_1$ . 상기는 유한

요소 분석에 의해 입증되며, 도 34D에 나타내었다. 원주 변형률은  $\epsilon_{circumferential} \approx \frac{\varphi - \sin \varphi}{\sin \varphi}$  로 주어지고, 도 34C에 나타난 바와 같이, 유한 요소 분석과 일치하는 것을 알 수 있다.

[0185] 도 33C에서 추가적인 늘림 때문에 발생하는 추가적인 변형률은 판 전체에 균일하게 나타난다. 도 33D에서의 실리콘 요소 전사는 변형률을 동반하지 않는다.

[0186] 실리콘의 영률(130 GPa)은 PDMS 영률보다 5 배정도 뻣뻣하기 때문에, 실리콘 요소에서의 변형률은 다소 작고, 이는 실리콘 요소 밑 PDMS가 도 33E에 나타난 평편화 단계로 완화하는 동안 완화되는 것을 방지한다. 실리콘 요소에 의해 덮이지 않는 PDMS에 있어서, 길이는  $L_0$  에서  $\frac{r_1}{r_2} L_0$  로 감소한다. 그러므로, 도 33E에서 완화된 판

의 반지름은  $r_1' = \frac{L_{Si}r_2 + L_0r_1}{L_{Si} + L_0}$  이다.

[0187] 도 22의 반구형 PDMS 전사 요소 및  $L_{Si}=500 \mu\text{m}$ ,  $L_0=420 \mu\text{m}$ 에 있어서, 상기 식으로  $r_1'$ 는 7.83 mm이고, PDMS 및 셀에 의한 실리콘을 만들기 위한 유한 요소 방법으로 얻어지는 반지름  $r_1'$ 이 7.71 mm과 일치한다. 도 35A는 완화된 PDMS 및 실리콘이 평평한 모양으로 변형된 것을 나타낸다.

[0188] 반구형 캡을 더욱 완화시키면(도 33F 참조), 도 35B는 완화된 PDMS 및 실리콘이 구형으로 변형된 것을 나타낸다. 실리콘 요소의 경화 효과 때문에 반지름  $R'$ 가 13.4 mm인 약간 큰 반지름을 가진 구형인 것을 알 수

있다. 역학적 분석은 새로운 반지름  $R' = R(1-f) \left(1 + \frac{f}{1-f} \frac{r_2}{r_1}\right)^{3/2}$  으로 나타나고, 여기서  $R'$ 는 14.3 mm이며, 유한 요소

분석과 일치한다. 여기서  $f = \frac{NL_{Si}^2}{\pi r_2^2}$  는 PDMS 표면에서 실리콘 요소의 면적 비율이고,  $N$ 은 실리콘 요소의 개수이다.

[0189] 도 36은 도 33에서 도식적으로 나타낸 맵핑 과정의 유한 요소 방법으로 얻어진 이미지를 나타낸다. 도 61은 역학 모델로 예측되고 제조 과정(도 27 참조)에서 측정되는 것과 같이, 반구형 PDMS 요소로 전사된  $16 \times 16$  배열에서 요소의 공간 분포를 나타낸다. 역학 모델로 주어지는 픽셀 위치는 치수 조절을 하지 않은 실험과 일치한다. 상기 역학 모델은 전체 영역을 통틀어 국지적 피치(pitch)에서 약 3%인 매우 작은 변화를 나타낸다. 비교적 균일한 피치는 PDMS가 완화되기 전 초기값 보다 작은 약 10%이다.

[0190] 실리콘 요소 사이의 곡선 형상 연결: 인접한 단위 격자 사이에서의 좁고 얇은 연결체에 의해 제공되는 압축 특성은 이론적 분석(도 37 참조)을 통해 이해될 수 있다. 도 37의 SEM 이미지는 반구형 표면(도 52로부터)으로 변형된 고밀도 패시브 Si 배열에서 단위 격자를 고배율로 관찰한 모습을 나타낸다. 인실리코(In silico) 분석은 곡선 모양 및 변형률 분포가 색으로 중첩된 방식으로 나타난다. 도 37A에서 나타낸 실리콘 요소 사이의 곡선 모

양의 연결은  $w = \frac{A}{2} \left(1 + \cos \frac{2\pi x}{L}\right)$  형식으로 나타나는 곡선 모양 연결체의 면외 이동인  $w$ 로 나타난다. 여기서  $A$ 는 진폭이고,  $x$ 는 연결에 따른 위치이며,  $L$ 은 인접한 픽셀 요소 사이의 횡적 이격 거리이다.  $L_0=20 \mu\text{m}$ 인 거리는 평면 형상에서 측정된 것이다. 상기 식은 양쪽 끝( $x=\pm L/2$ )에서 이동과 경사가 사라지는 것을 충족시킨다. 면내

이동은 힘 평형으로부터 얻어질 수 있고, 이는 굽힘 에너지인  $U_b = \frac{\pi^4 E h^3 A^2}{12(1-\nu^2)L_0^2}$  와 멤브레인 에너지인

$U_m = \frac{E h L_0}{2(1-\nu^2)} \left( \frac{\pi^2 A^2}{4L_0^2} - \frac{L_0 - L}{L_0} \right)^2$  를 제공한다. 에너지 최소화인  $\frac{\partial(U_b + U_m)}{\partial A} = 0$  는 진폭  $A = \frac{2L_0}{\pi} \sqrt{\frac{L_0 - L}{L_0} - \epsilon_c}$  에

대한 분석적 수식으로 나타나는 진폭  $A$ 를 제공한다. 여기서, 임계 버클링 변형률인  $\epsilon_c$ 는  $\epsilon_c = \pi^2 h^2 / (3L_0^2)$ 이고,  $h$

는 두께이며, 본 발명에 따른 시스템에서는 0.0021%이다. L=17.5  $\mu\text{m}$ 에 대해, 진폭 A=4.50  $\mu\text{m}$ 는 실험결과 A=4.76  $\mu\text{m}$ 와 거의 일치한다. 연결에서 최대 변형률은 약 0.5%이고, 실리콘에 대한 파괴 변형률 아래이다.

- [0191] 실리콘 요소에서 변형률 분포: 역학적 모델은 사각형의 실리콘 요소에서 변형률과 이동 분포를 제공할 수 있다. 도 37B에 나타난 바와 같이, 연결에서 면외 이동은 굽힘 모멘트 M(축방향 힘 F)를 실리콘 요소에 도입되고, 실리콘 요소는 2차원으로 나타난다. 실리콘 요소에서의 굽힘 에너지는 판 이론을 통해 면외 이동 w의 방식으로 얻어진다. PDMS 기관은 표면 이동 w에 종속되는 준 무한대 고체로 형성되고, 변형 에너지는 w에서 얻어진다. 총 에너지를 최소화함으로써 정해지는 계수로, 이동 w은 푸리에급수로 전개될 수 있다. 실리콘 요소에서 굽힘 변형률은 곡률로부터 얻어질 수 있고, w의 이차 미분이다. 축방향 힘에 의한 변형률은 굽힘 변형률과 비교하여 무시할 수 있다. 최대 면외 이동은 상기에서 기술한 인실리코 실험에 의해 변형률  $\epsilon_{xx}$  및  $\epsilon_{yy}$ (<0.08%)가 결정되듯이, 매우 작다(<0.1  $\mu\text{m}$ ). Si 요소에서 변형률  $\epsilon_{xx}$ 는 x축 방향에서 연결체 근처의 피크에 도달하고,  $\epsilon_{yy}$ 의 피크는 y축 방향에서 연결체 근처에서 발생한다.
- [0192] 참조문헌: Walther, A. The Ray and Wave Theory of Lenses, Cambridge University Press, Cambridge, UK (1995). . Rayica 3.0, Optica Software, Champaign, IL, USA (2007). Mathematica 6.01, Wolfram Research, Champaign, IL, USA (2007). Mait, J. N., Athale, R. & van der Gracht, J. Evolutionary paths in imaging and recent trends, Opt. Express 18, 2093-2101 (2003).
- [0193] 실시례 3: 모놀리식으로 집적된 늘어날 수 있는 물결 모양의 상호 연결부를 가지는 CMOS 집적 회로
- [0194] 본 실시예에서는 좁은 금속 라인들에 의해 기계적 또는 전기적으로 연결된 초경박 능동 장치 및 구조들을 이어주는 고분자를 포함하는 펼 수 있는 CMOS 회로가 개시된다. 이러한 레이아웃은 중요한 회로 층 근처에서 중립 기계 평면을 위치시키는 설계와 함께 전기적 능력에 독립적인 변형 및 회로 집적에 실질적인 경로를 산출한다. 기계적이고 전기적인 모델링 및 실험 특성은 이러한 시스템의 근본적인 물리성을 드러낸다.
- [0195] 펼 수 있는 전자장치들은, 예를 들어 개인적 또는 구조적 건강 모니터 및 반구형 검사기와 같이 다양한 어플리케이션에서 쓰여질 수 있는 기술로서 최근에 발전하고 있다. 이러한 장치들은 회로에 기반한 전통적인 웨이퍼 또는 심지어 기계적으로 간단하게 구부러질 수 있는 보다 최근의 시스템을 가지고 성취되어질 수 없다.
- [0196] 최근, 탄성 기관의 사용을 통하여 펼 수 있는 성질을 달성하기 위한 두 가지 접근이 존재하는데, 첫 번째는 각각 제조된 늘어날 수 있는 상호연결부에 의해 상호연결된 경질 장치 아일랜드를 사용하는 것이고, 두 번째는 전체적으로 늘어날 수 있는 장치 및 집적 회로 시스템을 활용하는 것이다.
- [0197] 전자의 경우 불리한 점은 제조 절차의 본질에 기인하여 큰 스케일의 집적이 어렵다는 점이다. 후자의 경우 늘어나는 것과 관련된 변형에 의해 유도될 수 있는 장치 특성 중 작은 변화에 의해서도 문제가 생길 수 있다.
- [0198] 여기서 본 발명의 발명자들은, 각각의 장점을 자연스럽게 통합하는 방법하에서, 이러한 두 개의 개념들을 통합하는 접근을 개시한다.
- [0199] 이러한 시스템은 상호연결부를 고립시키는 방식으로 패터닝된 신축성 있는 초경박 플라스틱 지지부 상에 형성된 완전한 집적 회로 및 기계적으로 이어주는 구조를 포함한다.
- [0200] 미리 변형 처리된 고무 기관으로 접촉하는 것은 모놀리식으로 집적된 시스템, 늘어날 수 있는 물결 모양의 상호 연결부 및 브리지들을 유발한다.
- [0201] 늘어나는 것에 대한 기계적 반응은 주로 이러한 상호연결부 및 브리지에서의 변형들을 수반하고, 이에 따라 능동 장치의 영역에서 원하지 않는 변형을 피할 수 있다. 본 발명은 발명자들은 단결정 실리콘에 기반한 늘어나는 CMOS 회로의 전기적 특성 및 기계적인 분석을 통하여 이러한 개념들을 개시한다.
- [0202] 도 62A는 CMOS 인버터 논리 게이트의 경우 여기서 제공된 것으로부터 도출된 절차를 사용하여 이러한 유형의 시스템의 제작을 개략적으로 도시한 도이다.

- [0203] 여기서 반도체는 단결정 실리콘의 도핑된 나노리본, 이중층 폴리(메타크릴산 메틸)(PMMA, MicroChem, USA)로 코팅된 캐리어 웨이퍼 상에 프린트된 판박이(전사) 및 100nm 내지 1.2 um의 두께를 가지는 폴리이미드(PI, Sigma Aldrich, USA)로 구성되었다. 그 다음, 게이트 유전체, 소스, 드레인 및 게이트 전극 및 적당한 상호연결부 및 바이어스들이 전통적인 반도체 공정들과 함께 제작되었다.
- [0204] PI 층 (~1.2 um)으로 결과 회로를 코팅하는 스펀이 복합 구조의 증류 기계 평면 근처에 회로층을 위치시켰다.
- [0205] 다음으로, 마스크 층으로써 SiO<sub>2</sub> 및 포토레지스트를 가지는 반응성 이온 에칭 과정에서 상호연결부 라인들의 고립, 구조적 연결의 범위 한정 및 원형 개구의 주기적 배열을 생성하기 위해 PI 봉지재(PI 도포제), 기관 및 기저의 PMMA 층의 영역을 제거하였다. 이러한 개구는 분할된 초경박 회로를 박리하기 위해 아세톤을 가지고 PMMA의 용해를 가능하게 하였다.
- [0206] 리프트-오프(lift-off)된 회로의 뒷면 상에 Cr/SiO<sub>2</sub> (3 nm / 30 nm)를 증착하는 것은 미리 변형된 PDMS(Polydimethylsiloxane, Dow Corning, USA)로 공유결합을 가능하게 하였고, PDMS의 표면은 자외선으로 유도된 오존으로 노출에 의해 화학적으로 활성화되었다.
- [0207] 상기 PDMS (160 °C까지)의 열 팽창은 양측으로 3.9% 까지 변형률을 제공하였다. 변형을 박리하는 것에 의해 도 62A 및 도 62B의 두번째 프레임에 도시된 바와 같이 좁은 상호연결부 및 구조적 연결에서 물결모양 구조의 형상이 유도되었다. 능동 장치를 포함하는 아일랜드 영역은 대체로 동요하지 않고 남아 있었다.
- [0208] 도 62C는 물결 모양의 CMOS 인버터 유형의 확대 모습을 도시하며, 이것은 PI 상호연결부 및 물결 모양의 금속을 가진 평평한 아일랜드 영역을 선명하게 도시한다. 상부 층 PI는 도 62A의 아래 프레임에 개략적으로 도시된 바와 같이 물결 모양의 형상 안으로 접혀지는 것과 관련된 금속의 깨짐을 방지하는 것을 돕기 위해 증류 기계 평면 설계를 제공한다.
- [0209] 이러한 시스템의 전체 3차원 구성요소 모델링은 도 62D에 도시된 바와 같이 관측결과의 훌륭한 일치를 보여준다. 실험들에서와 같이 동일한 제조 단계를 따르기 위해 비선형 한정 구성요소 분석 패키지 ABAQUS 3를 사용하여 시뮬레이션을 수행하였다.
- [0210] 본 발명의 발명자들은 x 및 y 양쪽 방향에서 (도 44A) 이러한 인버터들 상에서 일어나는 성질에 대한 테스트를 수행하였다.
- [0211] 물결 모양의 상호연결부의 능력 및 적용된 변형 흡수를 위한 브리지 때문에, 아일랜드는 심지어 3.7%의 국지적 변형의 의미있는 변형을 나타내지 않는다. 또한, 푸아송 효과(푸아송 효과)와 일치하는 행동들은 도 44B에서 관찰될 수 있다.
- [0212] 특히, y 방향에서 PI 브리지를 늘릴 때, 도 44B의 위에서 두 번째 프레임에 도시된 바와 같이 크기가 17 um부터 26 um까지 증가된 동안 파장이 120 um부터 116 um까지 감소하는 것과 같이 금속 브리지가 압축을 겪게 된다.
- [0213] 또한, 금속 브리지가 x 방향에서 늘어날 때, PI 브리지는 도 44B의 아래 프레임에 도시된 바와 같이 압축되고, 이에 따라 PI 브리지의 파장은 122 um로부터 103 um 까지 변화하고, 크기는 18 um 부터 24 um까지 변화한다. 상기 전기적 특성들은 이러한 변형의 메커니즘과 일치한다.
- [0214] 이와 같이 제조된 상태에서, 적용된 변형 없이도, 상기 인버터는 최대 70에 달하는 이득을 가지는 기대된 전달 특성을 보여주며, 각 트랜지스터의 개별 측정값이 기반한 PSPICE 시뮬레이션과 일치한다. (도 63 좌측 상단 참조)
- [0215] 이동성은 nMOS 및 pMOS 장치에서 310 cm<sup>2</sup>/Vs 내지 ~150 cm<sup>2</sup>/Vs이었고, 두 가지 유형의 장치 모두에서 105 보다 큰 on/off 비율을 가졌다.(도 63의 우측 상단 참조) CMOS 인버터의 경우, 각각 nMOS의 경우 채널 길이 및 폭이 13 um 및 100 um이었고, pMOS의 경우 13 um 및 300 um이었다. 다양한 적용 스테레인 하에서, 상기 전기적 특성들은 작은 변화를 보여주었다. 예를 들어, 상기 인버터 문턱 전압은 도 63의 우측 상단 프레임에 도시된 바와 같이 x 방향에서 3.7% 및 y 방향에서 3.7% 사이에서 0.5 V 이하 만큼 변화하였다.
- [0216] 도 63의 하단 프레임은 또한 IV 곡선을 보여주며, 여기서 실선은 실험 결과이며 점선은 PSPICE에 의해 추정된

시뮬레이션 결과이다.

- [0217] 이러한 변형의 독립적 행동들은 격리된 상호연결부 및 브리지 구조를 사용하지 않는 비슷한 회로들 이상으로 의미 있는 개선점을 나타내고, 이에 따라 여기서 소개된 설계들을 승인할 수 있다.
- [0218] 메커니즘 분석은 이러한 관측들과 일치한다. 변형률 3.9%의 실험에서, 에너지 최소화에 기반한 메커니즘 분석은 금속 브리지에서 파장 127  $\mu\text{m}$  및 크기 18.6  $\mu\text{m}$ 를 주고, 이것은 각각 실험값 120  $\mu\text{m}$  및 17  $\mu\text{m}$  잘 일치한다.
- [0219] Si 층에서 최대 변형률은 단지 0.04%에 불과하다. 심지어 Si에서 최대 변형률보다 큰 10% 변형률에서, 금속 및 SiO<sub>2</sub> 층은 각각 0.07%, 0.50% 및 0.73%이고, 그것은 격리된 상호연결부 및 브리지 구조 없이도 대응값의 1/2에서 1/3이었다.
- [0220] 이러한 결과는 큰 변형을 수용하기 위해 브리지 구조가 휘어지기 때문에 발생하며, 이것은 상기 장치 아일랜드를 휘어짐으로부터 보호하고 이에 따라 변형을 줄일 수 있다. 또한, 상부 PI 층은 변형을 보다 줄이는 방식으로 중립 기계 평면을 이동시킨다. 또한, 도 44, 62 및 63에서 인버터는 어떠한 각도에서도 늘어날 수 있다.
- [0221] 각도진 늘어남은 브리지 방향 x 및 y를 따라 늘어남에 더하여 면내 전단강도와 일치한다. 두께 (~2.5  $\mu\text{m}$ )가 폭 (~100  $\mu\text{m}$ ) 보다 많이 작기 때문에, 큰 면내 전단강도는 변형이 조금 남아있는 평면으로부터 "평면 휘어짐"을 유발한다.
- [0222] 이러한 메커니즘은 "Someya"등에 의해 설명된 접근에 기반한 메쉬(mesh)와 관련된다. 이러한 시스템에서, 메쉬의 버팀대의 회전 및 구부러짐은 모든 방향은 아니지만 임의의 방향에서 큰 각도의 늘어남을 제공한다.
- [0223] 또한, 많은 어플리케이션에 유용한 이러한 유형의 접근은 상기 레이아웃과 완전히 일치하고 여기서 개시된 제작 과정에 부합한다.
- [0224] 이러한 전략은 단지 인버터 뿐만 아니라 보다 복잡한 회로에도 적용될 수 있다. 예를 들어 도 45는 x 및 y 방향에서 3 스테이지 CMOS 링 오실레이터 및 신속성 테스트들을 도시한다. 상기 트랜지스터의 형상들 및 PDMS 변형은 전술한 인버터의 그것과 일치한다.
- [0225] 이러한 회로에서, nMOS 및 pMOS 아일랜드는 4개의 수평 및 3개의 수직 상호연결부를 가지는 상호연결부이고, 각각의 링 오실레이터는 도 45에 도시된 바와 같이 구조 브리지와 연결되었다. 이때 발진 주파수는 10V의 공급 전압에서 2.3 MHz이다. 늘어남과 함께 주파수의 변화는 0.3 MHz 보다 작고, 변형률은 거의 4%까지 이다.(도 45C)
- [0226] 각각의 인버터에서, 성능에 독립적인 변형 레벨은 이전 결과 이상 중용한 개선을 나타낸다.
- [0227] 결론적으로, 개별적으로 보고된 늘어날 수 있는 회로 설계에서 시행된 초경박 기관의 유형을 구조화하는 것에 의해, 적용된 변형하에서 전기적 능력의 임의의 측정가능한 의존성을 제거하기 위하여 중요하지 않은 영역에서 기계적 변형의 영향을 제한하는 것이 가능하다. 이와 같이 간단한 설계 개념은 대표적인 회로에서 전기적 측정값 및 메커니즘 분석에 의해 입증된다.
- [0228] 참조문헌: D.-H. Kim, J.-H. Ahn, W. M. Choi, H.-S. Kim, T.-H. Kim, J. Song, Y. Y. Huang, Z. Liu, C. Lu and J. A. Rogers, Science 25, 507 (2008).
- [0229] D.-H. Kim, J.-H. Ahn, H.-S. Kim, K. J. Lee, T.-H. Kim, C.-J. Yu, R. G. Nuzzo and J. A. Rogers. IEEE Electron Device Lett 20, 73 (2008).
- [0230] S. Timoshenko and J. Gere. Theory of Elastic Stability. McGraw-Hill, New York (1961).
- [0231] T. Someya, Y. Kato, T. Sekitani, S. Lba, Y. Noguchi, Y. Murase, H. Kawaguchi, and T. Sakurai. Proceedings of the National Academy of Sciences 102, 12321 (2005).
- [0232] 실시예 4: 최대 기계적 변형으로 선형 탄성 반응을 가지는 집적 회로를 위한 재료 및 비동일평면 메쉬 설계
- [0233] 높은 변형으로 기계적 탄성 반응을 제공하는 전기 시스템은 새로운 생명의학 장치 및 요구사항들을 가능하게 하는 다른 어플리케이션들이 심지어 간단한 구부러짐을 제공하는 기술에 기반한 전통적인 웨이퍼에 만족할 수 있도록 하는 능력 때문에 관심이 증가하고 있다.
- [0234] 본 실시예는 극단적으로 높은 늘어남을 제공하는 전자 회로를 위한 재료 및 기계적 설계 전략을 소개한다. 반도체를 위한 단결정 실리콘 나노물질의 사용은 실리콘 웨이퍼 상에 형성된 비슷한 특징 크기를 가지는 전통적인

장치의 늘어날 수 있는 CMOS 집적회로의 능력을 제공한다.

- [0235] 상기 메커니즘의 포괄적이고 일반적 연구들은 본능적으로 잘 부서지는 능동 물질의 부러짐 또는 심지어 전기적 특성에서 중대한 변화를 유발하지 않고도 상기 구조 설계가 이러한 극단적 기계적 특성을 가능하게 하는 방식을 개시한다.
- [0236] 트랜지스터, CMOS 인버터, 링 오실레이터 및 미분기 배열의 전기적 측정값을 통하여 알 수 있는 것과 같이 상기 결과들은 높은 성능의 펼 수 있는 전자장치를 향한 중용한 활로를 제안한다. 반도체 웨이퍼 상에 일반적인 방식으로 형성되어질 수 없는 전자 시스템을 위하여 중요한 어플리케이션들이 점점 증가하고 있다.
- [0237] 가장 중요한 실시예는 예를 들어 LCD를 위한 회로 뒤판과 같이 넓은 영역 전자 장치들이고, 전체 시스템 크기를 고려할 때 동작 속도 또는 집적 밀도 보다는 크기가 가장 중요하다.
- [0238] 플렉서블 기판을 사용하는 비슷한 시스템들은 내구성, 무게 및 전송/사용의 용이함의 이점 때문에 현재 폭넓은 연구 및 상업적 노력이 진행되고 있다.
- [0239] 펼 수 있는 전자장치는 예를 들어 인간의 몸과 같이 복잡한 곡선 표면과 일치하고 휘어질 수 있는 고유한 능력의 관심을 대표한다.
- [0240] 경질의 무정형 실리콘 장치 사이에서 늘어날 수 있는 상호연결부의 사용으로부터 단결정 실리콘 CMOS 회로에서의 물결모양의 레이아웃, 플라스틱 시트 상에 유기 전자장치 내 그물형상의 구조에 이르기 까지 몇가지 유망한 접근들이 존재한다.
- [0241] 그러나, 시스템에서 가장 관심있고 가장 요구되는 전기적 능력, 확장성 및 기계적 특성의 조합은 제공하지 않는다.
- [0242] 여기서, 본 발명의 발명자들은 전자 눈 카메라를 위하여 반구 형상으로 평면의 광전자를 전송하기 위해 최근에 보고된 방법에 의해 영감을 얻은 특징들을 가지고, 초경박, 비동일 평면 메쉬 설계에서 탄성 기판 상에 집적된 기계적으로 중립인 회로 레이아웃에서 반도체 나노물질 즉 실리콘 나노리본을 이용하는 펼 수 있는 전자장치를 위한 새로운 설계 개념을 소개한다.
- [0243] 다양한 회로 예시에 소개된 바와 같이, 이러한 아이디어들은 높은 레벨의 변형으로 거의 임의의 유형의 기계적 변형을 수용하기 위한 능력 및 고성능 양쪽 모두를 유일하게 제공하는 펼 수 있는 전자장치의 형성을 달성한다.
- [0244] 전기적 및 기계적 반응의 실험적이고 이론적 연구들은 이와 같은 새로운 유형의 기술과 관련된 물리적 면 및 재료들의 실마리를 밝힌다.
- [0245] 도 64a는 CMOS 인버터의 정사각형 배열로 구성되는 대표적 시스템의 제작을 위한 단계들을 개략적으로 도시한다. 전체 공정은 두 부분으로 나뉠 수 있다.
- [0246] 첫 번째는 이전에 소개된 절차들에 따라 프린팅 방법을 사용하여 초경박 플라스틱 기판 상에 CMOS 회로의 경계를 나타낸다.
- [0247] 여기서 보고된 모든 결과들에서, 상기 리본은 p-채널 및 n-채널 MOSFET 각각에서 260 nm 내지 290 nm의 두께를 가진다.
- [0248] 상기 게이트 유전체는 PECVD(Plasma Enhanced Chemical Vapor 증착ion)에 의해 증착된 50 nm 두께의 SiO<sub>2</sub> 층으로 구성되었다.
- [0249] 같은 유형의 필름은 금속 (Ti:5 nm / Au:150 nm) 상호연결부 라인 및 전극을 위하여 층간 절연막을 형성하였다.
- [0250] 상기 플라스틱 기판은 PMMA(polymethylmethacrylate) 필름(100 nm)으로 코팅된 캐리어 웨어퍼 (테스트 등급 실리콘)에 의해 지지되는 얇은 층 (1.2 mm)의 폴리이미드 (PI)를 구성하였다.
- [0251] 전기적 접근을 위한 에칭 홀 (RIE, Reactive Ion Etching) 을 가지는 PI (1.2 mm)의 얇은 상부 코팅은 회로들을 보호하고 중립 기계 평면 근처 깨지기 쉬운 구성요소를 위치시킨다.
- [0252] 이러한 방식으로 제조된 개별 장치들은 10<sup>6</sup> 이하의 온/오프 비율 및 5V 이하 범위에서 동작 전압을 가지고 p 채널 및 n 채널 MOSFET 각각에서 130~370 cm<sup>2</sup>/Vs 의 장치 이동 특성을 보였다.

- [0253] 제조 공정의 두 번째 부분은 극단적인 기계적 변형에 가역, 탄성 반응을 가지는 시스템으로 탄성 기관을 집적한 비동일 평면 레이아웃 안으로 회로들을 구조화하는 것과 관련된다. 이러한 결과의 달성을 향해 첫 번째 단계에서, 시스템의 전자 구성요소들 사이 PI/PMMA의 특정 영역이 포토레지스트의 패터닝된 층을 통하여 RIE에 의해 제거되어진다.
- [0254] 그 결과는 금속 상호연결부 라인이 있는 또는 없는 각각의 얇은 고분자 브리지에 의해 전기적 및/또는 기계적으로 연결된 능동 장치 아일랜드를 가지는 분할된 메쉬였다. 캐리어로부터 시스템을 떼어내기 위해 PMMA 층을 아세톤에 담구어 씻어내었다.
- [0255] 두툼한 PDMS 상으로 패터닝된 회로 시트를 들어 올리는 것으로 할당된 웨도우 마스크를 통하여 전자 빔을 이용한 진동증착(electron beam evaporation)에 의해 상기 아일랜드의 위치에서 얇은 층의 Cr/SiO<sub>2</sub> (3nm / 30nm) 증착을 위하여 그것의 하부면에 노출시켰다.
- [0256] PDMS의 2축 변형 기관으로 회로를 이동시키는 것은 아일랜드의 위치에서 강한 기계적 접착의 형성을 유발하는 오존으로 노출하는 것에 의해 활성화되었다.
- [0257] 이러한 레이아웃은 비동일 평면 메쉬 설계로써 불리운다. 브리지들로 이러한 기계적 응답을 국한하는 것은 어느 정도는 PDMS로의 부족한 부착 및 좁은 형상들과 장치 아일랜드와 비교할 때 낮은 구부림 강성도로부터 유발된다. (후자의 경우 유사한 기관이 심지어 SiO<sub>2</sub> 부착 층으로 패터닝 없이도 형성되어질 수 있도록 한다.)
- [0258] 도 64a 및 도 64b의 하단 프레임은 SEM(Scanning Electron Microscope) 이미지 및 개략적인 모습을 보여준다. 이러한 형식에서, 상기 시스템은 복잡한 뒤틀림, 시어링(shearing) 및 다른 변형들이 가능하도록 요구됨에 따라, 회로의 평면 안팎 양쪽 임의의 방향 또는 방향들의 조합에서, 높은 레벨의 변형률로( 100% 까지, 몇몇 경우에는 나중에 소개되는 것처럼 더 높게) 압축되거나 늘려질 수 있다.
- [0259] 도 64b 및 도 64c의 상단 프레임은 인접한 장치 아일랜드의 내부 끝단 사이에서의 변화에 의해 정의되는 바와 같이 17% 이하의 변형률 및 1mm 이하의 두께를 가지는 PDMS 기관을 사용하는 회로에서 이러한 능력들을 도시한 이미지를 보여준다.
- [0260] 실제적인 어플리케이션에서, 이러한 시스템은 나중에 논의되는 바와 같이 중대하게 기계적 특성들을 바꾸지 않는 방식 하에서 PDMS 보호층으로 코팅된다.
- [0261] 영상화 및 전기적 검침의 용이성 때문에, 이하에서 설명될 상기 회로는 모두 캡슐화되지 않는다. 상기 브리지 방향을 따라 발생하는 인장 또는 압축력을 적용하는 것과 관련된 변형의 물리적 성질은 도 64의 회로 제조 공정에서 변형을 릴렉싱하는 것과 관련하여 유사하다.
- [0262] 상기 시스템이 각각 압축되거나 늘어나는 것에 따라 (각각 임의의 말단에서 다른 말단까지 길이가 증가하거나 줄어드는 것에 대응하여) 상기 브리지는 위로 또는 아래로 움직인다.
- [0263] 또 다른 명백하지는 않은 특징은 이러한 브리지들의 얇고 좁은 구조가 또한 보다 복잡한 변형의 분배를 수용할 수 있는 방식으로 그것들을 비틀거나 시어링할 수 있도록 한다는 것이다.
- [0264] 도 64c는 이하에서 보다 자세하게 설명될 몇몇 대표적인 경우들을 보여주는데, 복잡한 비틀어진 변형 하에서 시스템의 다른 영역을 위한 것이다. 기본적인 메커니즘은 PDMS에 의해 캡슐화되는 시스템의 메커니즘과 유사하다.
- [0265] 예를 들어, 계산값은 도 64b의 하단 프레임에 도시된 바와 같이 상기 시스템에 적용될 수 있는 최대 변형이 부가적인 PDMS의 1mm 이하 두께로 과코팅 때문에 2.5% 이하로 줄어들 수 있음을 나타낸다.
- [0266] 이러한 디자인은, 심지어 도 64b 및 64c에 도시된 바와 같은 극단적인 구성 하에서, 주로 변형에 독립적인 전자적 특성들을 유발한다.
- [0267] 이러한 특징은 기계대의 전통적 조립체와 함께 유발된 다양하고 잘 변형된 기계적 변형을 위하여 시스템 상에 장치 및 회로 측정값을 통하여 명쾌하게 설명될 수 있다.
- [0268] 가장 간단한 경우는 브리지와 평행한 방향에서 동일 평면 상에서 늘어나는 것이다. 이러한 변형 모드의 테스트는 3 스테이지 링 오실레이터를 사용하여 수행되어 졌고, 여기서 각 아일랜드는 n 채널 및 p 채널 MOSFET을 지지한다.(채널 폭은 각각 100 mm 내지 300 mm이고, 채널 길이는 13 mm이다.)

- [0269] 브리지 상의 금속 전극은 필요한 상호연결부를 형성한다. 도 65a는 17% 이하의 변형을 가지는 제조된 시스템을 위하여 전형적인 응답의 광학 현미경 사진을 보여준다.
- [0270] x 방향으로 늘어나는 동안, x 방향을 따라 향하는 브리지는 점진적으로 평평해지고, y 방향을 따라 조금씩 상승하는 동안, 푸아송 효과 때문에 그 반대의 경우가 된다.
- [0271] 도 64에 표시된 전략의 결정적인 면은 제조 공정 및 사용하는 동안 발생할 수 있는 변형과 관련된 거의 모든 변형을 수용하기 위해 비동일 평면 구조의 능력이다.
- [0272] 이러한 기계적 격리는 회로에서 금속 층의 두께의 중간점(도 65b)과 상부 및 하부 표면에서 신장성 변형 분배의 FEM(유한 요소 모델링) 분석을 통하여 명확하게 보여질 수 있다.
- [0273] 중립 기계 평면 디자인 때문에 중간 층을 위하여 모든 영역들은 거의 0에 가까운 변형을 경험한다.
- [0274] 상기 아일랜드의 모든 영역에서 그리고 두께 도처의 무시해도 될만한 변형은 비동일 평면 메쉬 레이아웃에서 브리지/상호연결부에 의해 제공된 변형 완화로부터 유발된다.
- [0275] 이러한 예에서, 아일랜드의 분리에서 변화는 17% 이하이고, 인접한 장치 아일랜드의 외부 끝단으로부터 거리의 변화에 의해 한정되는 것과 같이 시스템 수준의 변형률은 11% 이하에 상응한다.
- [0276] 에너지 최소화(추가 정보)에 기반한 메커니즘 분석은 445 mm의 브리지를 위하여 116.3 mm의 크기를 부여하고, 그것은 실험 값인 115 mm이하에 잘 일치한다.
- [0277] 브리지 및 아일랜드에서 금속 층을 위하여 계산된 최대 신장 변형률은 아일랜드의 Si 층이 0.01% 이하인 동안 각각 0.11% 및 0.01% 이하이다. 이러한 값들은 이들 재료에서 파괴 변형률(1% 이하) 보다 매우 작다.
- [0278] 도 65b의 제한된 구성요소 분석은 이러한 분석과 일치된다. 57%의 변형률 범위와 일치하는 -40% (즉, 압축성) 및 17% (신장성) 사이에서 적용된 변형을 위하여, 최대 재료 변형으로 시스템 수준의 변형의 비율에 의해 한정된 바와 같이, 비동일 평면 메쉬 레이아웃에 의해 제공된 기계적 유리점은 180 이하이다. 이러한 오실레이터 상 측정값들은 이러한 변형 조건에서 잘 행동된 응답을 보여준다.
- [0279] 측정된 주파수 (2MHz 이하, 도 65c) 와 회로의 다른 특성들과 여기서 그리고 본 실시예의 다른 곳들에서 보고된 개별 장치들은 캐리어 기관 (도 64a)로부터 제거 이전의 최초의 평면 구성에서의 측정값들과 비슷하다.
- [0280] 상기 브리지로 정렬되지 않은 축을 따라 같은 평면 상에서 늘어나는 것과 관련된 어느 정도 복잡한 변형은 비동일 평면 디자인의 부가적인 능력들을 보여준다.
- [0281] 이와 같이 적용된 변형들은 도 65 a-c의 경우에서와 같이 평평하게 하기 위해서 뿐만 아니라 평면으로부터 회전하고 휘어지기 위해서 (도 65d) 브리지들을 유발한다.
- [0282] 이러한 변형은 측면 버클링(측면 버클링)으로 불리며, 축에서 벗어난 늘어남을 수용하기 위해 베셀 함수 및 삼각 함수에 의해 특징지어질 수 있다.
- [0283] 이러한 유형의 늘어남이 중요한 전단응력과 관련되기 때문에, 신장 및 전단 변형(shear strain)을 결합하는 주된 변형은 변형 정도를 나타내기 위해 신장 변형으로 대체된다.
- [0284] 브리지에서 14% 늘어남 및 7.5% 전단응력을 유발하는 축에서 벗어난 늘어남을 위해, 에너지를 최소화하는 것에 의해 브리지 및 아일랜드의 금속 층에서 각각 주된 변형률 최대값 2% 및 0.8%, 그리고 아일랜드의 Si 층에서 0.6%로 주어진다.
- [0285] 도 65e에 도시된 바와 같이 이러한 시스템의 FEM 시뮬레이션은 기본적인 메커니즘들의 양을 정하게 된다. 이러한 축에서 벗어난 거의 모든 변형들을 흡수하기 위해 브리지의 능력이 변형에 약간 의존하여 회로 성능 및 훌륭한 장치를 가능하게 한다.
- [0286] 예를 들어, 도 65f는 하나의 p 채널 및 하나의 n 채널 MOSFET을 각각 지지하는 인접한 아일랜드 사이의 브리지 상에서 전기적 상호연결부에 의해 형성된 CMOS 인버터 상에서 측정된 전송 특성 및 이득(최대 100)을 보여준다.
- [0287] 또한, 개별 트랜지스터를 사용한 인버터의 전기적 시뮬레이션은 측정 결과들과 일치한다.(도 73 참조) 이러한

트랜지스터들은 도 65a의 링 오실레이터 내의 트랜지스터와 동일한 레이아웃을 가진다.

- [0288] 또한, 도 65의 변형 모드가 최근 보고된 물결 모양의 디자인으로 가능함에 불구하고, 비동일 평면 메쉬 레이아웃은 5배 이상의 공간을 제공할 수 있는 변형 수준을 증가시키고 변형에 대한 전기적 반응의 감도를 실질적으로 감소시킨다.
- [0289] 모든 경우에서, PDMS의 선형 응답 및 전기 재료에서 작은 변형률(최대 110% 까지) 으로부터 발생하는 기본적인 메커니즘의 결정적, 선형적 탄성 특성은 이하에서 설명하는 것과 같이 (도 68e) 특성의 작은 변화 심지어 광범위한 기계적 수명에서 작은 변화를 유발한다.
- [0290] 도 64에 도시된 구성과 부분적으로 관련된 변형의 극단적인 유형은 짧은 나사의 1회전 거리를 가지는 나사 모양 형상 안으로 비틀어 들어가는 것과 관련된다.
- [0291] 이와 같이 적용된 변형 하에서, 상기 브리지는 주로 길이 곱하기 회전 각도의 두께 비율(브리지 또는 아일랜드)과 유사한 크기를 가지는 면내 전단장도 때문에 변형된다.
- [0292] 이러한 비틀림 변형은 버클링과 관련되지 않기 때문에 축에서 벗어난 늘어남과는 다르고, 선형 분석으로 처리할 수 있다.
- [0293] 한 쌍의 브리지 및 아일랜드에 대응되는 거리를 넘어 90도 회전하기 위하여, 금속 및 Si층에서 최대 전단 변형률은 445 mm 길이의 브리지 및 260 mm 길이의 아일랜드에서 각각 0.08% 및 0.02%이다.
- [0294] 도 66a의 좌측 프레임은 비틀린 형상에서 얇은 PDMS 상의 회로 이미지를 보여주며, 오른쪽 프레임은 이러한 시스템에서 CMOS 인버터의 확대도를 보여준다.
- [0295] 이전에 설명된 경우에서 처럼, FEM 시뮬레이션 (도 66b)은 실험적 관측들을 지지하고, 브리지 및 아일랜드의 금속 층에서 주된 변형의 레벨이 0.3%가 될 것을 나타낸다.
- [0296] 링 오실레이터를 위한 인버터의 상호연결된 배열의 SEM 이미지는 비틀어진 브리지의 형상을 보여준다.(도 66c)
- [0297] 전기적 측정들은 인버터(도 66d의 상부 프레임) 및 링 오실레이터(도 66d의 바닥 프레임) 모두를 위하여 비틀림 전 후에서 안정된 전기적 능력을 지시한다.
- [0298] 상기 전기적 특성들은 모든 경우에서 이전에 설명된 것들과 비슷하다.
- [0299] 달리 말하자면, 상기 시스템은 실험적 불확실성 하에서 여기서 연구된 모든 구성들을 위한 변형 모두를 아는 것을 불가능하다.
- [0300] 도 64 내지 66은 정렬된 레이아웃에서 반복적으로 실행하는 것이 쉬운 인버터 및 링 오실레이터와 같은 회로의 일실시예를 도시한다.
- [0301] 보다 복잡하게, 실질적으로 중요한 많은 경우에 변칙적 설계가 요구되어질 수 있고, 이것은 또한 비동일 평면 메쉬 설계에서 시행될 수 있다.
- [0302] 본 발명의 발명자들은 회로를 팝-업 브리지 상에서 금속 라인에 의해 연결된 아일랜드를 각각 형성하는 4영역으로 나눈 미분기를 위해 이러한 개념을 설명하기로 한다.
- [0303] 도 67a의 좌측 프레임에서 점선이 표시된 부분은 이러한 네 영역을 강조하며, 삽입된 SEM 이미지는 구조를 도시한다. 상기 브리지는 상세한 점에서는 약간 다름에도 불구하고 표준 배열 레이아웃에서는 개념적으로 유사한 메커니즘을 제공한다. 결론적으로, 이러한 변칙 회로는 도 67b 및 c에 각각 도시된 바와 같이 가역적으로 늘려지거나 비틀려질 수 있다.
- [0304] 도 67d는 x 및 y 방향으로 늘려지는 확대 이미지를 보여준다.
- [0305] 전기적 측정들은 증폭기가 이러한 변형 하에서 동작을 아주 잘한다는 것을 입증한다. 0%, 17%의 x 방향 늘려짐, 17%의 y방향 늘려짐 및 2cm 이하의 길이를 가지는 PDMS 기관의 180 회전 각도로 비틀어짐에서 이득은 각각 1.15, 1.12, 1.15 및 1.09이었다. 이러한 시스템은 또한 도 67f에 도시된 바와 같이 자유롭게 변형되어질 수 있다.

- [0306] 전술한 상기 재료들 및 기계적 설계가 보다 큰 변형과 이전에 비해 다양한 구성을 수용할 수 있음에도 불구하고, 그것들은 고무밴드 같은 늘어남(예를 들어 50% 이하의 변형률)이 필요한 곳에서 "스마트" 위생용 장갑을 위한 전자장치들과 같이 임의의 진보된 장치 개념을 위한 요구사항들은 충족시키지 못할 것이다.
- [0307] 재료 또는 회로를 구성하는 스택(stack)에서 레이 아웃의 변화 없이도 늘어남을 증가시키는 간단한 방법은 장치 아일랜드 및 감소하는 브리지 두께 사이에 간격을 증가시키는 것과 관련된다.
- [0308] 최대 물질 변형 상에서 이러한 파라미터의 정량적 효과는 상기 아일랜드가 엄격하게 경질이고 동일평면 상에 남겨지는 근사적 경우를 위하여 보충 정보에 나타난 간단한 분석적 관계에 의해 나타내어질 수 있다.
- [0309] 예를 들어, 260 mm의 폭/길이 및 445 mm 만큼 떨어진 정사각형 아일랜드에서, 평평하고 동일평면 상태로부터 시작하는 시스템에 적용된 50% 압축 변형률을 위하여, 0.8 mm의 두께를 가지는 브리지 표면에서의 재료 내 최대 변형률은 1% 이다.
- [0310] 만약 브리지 내의 재료들이 1% 이하의 변형률에서 실패하면 (즉, 최악의 시나리오의 경우) 그러면 최대 시스템 변형률은 50%이다.
- [0311] 604 mm까지 공간을 증가하는 것 또는 0.56 mm까지 브리지 두께를 감소하는 것은 최대 시스템 변형률을 100%까지 개선한다.
- [0312] 아일랜드의 분배의 희박성을 증가시키지 않고도 보다 더욱 변형성을 확장하기 위하여 구불구불한 브리지가 사용될 수 있다.
- [0313] 도 68a는 도 64의 제조 절차 실행 후 이러한 설계의 SEM 이미지들 보여준다.
- [0314] 외부 변형이 x 또는 y 방향을 따라 적용될 때, 이러한 비동일 평면상의 구불구불한 브리지들은 높이의 변화를 통하여서 뿐만 아니라 구불구불한 모양의 형상 하에서 변화들에 의해 적용된 변형을 효과적으로 보상한다.
- [0315] 도 68b는 35%의 변형률을 가지도록 만들어진 시스템을 위하여 70% 까지 동일축 팽창 변형하는 대표적 장치의 응답 이미지를 보여주고, 구불구불한 브리지의 변형들은 직관적으로 기대되어질 수 있는 구성들에서 변화들을 나타낸다.
- [0316] 유한 요소 모델링은 심지어 70%의 팽창 변형률까지 나타낼 수 있고, 브리지 및 아일랜드의 금속 층에서 최대 변형률은 각각 0.2% 및 0.5% 이고, 실리콘에서 변형률은 도 68c에 도시된 바와 같이 0.15% 이다. (상기 변형률은 PI의 임의의 위치에서 3%에 달한다.)
- [0317] 그 한계치를 조사하기 위하여, 본 발명의 발명자들은 심지어 더 큰 변형률로 늘어나는 것을 이용하기 위해 얇은 PDMS 기판 (0.2 mm)를 사용하였다.
- [0318] 도 68d는 140%까지 늘어남을 허용하고 100% 까지 시스템 변형률에 대응하는 90% 변형률에 대응되는 경우를 보여준다.
- [0319] FEM에 의해 드러나는 방사성 물질에서 작은 변형과 일치하여, 상기 전기적 특성들은 변형되지 않은 동일 평면상의 시스템에 대응하는 그것들에 도달하고, 상기 작업은 또한 도 68e에 도시된 바와 같이 많은 횡수로 (1000회까지) 늘려져도 안정하다.
- [0320] 결국, 팝업 회로의 실제적인 어플리케이션은 원치 않는 손상으로부터 활동 영역(활동 영역)의 보호를 위해 장치의 상부에 부가적인 보호 층(예를 들어 봉지층)을 통합한다.
- [0321] 그러므로, 본 발명의 발명자들은 PDMS를 가지고 팝업 회로를 코팅하였고, 모든 브리지 및 아일랜드가 이어지는 PDMS에 의해 내장된 후 그것들 경화시켰다.
- [0322] 이러한 부가적 캡슐화를 이용한 접근 방식은 상기 장치 표면 상의 손상을 방지한다. 게다가, 이중 중립 기계 평면은 상부 및 하부 PDMS 두께를 제어하는 것에 의해 형성되어질 수 있고, 늘어남을 위해 부가적인 기계적 외력을 제공한다.
- [0323] 심지어 이러한 캡슐화 이후에, 경화된 PDMS 내부에 제한된 변형 때문에 늘어남에는 브리지 상의 약간 더 큰 변형을 제외하고는 많은 변화가 없다.
- [0324] 그러나, 경화제 없이 또는 극단적은 낮은 함량의 경화제를 가지는 낮은 계수의 PDMS, 캡슐화와의 이러한 차이점

은 최소화될 수 있다.

- [0325] 선택적으로, 여기서 나타난 결과들은 높은 레벨의 변형으로의 다양한 구성에서 탄성적으로 변형되어질 능력 및 훌륭한 전기적 능력 양쪽 모두를 제공하는 회로를 위하여 설계 방법을 제공한다.
- [0326] 많은 경우들에서, 같은 아이디어들이 태양광, 미세유체, 센서 네트워크, 광자 및 다른 것들과 같은 전통적으로 경질인, 동일 평면 기술에서 유리하게 사용되어질 수 있다.
- [0327] 이러한 시스템들의 관련된 유형들은 다른 접근 방법과 다루어질 수 없는 많은 새롭고 중요한 어플리케이션에 접근할 수 있다.

[0328] **방법들**

[0329] **도핑된 실리콘 나노리본의 준비**

[0330] 도핑된 실리콘 나노리본의 준비는 SOI(silicon-on-insulator) 웨이퍼 p-타입 SOI 웨이퍼 (SOITEC, France)를 가지는 nMOS 소스/드레인 도핑 및 n-타입 SOI 웨이퍼(SOITEC, France)를 가지는 pMOS 소스/드레인 도핑 - 상부 상부 실리콘의 도핑과 같이 시작된다.

[0331] 이러한 공정은 확산 마스크를 위해 SiO<sub>2</sub>의 PECVD를, 패터닝을 위해 CF<sub>4</sub>/O<sub>2</sub> 가스를 가지는 RIE와 포토리소그래피 (photolithography), p-타입을 위해 1000~1050°C에서 붕소 스핀-온-도펀트(B153, Filmtronics, USA)의 높은 온도 확산과 스핀 코팅 및 p-타입을 위해 950°C에서 인 스핀-온-도펀트(P509, Filmtronics, USA)를 사용한다.

[0332] 도핑 후에, 리본은 포토리소그래피 및 RIE에 의해 경계가 정해지고, 그것들은 SOI 웨이퍼의 묻혀진 산화 층을 제거하는 것에 의해 마더 웨이퍼(mother wafer)로부터 박리된다. 이와 같이 도핑된 나노리본은 PDMS에 의해 얻어지고 회로 집적을 위하여 캐리어 웨이퍼로 전사 인쇄된다.

[0333] **펼 수 있는 회로의 제조**

[0334] 도핑된 n-타입 및 p-타입 나노-리본은 초경박 기관으로써 PI (1.2mm이하) 및 희생 층으로써 PMMA(100nm 이하)의 얇은 층으로 코팅된 캐리어 웨이퍼로 순차적으로 전사 인쇄된다.

[0335] 전사 인쇄된 후에, 50nm PECVD SiO<sub>2</sub>가 게이트 유전체를 위하여 증착되고, 소스 및 드레인을 위한 접촉 윈도우는 BOE(buffered oxide etchant)로 에칭되고, 150nm 금속 전극은 증발되고 패터닝되며, PI 층은 중립 기계 평면 위치의 제어 및 보호막 형성(passivation)을 위해 스핀 캐스팅(spin casting)된다.

[0336] 회로 제조 후에, 산소 RIE가 메쉬 포맷(mesh format)의 범위를 한정한다.

[0337] 아세톤과 함께 PMMA 층의 용해는 상기 캐리어 웨이퍼로부터 회로를 박리한다. 이와 같은 회로는 비동일 평면의 팽-업 레이아웃의 형성을 위하여 기계적으로 변형된 PDMS로 전사된다.

[0338] 팽-업 영역의 위치를 한정하는 것을 돕기 위하여, 그리고 상기 회로의 이러한 영역 및 PDMS 사이의 부착을 향상시키기 위하여 Cr 및 SiO<sub>2</sub>의 얇은 층들이 웨도우 마스크를 통한 증발에 의해 활성 아일랜드의 바닥 상에 선택적으로 증착된다.

[0339] **스트레칭 테스트 및 전기적 측정**

[0340] 스트레칭 테스트는 X, Y 또는 대각선 방향에서 압축 변형률 또는 신장력을 적용할 수 있는, 변형 단계의 자동화된 조립체를 가지고 수행된다.

[0341] 비틀기 위해서, 상기 PDMS의 끝단은 180° 각도로 비트는 것에 의해 기계적으로 클램핑된다. 전기적 측정은 프로브 스테이션(probe station, Agilent, 5155C)를 가지고, 늘리기 또는 비틀림 변형 하에 있는 동안 직접적으로 수행된다.

[0342] **비동일 평면의 브리지 구조의 분석적 계산**

- [0343] 상기 브리지는 합성보(composite beam)로써 설계된다. 그것의 평면 밖 변위는 에너지 최소화에 의해 결정된 크기를 가지는 사인파 형태를 가진다.
- [0344] 상기 아일랜드는 합성 플레이트로써 설계된다. 그것의 평면 밖 변위는 에너지 최소화에 의해 결정된 계수를 가지는 푸리에 시리즈로써 확장된다.
- [0345] 상기 PDMS 기판은 표면의 변위에 종속하는 반무한 고체로서 설계되고, 아일랜드의 평면 밖 변위와 동일하다.
- [0346] 상기 시스템의 전체 에너지는 브리지에서 멤브레인(membrane) 및 굽힘 에너지(bending energy), 아일랜드에서 멤브레인 및 굽힘 에너지 및 기판에서의 변형 에너지로 구성된다. 상기 전체 에너지를 최소화하는 것은 브리지 및 아일랜드에서 변형 분배 및 변위를 가능하게 한다.

[0347] **유한 요소 모델링(finite element modeling)**

- [0348] 시스템의 3차원 유한 요소 모델은 상업적 ABAQUS 패키지를 사용하여 발전되어 왔다. 4개 노드의 다층 셸 구성요소를 가지는 8개 노드의 6면체 브릭 구성요소는 각각 기판 및 얇은 필름을 위하여 사용되어진다.
- [0349] 상기 다층 셸(multi-layer shell)은 노드를 나뉘어가는 것에 의해 기판에 접촉된다. 얇은 필름의 각 층은 선형의 탄성 재료로써 설계되고, 부드러운 탄성 기판은 압축할 수 없는 과탄력의 재료로써 설계된다.
- [0350] 본 발명의 발명자들은 먼저 시스템의 고유모드 및 고유치를 결정하였다.
- [0351] 그 다음, 상기 고유모드는 시스템의 버클링을 조절하기 위해 초기의 작은 형상 불완전성으로써 사용된다. 상기 불완전성은 항상 정확한 해답을 보장하기 위해 어느정도 충분하다.
- [0352] 상술한 시뮬레이션은 집적 회로 시스템의 주요 제조 단계로써 같은 절차 하에서 수행된다. 이러한 시뮬레이션은 버클링 패턴의 형성, 얇은 필름의 행동 메커니즘 및 상기 구조의 체계에 대한 통찰을 줄 수 있다.

[0353] 참고문헌

- [0354] 1. Reuss R. H. *et al.* (2005) Macroelectronics: Perspectives on technology and applications. *Proc. IEEE*. 93:1239-1256.
- [0355] 2. Reuss R. H. *et al.* (2006) Macroelectronics. *MRS Bull.* 31:447-454.
- [0356] 3. Lacour S. P., Jones J., Wagner S., Li T. & Suo Z. (2005) Stretchable Interconnects for elastic electronic surfaces. *Proc. IEEE*. 93:1459-1467.
- [0357] 4. Kim D.-H. *et al.* (2008) Stretchable and foldable silicon integrated circuits. *Science* 320:507-511.
- [0358] 5. Someya T. *et al.* Conformable, flexible, large-area networks of pressure and thermal sensors with organic transistor active matrixes. *Proc. Natl. Acad. Sci. USA*. (2005) 102:12321-12325.
- [0359] 6. Ko H. C. *et al.* (2008) A hemispherical electronic eye camera based on compressible silicon optoelectronics. *Nature*, In press.
- [0360] 7. Kim D. -H. *et al.* (2008) Complementary logic gates and ring oscillators plastic substrates by use of printed ribbons single-crystalline silicon. *IEEE Electron Device Lett.* 20:73-76.
- [0361] 8. Sun Y., Choi W. M., Jiang H., Huang Y. Y., Rogers J. A. (2006) Controlled buckling of semiconductor nanoribbons for stretchable electronics. *Nat. Nanotechnol.* 1:201-207.
- [0362] 9. Schneider F., Fellner T., Wilde J., Wallrabe U., Mechanical properties of silicones for MEMS. (2008) *J. Micromech. Microeng.* 18:065008.
- [0363] 10. Ahn J.-H. *et al.* (2007) Bendable intergrated circuits on plastic substrates by use of printed ribbons of single-crystalline silicon. *Appl. Phys. Lett.* 90:213501.

[0364] 11. Bazant Z. P. and Cedolin L. (2003) Stability of Structures, Dover Publications, New York.

[0365] 다층 스택에서의 효율적인 신장 및 구부림 강성도

[0366] 도 69는 상부의 첫 번째 층 및 바닥의 n번째 층을 가지는 다층 스택(multilayer stack)을 도시한다. 그것들의 (평균-변형) 계수들 및 두께들은 각각  $\bar{E}_1, \dots, \bar{E}_n$  및  $h_1, \dots, h_n$  에 의해 표시된다.

[0367] 여기서 길이 및 폭은  $L_s$  및  $w_s$ 에 의해 표시된다. 상기 다층 스택은 효과적인 신장성 강성도를 가지는 합성보로써 설계된다.

[0368] 
$$\overline{EA} = w_s \sum_{i=1}^n \bar{E}_i h_i \tag{S.1}$$

[0369] 그리고 효과적인 구부림 강성도는,

[0370] 
$$\overline{EI} = w_s \left[ \sum_{i=1}^n \bar{E}_i h_i \left( b - \sum_{j=1}^i h_j \right)^2 + \sum_{i=1}^n \bar{E}_i h_i^2 \left( b - \sum_{j=1}^i h_j \right) + \frac{1}{3} \sum_{i=1}^n \bar{E}_i h_i^3 \right] \tag{S.2}$$

[0371] 여기서 b는 상부 표면으로 중립 기계 평면 사이의 거리이고 다음과 같이 주어진다.

[0372] 
$$b = \frac{\sum_{i=1}^n \bar{E}_i h_i \left[ \left( \sum_{j=1}^i h_j \right) - \frac{h_i}{2} \right]}{\sum_{i=1}^n \bar{E}_i h_i} \tag{S.3}$$

[0373] 비동일 평면의 아일랜드 사이의 브리지

[0374] 도 64b에서 SEM 이미지에 의해 도시된 인전함 아일랜드를 연결하는 비동일 평면 브리지로부터 얻어진 압축 성질은 이론적 분석을 통하여 얻어질 수 있다.(도 69 참조)

[0375] 상기 브리지 ( $n=4$ , PI/metal/SiO<sub>2</sub>/PI: ~1.2mm/0.15mm/0.05mm/1.2mm)는  $n=4$ 일 때 방정식 (S.1) 및 (S.2)로부터 얻어진 구부림 강성도  $EI_{bridge}$  및 효과적인 신장성  $EA_{bridge}$ 을 가지는 합성보로써 설계된다.

[0376] 상기 탄성 계수들 및 푸아송 비율들은  $E_{SiO_2}=70$  GPa,  $\nu_{SiO_2}=0.17$ ,  $E_{metal}=78$  GPa,  $\nu_{metal}=0.44$ ,  $E_{PI}=2.5$  GPa 및  $\nu_{PI}=0.34$ 이다.

[0377] 비동일 평면 브리지의 평면밖 변위,  $u$ 는 수학적  $u = \frac{A}{2} \left( 1 + \cos \frac{2\pi}{L_{bridge}} z \right)$  를 얻을 수 있고, 이것은 두 끝단에서의 기울기( $x=\pm L_{bridge}/2$ ) 및 사라지는 변위를 만족하며, 여기서 A는 크기이고, x는 브리지에 따른 위치이며,  $L_{bridge}$ 는 인접한 아일랜드 사이의 측면 이격 거리이다.

[0378] 초기거리  $L_{bridge}^0=445 \mu\text{m}$ 는 제조된 구성 하에서 측정된다. 그다음 동일 평면에서 변위는 힘의 평형으로부터 얻어질 수 있다.

[0379] 이것들은 굽힘 에너지  $U_b = \overline{EI}_{bridge} \frac{\pi^4 A^2}{(L_{bridge}^0)^3}$  및 멤브레인 에너지  $U_m = \frac{1}{2} \overline{EA}_{bridge} \left[ \frac{\pi^2 A^2}{4(L_{bridge}^0)^2} - \frac{L_{bridge}^0 - L_{bridge}}{L_{bridge}^0} \right]^2 L_{bridge}^0$  를 부여한다.

[0380] 에너지 최소화  $\frac{\partial(U_b + U_m)}{\partial A} = 0$  는 크기  $A = \frac{2L_{bridge}^0}{\pi} \sqrt{\frac{L_{bridge}^0 - L_{bridge}}{L_{bridge}^0} - \epsilon_c}$  를 위한 분석적 표현을 산출하고, 여기서

$$\varepsilon_c = \frac{\overline{EI}_{bridge}}{EA_{bridge}} \frac{4\pi^2}{L_0^2}$$

는 임계 버클링 변형률이고, 상수한 시스템에서는 0.0034%이다.

[0381]  $L_{bridge} = 370 \text{ um}$ 에서, 상기 분석적 표현은 크기  $A = 116.3 \text{ um}$ 를 부여하고, 실험값  $A = 115 \text{ um}$ 과 잘 일치한다.

[0382] 상기 브리지의 금속 층에서 대응되는 최대 변형률은 0.11%이하이고, 실질적으로 금속에서의 파괴 변형률 이하이다.

[0383] 아일랜드에서 변형 분배

[0384] 상기 아일랜드 ( $n=5$ , PI/metal/SiO<sub>2</sub>/Si/PI :  $\sim 1.2\text{mm} / 0.15\text{mm} / 0.05\text{mm} / 0.25\text{mm} / 1.2\text{mm}$ )는  $n=5$ 일 때 방정식 (S.1) 및 (S.2)으로부터 얻어진 효과적인 구부림 강성도  $EI_{islands}$  및 효과적인 신장성 강성도  $EA_{islands}$ 를 가지는 복합재료 플레이트로써 설계된다.

[0385] 상기 부가적인 탄성 특성들은  $E_{Si} = 130 \text{ GPa}$  및  $\nu_{Si} = 0.27$ 이다.

[0386] 메커니즘 모델은 변형의 분배 및 아일랜드에서의 변위를 제공한다.

[0387] 도 70b에 도시된 바와 같이, 브리지에서 평면밖의 변위는 상기 아일랜드로 구부림 모멘트  $M$  (및 축방향 힘  $F$ )를 부과한다.

[0388] 상기 아일랜드에서 굽힘 에너지는 플레이트 이론을 통하여 그것의 평면밖 변위  $u$ 의 함수로 얻어진다. 상기 PDMS 기판은 상기 표면 변위  $u$ 에 영향을 받는 반무한 고체로써 설계되고, 또한 그것의 변형 에너지는  $u$ 의 함수로 얻어진다.

[0389] 상기 변위  $u$ 는 전체 에너지를 최소화하는 것에 의해 결정되어질 계수들과 함께 푸리에 급수로 확장된다. 상기 아일랜드의 각 층에서 구부림 변형은 곡률로부터 얻어지고, 그것은  $u$ 의 2차 도함수이다.

[0390] 최대 평면 밖 변위는  $0.4 \text{ um}$ 이하로 매우 작고, Si층에서 0.01% 이하의 변형률  $\varepsilon_{yy}$  및  $\varepsilon_{zz}$ 이다. 상기 Si 구성요소에서 상기 변형률  $\varepsilon_{yy}$ 는  $z$ -방향에서 그것들 근처에  $\varepsilon_{zz}$ 의 피크가 발생하는 동안  $y$ -방향에서 상호연결부 근처의 피크에 도달한다.

[0391] 축에서 벗어난 스트레칭(Off-axis stretching)

[0392] 축에서 벗어난 스트레칭은 두가지 효과를 가지는데, 즉 브리지 방향을 따른 경우 그리고 브리지 방향에 전단 수직 방향을 따르는 축 스트레칭이 그것이다.

[0393] 이러한 변형은 측면 버클링에 의해 수용되고, 도 S2b에 도시된 삼각 함수 (축방향 스트레칭) 및 베셀 함수 (전단 스트레칭)에 의해 특징지어질 수 있다.

[0394] 측면 버클링 때문에 비동일 평면 회전  $\phi$ 는 대칭 버클링 모드를 위하여 아래와 같은 수학적식을 가지고,

$$\phi = B \left[ \sqrt{\frac{2}{L_{bridge}}} z J_{-1/4} \left( \frac{13.96403}{L_{bridge}^2} z^2 \right) - J_{-1/4} (3.49101) \right] \quad (S.4)$$

[0396] 비대칭 버클링 모드를 위하여 아래와 같은 수학적식을 가지며,

$$\phi = B \left[ \sqrt{\frac{2}{L_{bridge}}} z J_{1/4} \left( \frac{18.45820}{L_{bridge}^2} z^2 \right) + \frac{424.956}{L_{bridge}^3} z^3 \phi_p \left( \frac{18.45820}{L_{bridge}^2} z^2 \right) \right] \quad (S.5)$$

[0398] 여기서,  $J_a(x)$ 는  $a$ 의 차수를 가지는 베셀함수이고,  $B$ 는 에너지 최소화에 의해 결정되어질 크기이며,  $\phi_p(x)$ 는 아래와 같은 수학적식을 가지고,

$$\phi_\beta(x) = -\frac{1}{48x^2} \left[ \begin{aligned} &8\sqrt{2^3}x^{9/4}\text{Hypergeom}\left(\frac{3}{4}, \frac{5}{4}, \frac{7}{4}; -\frac{1}{4}x^2\right)J_{-1/4}(x)\Gamma\left(\frac{3}{4}\right) - 6\sqrt{2}\pi x^2 J_{1/4}(x)J_{-1/4}(x) \\ &+ 6\sqrt{2}\pi x^{7/4}J_{1/4}(x)J_{3/4}(x)\text{LommelS1}\left(\frac{1}{4}, \frac{7}{4}, x\right) \\ &- 9\sqrt{2}\pi x^{3/4}J_{1/4}(x)J_{3/4}(x)\text{LommelS1}\left(\frac{5}{4}, \frac{3}{4}, x\right) \\ &+ 6\sqrt{2}\pi x^{7/4}J_{1/4}(x)J_{-1/4}(x)\text{LommelS1}\left(\frac{5}{4}, \frac{3}{4}, x\right) \end{aligned} \right] \quad (S.6)$$

[0399]

[0400] 여기서, Hypergeom (a<sub>1</sub>, a<sub>2</sub>, ...; b<sub>1</sub>, b<sub>2</sub>, ...; x)는 일반화된 초기화 함수이며, Γ(x)는 감마함수이고, LommelS1(u, v, x)는 롬멜함수이다. 여기서, (a<sub>1</sub>, a<sub>2</sub>, ...; b<sub>1</sub>, b<sub>2</sub>, ...; x)는 스페셜 함수를 위한 파라미터이다.

[0401] 본 발명의 발명자들은 먼저 두 크기 A 및 B와 관련하여 트위스팅 에너지를 포함하는 에너지 최소화에 의해 축에서 벗어난 스트레칭 하에 놓여진 브리지들을 위한 해답을 얻었다.

[0402] 그 다음, 브리지/아일랜드 상호연결부에서 반동력, 구부림 모멘트 및 토크들은 변형의 분배 및 아일랜드에서 변위를 결정하기 위해 아일랜드에 적용된다.

[0403] 주된 변형들:

[0404] ε<sub>yy</sub>, ε<sub>zz</sub>, 및 ε<sub>yz</sub>에 종속되는 구조를 위한 주된 변형은 아래의 수학적식과 같고

$$\varepsilon_{1,2} = \frac{\varepsilon_{yy} + \varepsilon_{zz}}{2} \pm \sqrt{\left(\frac{\varepsilon_{yy} - \varepsilon_{zz}}{2}\right)^2 + 4\varepsilon_{yz}^2} \quad (S.7)$$

[0405]

[0406] 논문에서 나타난 주된 변형은 ε<sub>1</sub>이다.

[0407] 트위스팅(Twisting)

[0408] 도 66에 도시된 트위스팅은 측면 버클링과 관련되지 않기 때문에 축에서 벗어난 스트레칭과는 다르다. 토크 M<sub>x</sub>에 종속되는 도 69에 도시된 다층 스택(스택 폭 >> 스택 두께) 에서는 단지 전단 변형 ε<sub>yz</sub>가 존재하고 아래의 수학적식과 같이 주어진다.

$$\varepsilon_{yz} = \frac{M_x}{GJ} x \quad (S.8)$$

[0409]

[0410] 여기서, GJ는 등가 비클립 강성도이고 아래와 같은 수학적식으로 주어지며,

$$\overline{GJ} = 4w_s \left[ \sum_{i=1}^n G_i h_i \left( b - \sum_{j=1}^i h_j \right)^2 + \sum_{i=1}^n G_i h_i^2 \left( b - \sum_{j=1}^i h_j \right) + \frac{1}{3} \sum_{i=1}^n G_i h_i^3 \right] \quad (S.9)$$

[0411]

[0412] 여기서, G<sub>i</sub>는 각 층에서 전단 계수이다.

[0413] 팝-업 상호연결부 구조의 늘어남에서 공간 효과:

[0414] 도 71은 길이 L<sup>0</sup><sub>bridge</sub>의 브리지 및 길이 L<sup>0</sup><sub>islands</sub>를 가지는 상호연결부 구조를 도시한다. 변형 해소 후의 브리지의 튀어오르고, 브리지 길이 L<sup>0</sup><sub>bridge</sub>는 L<sub>bridge</sub>로 변하지만, 아일랜드 길이는 길이는 아일랜드의 탄성 강직성이 브리지의 탄성 강직성 보다 몇배나 크기 때문에 변하지 않는다.

[0415] 팝 업 구조의 시스템 레벨에서 변형은 아래의 수학적식과 같이 주어진다.

$$\epsilon_{pre} = \frac{L_{bridge}^0 - L_{bridge}}{L_{island}^0 + L_{bridge}^0}$$

[0416]

[0417]  $\epsilon_{fracture}$ 를 1% 이하로 하는 것은 브리지 재료가 부서지는 임계 변형률을 나타내고, 시스템에 적용될 수 있는 최대 변형률은 아래의 수식과 같이 주어진다.

$$\left(\epsilon_{pre}\right)_{max} = \frac{L_{bridge}^0}{L_{island}^0 + L_{bridge}^0} \left( \frac{L_{bridge}^0 \epsilon_{fracture}}{2\pi h_{bridge}} \right)^2 \quad (S.10)$$

[0418]

[0419] 여기서,  $h_{bridge}$ 는 브리지 두께를 나타내고, 이것은 큰 공간( $L_{bridge}^0$ ) 및 작은 브리지 두께가 시스템 레벨에서 최대 변형률을 증가시킨다는 것을 명백하게 보여준다. 시스템의 스트레칭은 간단하게  $(\epsilon_{pre})_{max} + \epsilon_{fracture}$ 로 나타낼 수 있다.

[0420] 캡슐화의 경우:

[0421] 비동일 평면 브리지는 상부, PDMS의 스핀 캐스트 층을 가지는 캡슐화에 의해 보호될 수 있다. 이후에 브리지 및 아일랜드의 버클링 분석이 결합된다.

[0422] 각 영역에서 벗어난 변위는 그것 자신의 파장 및 크기를 가지고, 변위, 회전, 모멘트 및 전단력을 가로지르는 영역들은 연속적이다.

[0423] 브리지 및 아일랜드의 구부림 및 멤브레인 에너지와 기관에서 변형 에너지로 구성되는 전체 에너지의 최소화는 모든 영역에서 파장 및 크기를 부여한다.

[0424] 예를 들어, 변형률이 10.7%일 때 20% 이하로 적용된 시스템 레벨의 변형률에서 아일랜드의 크기가 단지 1 um 동안 브리지의 크기는 196 um이다.

[0425] 도 72는 시스템 레벨로 적용된 변형률과 다른 장치의 층들과 비교할 때 최대 변형률을 도시한다. 적용된 변형이 미리 적용된 변형에 도달하기 전에 캡슐화된 시스템은 파괴되며, 이는 캡슐화가 없을 때와 다르다.

[0426] 참고문헌

[0427] D. Gray, S.V. Hoa, and S.W. Tsai, Composite Materials: Design and Applications, CRC Press, Boca Raton, FL (2003).

[0428] S.P. Timoshenko and J. N. Goodier, Theory of Elasticity (3<sup>rd</sup> edition), McGraw-Hill, New York, 1987.

[0429] 실시예 5: 섬유, 비닐, 가죽 및 종이 상의 고성능 전자장치를 위한 변형 분리층 및 메쉬 레이아웃을 가지는 초경박 실리콘 회로

[0430] 플라스틱 시트, 금속박, 고무 슬래브 및 다른 일반적이지 않은 기관 상에 설치된 전자 시스템은 이미지 센서, 플렉서블 디스플레이, 생명의학 장치 및 다른 어플리케이션에서 사용을 위하여 많은 잠재성을 가진다.

[0431] 이러한 영역의 연구는 이러한 시스템들에서 훌륭한 기계적 플렉서블 특성 및 낮은 온도 가공성이 매력적인 반도체 재료 및 유기 도체의 발전을 포함한다.

[0432] 이러한 재료를 가지고 달성될 수 있는 장치의 특성은 전자 종이 디스플레이 및 다른 중요한 제품을 가능하게 하지만, 예를 들어 라디오 주파수 동작이 요구되는 영역에서는 쉽게 적용되기 어렵다.

[0433] 최근은 새로운 연구는 비유기 물질의 얇은 필름의 활용 또는 탄소 나노튜브, 그래핀 판, 나노입자, 나노선, 나노리본 또는 반도체를 위한 나노멤브레인의 조립체를 활용하는 것에 의한 이러한 제한들을 피하는 것에 목적을

두고 있다.

- [0434] 임의의 이러한 재료들을 가지고 구부릴 수 있는 것 뿐만 아니라 특정한 경우에 100% 또는 그 이상의 압축 또는 신장 변형의 탄성 반응을 가지며 반대로 펼 수 있는 고성능 회로를 구성하는 것이 가능하다.
- [0435] 스트레칭 특성을 달성하는 것은 아코디언 바람통과 비슷한 물리적 성질을 가지는 적용 변형을 수용하는 버클링 또는 물결모양의 형상에서 반도체 멤브레인 또는 리본에 의존한다.
- [0436] 고성능 트랜지스터와 논리 게이트, 링 오실레이터 및 미분기에서 그것들의 사용은 실제적인 적용을 위한 가능성을 제시하고, 전자 눈 카메라를 위한 포토다이오드의 반구형 배열은 시스템 레벨의 시범으로써 예를 제공한다.
- [0437] 여기서, 본 발명의 발명자들은 이러한 개념들을 확장하고 적용된 변형으로부터 능동 회로 재료를 격리하기 위하여 얇고, 낮은 계수의 엘라스토머를 관련시키는 새로운 기술을 가지고 그것들을 이행한다.
- [0438] 결과들은 다양한 클래스의 기관 상에 집적할 수 있는 고성능 실리콘 CMOS로의 경로이다. 전자장치를 위한 기관의 예는 여기에서 나타낸 것과 같이 종이, 섬유, 가죽 및 비닐을 포함하나 이러한 재료들로 본 발명을 한정하는 것은 아니다.
- [0439] 데이터는 이러한 기관 상의 논리 게이트 및 대표적 CMOS 구성요소의 전기적 능력이 구부러짐, 접힘 및 다른 변형 없이 실리콘 웨이퍼 상에 유사한 장치의 그것에 도달할 수 있다는 것을 알려준다.
- [0440] 여기서 설명된 실험적이고 이론적 연구들은 이러한 결과들을 지지하고 재료들 및 메커니즘의 중요한 특성들을 드러낸다.
- [0441] 이러한 실시예에서, 제작은 평면상에서 최근 보고된 문헌(Kim et al. PNAS USA 2008, 55, 2859)과 관련된 절차를 사용하는 구불구불한 메쉬 형상에서 초경박 CMOS 회로의 형성과 함께 개시된다.
- [0442] PMMA(MicroChem, USA) 의 기저 층의 용해, PDMS(Dow Corning, USA) 스탬프의 표면 상으로 그것들을 리프팅하는 것, 정렬된 웨도우 마스크를 통한 증발에 의하여 능동 장치 아일랜드에 대응하는 회로의 영역의 후면에 선택적으로 Cr/SiO<sub>2</sub> (3nm/30nm)의 이중층을 증착하는 것, 그리고 마지막으로 경화된 PDMS의 얇은 층으로 코팅된 기관으로 전사 인쇄하는 것에 의해 형성되는 캐리어 웨이퍼로부터 회로를 박리하는 것은 공정을 완성한다.(도 74B)
- [0443] 이러한 방식(도 74D)으로 형성된 개별 트랜지스터의 측정값은 n-타입 MOS 및 p-타입 트랜지스터에서 각각 ~530 and ~150 cm<sup>2</sup>/Vs의 전자와 홀 이동도를 나타내며, 양쪽 경우 모두  $\mu > 10^5$  온/오프 비율을 나타낸다.
- [0444] 여기서 보고된 장치에서 채널 길이 및 폭은 nMOS의 경우 13 um 및 100 um이고 pMOS의 경우 13 um 및 300 um이다.
- [0445] 구불구불한 상호연결부를 통하여 nMOS 및 pMOS 장치를 연결하는 것은 PSPICE 시뮬레이션(도 74D)와 동일하게 150 만크의 이득을 가지는 인버터를 산출한다. 상술한 PDMS 얇은 층은 두가지 중요한 역할을 제공한다.
- [0446] 먼저, 가장 간단하게는, 그것은 평평한 또는 휘어진 풍선 같은 형상 중 어느 하나에서 여기서 보고된 바와 같이 섬유, 비닐, 가죽 및 종이를 포함하는 넓은 범위의 표면으로 회로의 임의의 전략적 영역을 접착하는 접착제를 제공한다.
- [0447] 특히, 아일랜드의 후면 상의 SiO<sub>2</sub>와 연관된 -OH 기는 Si-O-Si 결합을 형성하기 위해 PDMS와 공유적으로 반응한다.
- [0448] 이러한 -OH기는 SiO<sub>2</sub> 및 PDMS 상에 자연스럽게 존재한다. 이것들의 밀도는 오존, 산소 플라즈마 또는 다른 관련된 절차에 의해 증가될 수 있다.
- [0449] 구불구불한 상호연결부 상에서 SiO<sub>2</sub>의 부재는 이러한 영역들에서 (도 1C의 좌측 프레임) 단지 약한 반테르 발스 상호작용을 유발한다.
- [0450] 결과적으로, 늘림, 압축 또는 극단적인 구부림시, 상호연결부는 도 74C의 우측 SEM 이미지에 도시된 바와 같이 비동일 평면 형상을 받아들이기 위해 PDMS와의 접촉으로부터 떨어진다.
- [0451] 이러한 동작은 상호연결부의 부서짐 또는 아일랜드에서 중대한 변형을 피하기 위한 방식 하에서 큰 신장성 또는 압축성 변형에 순응한다.
- [0452] 모든 영역에서 PDMS로 접착된 유사한 회로 레이아웃은 더욱 감소된 (2~3배 낮은) 적용된 변형에 견디는 능력을

보여준다.

- [0453] 도 74에서의 접근방법은 비동일 평면의 레이아웃을 생성하기 위해 변형을 사용하는 단계를 피하는 동안 큰 늘어남을 제공한다. PDMS 층의 두 번째 중요한 역할은 메커니즘을 실험하는 것에 의해 명백해진다.
- [0454] 도 75A는 단일축 신장 변형으로 도 74에 도시된 것과 유사한 시스템의 응답을 위하여 유한 요소 모델링 및 광학 현미경사진을 보여준다.
- [0455] 여기서 최대 신장을 연구하면, 모델링이 지시하는 상호연결부의 금속층 및 능동 아일랜드의 실리콘에서의 최대 변형률은 각각 0.20% 및 0.46%, 즉 적용된 변형률보다 200 배 작다.
- [0456] 이러한 행동은 종이 기관을 가지고 예리하게 접혀지는 변형에 의하여 한 쌍의 아일랜드 보다 더 큰 길이 스케일 하에서 늘어남/압축을 위한 유용성을 제공하고, 이것은 생성된 개별 아일랜드 상에 국한된 변형을 수용할 수 없다. 낮은 계수의 PDMS 접착 층은 변형 격리를 제공하는 것에 의해 이러한 문제를 해결한다.
- [0457] 정성적 이해를 얻기 위해서는, 이러한 층의 계수가 기저의 기관과 동일한 곳에서 그것이 임의적으로 작아질 때 제한되는 경우들을 고려해야 한다.
- [0458] 첫 번째 경우, 대략적으로 설정된 회로 표면에서 유발된 구부러짐 변형은 구부러짐의 곡률 반경에 의해 분할된 시스템의 전체 두께의 비율에 의존한다. 예리한 접힘 변형에서, 이러한 반경은 매우 작다.
- [0459] 결과적으로, 이러한 접힘 위치에 위치한 아일랜드에서 변형은 가장 얇은 시스템을 제외한 모든 경우를 위하여 전자 재료의 파괴 점을 초과할 수 있다.
- [0460] 두 번째 경우, 기관은 회로 구성요소에 기계적으로 약하게 결합되고, 상기 기관을 구부리는 것은 단지 아일랜드의 상대적으로 작은 구부림을 유발한다.
- [0461] 이러한 메커니즘의 결과, 전자 재료들에서 변형이 유발된 구부림은 기대되었던 것보다 훨씬 작다. 여기서, 낮은 계수 층은 변형 격리를 제공한다.
- [0462] 유사한 논의들이 이러한 층의 두께 상에서 변형의 의존성을 이해하기 위해 사용될 수 있다. 실제적인 시스템에서, 모든 층들의 계수들 및 두께들은 중요한 변수이다.
- [0463] 중요한 의존성은 플라스틱 기관, PDMS 접착 층 및 얇은 실리콘 층으로 구성되는 단순화된 시스템에서 명백해질 수 있다.
- [0464] PDMS의 탄성 계수는 플라스틱 및 실리콘의 탄성 계수보다 작은 크기의 차수이다. 정밀한 방법 하의 모든 메커니즘들을 포함하는 분석적 계산의 현저한 발견들은 도 75B에 나타나 있다.
- [0465] 이러한 구성은 PDMS의 두께 및 실리콘의 폭의 기능과 같이 플라스틱 시트(100 um 두께) 상의 PDMS 층에서 실리콘의 아일랜드 (300 nm 두께)로 구성된 2차원 시스템을 위한 표면 변형의 비율을 보여준다.
- [0466] 상기 결과는 격기 효율성이 증가하는 PDMS 두께 및 감소하는 실리콘 폭과 함께 증가한다는 것을 나타낸다.
- [0467] 여기서 연구된 회로와 비교될 만한 파라미터에서, 상기 격리는 변형의 ~100X 감소를 제공하고, 이에 따라 심지어 초경박 레이아웃 또는 중립 기계 평면 설계 없이도 극단적인 구부림 각을 가능하게 한다. 구불구불한 메쉬와 함께 이러한 전략의 사용은 동시에 높은 구부림성 및 펼쳐짐성을 달성하도록 한다.
- [0468] 도 75C-E에는 펴고 접을 수 있는 장치(390)의 개략적인 모습이 도시되어 있다. 도 75C는 분리층(410)의 수용 표면(415) 상의 전자 장치(420)의 상부 모습을 도시한다.
- [0469] 상기 전자 장치(420)는 상대적으로 경질 장치 아일랜드에 대응하는 접착 영역(430) 및 휘어진 상호연결부에 대응하는 분리층(410)으로의 비-접착 영역(440)을 가진다. 상기 분리층(410)은 수용 기관(400)에 의해 지지된다.
- [0470] 도 75D는 장치(390)의 상부 표면 상에 봉지층(450)을 도시하고 도 75E는 전체 장치를 캡슐화하는 봉지층(450)을 도시한다.
- [0471] 도 76A는 PDMS의 얇은 시트 상의 회로를 구부리는 것에 의해 생성된 공간적으로 비균일 변형으로 구불구불한 형상의 반응을 보여준다.

- [0472] 다양한 레벨의 변형을 측면 (SEM 이미지의 우측 하단) 및 접혀진 코너 (SEM 이미지의 우측 상단)에서 볼 수 있다.
- [0473] 상술한 바와 같은 접착 층 및 얇고 낮은 계수의 변형 격리로 회로를 접착하는 것은 기관의 다양한 종류의 집적을 위한 전략을 제공한다.
- [0474] 도 76B의 상단 및 좌측 하단 프레임은 섬유질 상의 CMOS 인버터의 개략적인 다이어그램 및 이미지를 보여준다. 여기서 "섬유질"은 일반적으로 개별적 섬유를 포함하는 예를 들어 피복 직물 또는 천과 같이 직물로부터 만들어진 재료를 의미한다. 삼도는 확대된 모습을 보여준다.
- [0475] 심지어 5 mm 이하의 반경으로 구부러진 후에도 인버터는 도 76B의 우측 하단 프레임에 도시된 바와 같이 잘 기능한다.
- [0476] 이러한 종류의 전자 직물이 실 또는 섬유들에 기반한 대체물들 보다 더 나은 성능을 제공함에 불구하고, 잠재적으로는 제조상의 매력적인 직조 모드를 제공하지는 않는다.
- [0477] 도 76B의 예의 주요 특징은 PDMS 접착 층인 화학적 접착 없이도 강한 접착을 허용하기 위해 직물의 섬유들 안으로 침투한다는 것이고, 이에 따라 화학적 성질에 의존하지 않는 집적 루트를 제공할 수 있다.
- [0478] 도 77의 좌측 프레임은 비닐(도 77A), 가죽(도 77B), 종이(도 77C) 및 직물(도 77D)의 표면의 SEM 이미지를 도시한다. 공극률 및 거칠기는 도 77A로부터 도 77D로 증가한다.
- [0479] 도 77의 우측 프레임은 열경화 및 딥 캐스팅 공정에서 PDMS로 코팅된 후 각 표면의 개집 단면을 보여준다. (PDMS의 대략적인 두께는 비닐, 가죽, 종이 및 직물 각각의 경우 ~200um, ~100um, ~80um 및 ~50um 이다.)
- [0480] 표면 공극률이 증가함에 따라, 기관으로 PDMS의 침투 각도는 증가하고, 이에 따라 접착의 강도가 증가한다. 비닐의 경우, PDMS 코팅은 동결 파괴에 의해 얇은 조각으로 갈라진다.(도 77A)
- [0481] 직물의 경우, 섬유 구성성분들이 PDMS에 의해 완전하게 내장되고, 도 77D에 깨어짐 표면에 의해 나타난 바와 같이 강한 접착을 유발한다.
- [0482] 가죽 및 종이의 중간 경우는 강한 접착을 보여준다. 가죽 및 비닐 상에 CMOS 회로의 예에서와 같이, 본 발명의 발명자들은 도 78A에 도시된 바와 같이 글러브의 핑거 조인트에서 인버터의 집적된 배열을 이러한 재료들로 만들었다. 여기서, 핑거를 움직이는 것은 전자적 특성에 주목할 만한 변화 없이 회로가 스트레칭하고 박리되는 결과를 유발한다.
- [0483] 기계적 약화를 실험하기 위해, 본 발명의 발명자들은 1000 번의 동작 실험을 통하여 도 78C에 도시된 바와 같이 테스트의 다양한 단계에서 전기적 특성을 측정하였다.
- [0484] 이러한 예에서, 인버터 문턱 전압 및 이득은 각각  $\pm 0.4V$  및  $\pm 10\%$  보다 작게 변화하였다. 종이 상의 유사한 회로들은 스마트 카드 및 관련된 기술에서의 어플리케이션 뿐만 아니라 종이에 기반한 미세유체 진단 장치로 기능을 추가하기 위한 능력에서 또한 흥미로웠다.
- [0485] 도 79A 및 도 79B의 좌측 프레임은 종이 상의 CMOS 인버터 및 구부러짐, 접힘 테스트와 같이 일련의 특성들을 보여준다. 이러한 변형의 1000 사이클과 관련된 전기적 측정값은 안정성, 고성능 작동 (인버터 문턱 전압 변화  $< \pm 0.4V$ , 이득 변화  $< \pm 10\%$ ) 및 심지어 접히거나 극단적으로 구부러지는 좋은 특성(도 79A의 하단, 우측 프레임)을 나타낸다.
- [0486] 종이 상의 전자장치에 이러한 접근은 유기 전자장치 재료에서 또는 유기물의 직접적인 얇은 필름 증착에 의존하는 것들의 대체를 제공한다.
- [0487] 요약하자면, 비동일 평면의 구불구불한 메쉬 디자인 및 얇고 낮은 계수의 변형 분리층을 가지는 회로의 통합된 사용은 다양한 기관 상에서 예를 들어 실리콘 CMOS 집적 회로와 같은 구성요소 및 고성능 전자장치의 집적을 가능하게 한다.
- [0488] 상기 장치는 주위 장벽 및 기계적 보호를 제공하기 위해 상부 봉지층을 선택적으로 가진다. 이러한 층들이 적당한 변형률(50% 이하)에서 비동일 평면의 상호연결부의 중요한 메커니즘에 영향을 미치지 않음에 불구하고, 그것들은 높은 변형률(50% 이상)에서 중요한 영향력을 가질 수 있다.

- [0489] 낮은 계수를 가지는 도포제는 동작에 최대한 자유, 그러므로 최고 레벨의 늘어남을 제공한다.
- [0490] PDMS의 낮은 계수 (~0.5 MPa) 공식은, 접착/분리층(1~2 MPa)을 위해 사용되어진 것과 같이 PDMS의 경우에 대응하여, 예를 들어 60%로부터 120%까지 늘어남의 범위를 증가시킨다. 또한, 도포제 재료의 최적화 및 구불구불한 형상은 또 다른 개선점을 산출한다.
- [0491] **실험:** 초경박의 펠 수 있는 CMOS 회로의 제조
- [0492] 본 실시예에서, CMOS 회로의 제조는 n-타입 SOI 웨이퍼(SOITEC, France)로부터 유도된 단결정 실리콘 나노리본 (260nm)의 도핑과 함께 시작된다.
- [0493] p-well, pMOS 및 nMOS 소스/드레인 도핑은 확산 마스크와 붕소(B153, Filmtronics, USA) 및 인(P509, Filmtronics, USA) SOD(spin-on-dopant)로써 PECVD에 의해 형성된 SiO<sub>2</sub>의 300 nm 층을 사용하는 것에 의해 달성되어진다.
- [0494] 확산은 p-well, p-type 소스/드레인 및 n-타입 소스/드레인 도핑의 경우 550~600°C, 1000~1050°C 및 950~1000°C에서 수행되었다.
- [0495] 도핑된 리본은 BOX(buried oxide)를 에칭하는 것에 의해 SOI 웨이퍼로부터 박리되었고, 그 다음 순차적으로 희생 층으로써 PMMA(~100nm) 및 초경박 기판으로써 PI(~1.2 um)의 얇은 층으로 코팅된 캐리어 웨이퍼 상으로 전사 인쇄된다.
- [0496] 격리된 nMOS 및 pMOS 소스/드레인 패턴은 포토리소그래피 및 RIE(reactive ion etching)로 범위가 한정된다.
- [0497] PECVD SiO<sub>2</sub> (~40nm)의 패턴된 에칭은 게이트 유전체, 전자 빔을 이용한 진공증착에 의해 증착되고 회로를 위한 범위가 한정된 소스, 드레인, 게이트 및 상호연결부를 습식 에칭하는 것에 의해 패터닝된 금속 전극(Cr/Au, ~5nm/~1500nm)을 제공한다.
- [0498] 회로의 상부에 PI(1.2 um)를 스핀 코팅하는 것은 보호 층을 형성하고 또한 쉽게 부서지는 전자 재료 근처에 증립 기계 평면을 위치시킨다.
- [0499] 마지막으로, 패터닝된 마스트를 통하여 산소 RIE로 구불구불한 브리지의 범위를 한정하였다.
- [0500] 전사 인쇄: 아세톤으로 PMMA 층을 용해하는 것은 캐리어 웨이퍼로부터 회로를 박리한다. PDMS 스탬프 상으로 회로를 리프팅하는 것은 정렬된 웨도우 마스크를 통하여 전자 빔을 이용한 진공증착에 의해 아일랜드에서 Cr/SiO<sub>2</sub> (3nm/30nm)의 얇은 층의 증착을 위해 그것들의 후면을 노출시킨다. UV/오존으로 노출에 의해 활성화된 (종이, 비닐, 가죽 또는 직물) PDMS 코팅 표면로 회로를 전사 인쇄하는 것은 아일랜드의 위치에서 -O-Si-O-접착을 유발하였다.
- [0501] 수명 테스트 및 측정값: 글러브를 위한 수명 테스트가 CMOS 회로가 전사된 글러브를 입힌 후에 조인트의 반복적 구부림을 통하여 수행되었다. 전기적 측정은 일련의 수명 테스트 후에 프로브 스테이션(Agilent, 4155C)을 사용하여 수행된다.
- [0502] 종이의 경우 수명은 유사하였다. 종이는 반복적으로 접히거나 펴졌고 프로브 스테이션을 가지고 측정되었다.
- [0503] 실시예 5의 참조문헌
- [0504] [1] R. H. Reuss, et al. *Proc. IEEE*. **2005**, *93*, 1239.
- [0505] [2] S. P. Lacour, J. Jones, S. Wagner, T. Li, Z. Suo, *Proc. IEEE*. **2005**, *93*, 1459.
- [0506] [3] A. C. Siegel, et al., *Adv. Mater.* **2007**, *19*,727.
- [0507] [4] T. Someya, et al. *IEEE Trans. Electron Devices*, **2005**, *52*, 2502.

- [0508] [5] T. Someya, et al., *Proc. Natl. Acad. Sci. USA* **2005**, *102*, 12321.
- [0509] [6] J. A. Rogers, et al., *Proc. Natl. Acad. Sci. USA* **2001**, *9*, 4835.
- [0510] [7] S. R. Forrest, *Nature* **2004**, *428*, 911.
- [0511] [8] T.-W. Lee et al., *Proc. Natl. Acad. Sci. USA* **2004**, *101*, 429.
- [0512] [9] C. Kocabas, et al., *Proc. Natl. Acad. Sci. U.S.A.* **2008**, *105*, 1405.
- [0513] [10] A. J. Baca, et al., *Angew. Chem. Int. Ed.* **2008**, *47*, 2.
- [0514] [11] Q. Cao, et al., *Nature* **2008**, *454*, 495.
- [0515] [12] A. K. Geim, K. S. Novoselov, *Nature Mater.* **2007**, *6*, 183.
- [0516] [13] D. V. Talapin, C. B. Murray, *Science* **2005**, *310*, 86.
- [0517] [14] W. Lu, P. Xie, C. M. Lieber, *IEEE Trans. Electron Devices* **2008**, *55*, 2859.
- [0518] [15] D.-H. Kim, et al., *Proc. Natl. Acad. Sci. USA* **2008**, *105*, 18675.
- [0519] [16] T. Sekitani, et al., *Science* **2008**, *321*, 1468.
- [0520] [17] N. Bowden, et al., *Nature* **1998**, *393*, 146.
- [0521] [18] D.Y. Khang, H. Jiang, Y. Huang, J. A. Rogers, *Science* **2006**, *311*, 208.
- [0522] [19] D.-H. Kim, et al., *Science* **2008**, *320*, 507.
- [0523] [20] H. C. Ko, et al., *Nature* **2008**, *454*, 748.
- [0524] [21] D. -H. Kim, et al., *IEEE Electron Device Lett.* **2008**, *20*, 73.
- [0525] [22] K. Teshimaa, et al. , *Surf. Coat. Technol.* **2001**, *146-147*, 451.
- [0526] [23] R. Morent, et al., *J. Phys. D: Appl. Phys.* **2007**, *40*, 7392.
- [0527] [24] R. F. Service, *Science* **2003**, *301*, 909.
- [0528] [25] Y. Ouyang, W. J. Chappell, *IEEE Trans. Antennas Propag.* **2008**, *56*, 381.
- [0529] [26] J. B. Lee, V. Subramanian, *IEEE Trans. Electron Devices* **2005**, *52*, 269.
- [0530] [27] M. Hamedi, R. Forchheimer, O. Inganas, *Nat. Mater.* **2007**, *6*, 357.
- [0531] [28] P. J. Bracher, M. Gupta, G. M. Whitesides, *Adv. Mater.* **2009**, *21*, 445.
- [0532] [29] P. Andersson, et al., *Adv. Mater.* **2002**, *14*, 1460.
- [0533] [30] F. Eder, et al., *Appl. Phys. Lett.* **2004**, *84*, 2673.
- [0534] [31] Y.-H. Kim, D.-G. Moon, J.-I. Han, *IEEE Electron Device Lett.*, **2004**, *25*, 702.
- [0535] [32] L. Yang, et al., *IEEE Trans. Microw. Theory Tech.* **2007**, *55*, 2894.
- [0536] [33] D. T. Britton, et al., *Thin Solid Films* **2006**, *501*, 79.
- [0537] [34] Y. M. Chung, et al., *Surf. Coat. Technol.* **2003**, *171*, 65.
- [0538] [35] E. Fortunato, et al., *IEEE Electron Device Lett.* **2008**, *29*, 988.
- [0539] 실시예 6: 비동일 평면 메쉬 설계 및 탄성 전사 구성요소의 사용에 의한 곡선으로 이루어진 실리콘 전자장치
- [0540] 전자장치 및 광전자장치의 모든 주요한 형상은 경질의 평평한 표면, 잘 부서지는 반도체 웨이퍼 또는 유리 기판 상의 평면 레이아웃에 배타적으로 존재한다.
- [0541] 주로 2차원인 이러한 구성은 존재하는 많은 어플리케이션을 위해 잘 적용됨에 불구하고, 그것들은 미래의 시스

템과 본질적으로 양립불가능하다.

- [0542] 예를 들어, 그것들은 건강 진단 또는 치료의 목적을 위하여 예를 들어 인체의 부분과 같은 생물학적 시스템의 부드러운 곡선 표면과 자연스럽게 통합될 수 없다.
- [0543] 또한, 그것들은 종종 생물학적으로 영감을 받은 많은 관심을 끄는 예를 들어 실시예 2에 나타난 기능적 반구형 전자 눈 카메라 분야에서 최근 제시되고 제안된 것과 같은 평면이 아닌 장치 설계의 사용을 불가능하게 한다.
- [0544] 이와 같이 곡선 시스템은 에칭 및 도핑과 같은 절차들을 진행하는 확립된 장치의 내재하는 2차원 특성 때문에 확립된 기술들을 사용하여 쉽게 달성되어질 수 없다.
- [0545] 이번 실시예는 존재하는 기술들의 전통적으로 중간 정도로 적용된 형식을 가지고 2차원 레이아웃에서 처음 제작된 실리콘 기반의 회로를 곡선을 가지는 형상의 넓은 범위를 가지는 표면 상으로 등각으로 짜기 위하여 개선된 개념을 제공한다.
- [0546] 다양한 클래스의 기관 상에 시스템을 짜기 위하여 이론적 메커니즘 모델의 정량적 비교가 근본적이 과학 원리를 나타내고 미래의 작업을 위하여 공학적 설계 방법을 제공한다.
- [0547] 도 80은 골프공 표면 상의 회로의 등각 집적의 경우를 위한 전략의 개념을 도시하였고, 여기서 본 발명의 발명자들은 일반적으로 타겟 기관으로써 언급한다.
- [0548] 여기서 보고된 절차의 일반화를 나타내는 상기 접근은 타겟 기관의 표면 형상을 가지는 얇은 탄성 멤브레인의 형성과 함께 개시된다.
- [0549] 이러한 공정은 먼저 캐스팅 및 고체, 탄성 레플리카를 형성하기 위하여 타겟 기관에 대항하여 엘라스토머(PDMS, Dow Corning)로 액체 고분자의 부피양을 열경화하는 과정을 포함한다.
- [0550] 특화된 기계 지그에 의해 정렬된 구성 하에서 고정된 동안 타겟 기관(또는 이러한 기관으로부터 형성된 도함수 표면) 및 레플리카 사이의 좁은 간격에서 PDMS의 얇은 층을 캐스팅하고 경화하는 것은 도 80에 도시된 바와 같이 가장자리 주위에 집적된 상대적으로 두꺼운(~5 mm) 림을 가지는 얇은 (본 실시예에서 설명된 실험을 위해서는 100 um 이하) 멤브레인을 형성한다.
- [0551] 본 발명의 발명자들은 이러한 구조를 탄성 전사 구성요소 또는 스탬프라고 부른다. 열개의 함께 작동되는 패들 암의 동작을 통하여 림에서 방사형 방향 힘을 작용하는 팽팽하게 늘리는 과정 하에서 실장하는 단계는 순 신장 변형 하에서 모든 지점들을 위치시키는 방식으로 드럼 모양의 평평한 형상 안으로 PDMS의 얇고 구조화된 멤브레인을 잡아당긴다.
- [0552] 다음 단계에서, 팽팽하게 늘려진 전사 구성요소는 강하게 접촉되지는 않으나 예를 들어 SOI 기관의 웨이퍼와 같은 실리콘 웨이퍼의 표면에 의해 지지되는 별도로 제조된 실리콘 회로 메쉬와 접촉한다.
- [0553] 여기서 설명된 실험에서, 상기 회로는 폴리이미드의 좁은 스트립에 의해 상호연결된 실리콘 아일랜드의 배열을 형성하기 위해 SOI(silicon-on-insulator; Soitec) 웨이퍼를 사용하는 전통적인 평면 처리 방법과 함께 형성된다.
- [0554] HF를 가지는 SOI 웨이퍼의 박스(두께 400 nm)를 제거하는 단계는 실리콘 아일랜드들 사이에 존재하는 폴리이미드 포스트 구조에 의해 지지되는 기저의 실리콘 웨이퍼 위로 약간 올려진(~400 nm) 상부 회로 층을 남겨둔다.
- [0555] 웨이퍼로부터 뒤쪽 전사 구성요소를 박리하는 단계는 반데르 발스 작용을 통하여 비파괴적인 방식 하에서 PDMS 멤브레인의 평평하고 부드러운 표면 상으로 상기 회로를 들어올린다.
- [0556] 장력 스테이지를 박리하는 단계는 PDMS가 회로 메쉬를 이동시키는 원래 형상으로 탄성적으로 돌아가도록 유발한다.
- [0557] 이러한 과정 동안, 실리콘 아일랜드들은 중요한 압축 변형(방사형의 미리 확장된 변형)에 대응하는 크기를 가지고 서로 가깝게 이동한다. 얇은 폴리이미드 상호연결부 라인들은 비동일 평면의 호 형상을 채용하기 위해 PDMS로부터 얇은 조각으로 갈라지는 것에 의해 이러한 동작을 수용한다.
- [0558] 이러한 과정은 회로 메쉬의 실리콘 영역에서 중요한 변형을 유발함이 없이 평평한 레이아웃으로부터 곡선 레이

아우트로 기하학적 변형을 달성하게 한다.

- [0559] 마지막 단계에서, 이러한 구조는 정렬되고, 타겟 기관으로 전사되며, 립 구조는 제거된다. 여기서 실험에 및 이론적 분석은 이러한 전력의 본질적인 상세사항을 드러낸다.
- [0560] 도 81은 실리콘의 사각형 아일랜드의 정사각형 배열(100um×100um ; 피치 250um; 두께 700 nm) 및 폴리이미드 상호연결부(폭: 30 um, 길이: 150 um; 두께 1.4 um)로 구성되는 메쉬와 함께 도 80의 시스템에 대응하는 실험에의 결과를 요약한다.
- [0561] 도 81a 및 81b는 골프공의 형상으로 전사 구성요소 상의 메쉬의 광학 이미지를 도시한다. 지름 수 센티미터 이하의 골프공의 형상을 가지는 이러한 특정 유형에서 움푹한 곳들은 지름 및 깊이를 각각 3.6 mm 이하 및 0.26 mm 이하로 가진다.
- [0562] 실리콘 아일랜드 및 폴리이미드 상호연결부의 두께는 각각 700 nm 이하 및 1.4 um 이하이다.
- [0563] SEM(Scanning electron microscope) 이미지는 메쉬의 압축이 약 20% 또는 그 이상의 범위에서 상기 구조를 가로지르는 위치에 의존하는 형상의 변형과 관련되었다는 것을 드러낸다. 상기 이미지는 쌓여진 회로에서 현저하게 높은 레벨의 단일성을 나타낸다.
- [0564] 임의의 상대적으로 드문 경우에서, 본 발명의 발명자들은 최대로 휘어진 영역 (예를 들어 움푹한 곳의 립 에지) 상에 위치한 실리콘 아일랜드의 몇몇 조각이 부분적으로 떼어짐을 발견하였다.
- [0565] 본 발명의 발명자들은 시스템의 어느 곳에서고 폴리이미드 또는 실리콘에서 부서짐이나 또는 다른 관련된 기계적 파괴를 발견하지는 못하였다. 전체 메커니즘 분석은 부가적인 통찰을 제공한다.
- [0566] 도 81e 실리콘 아일랜드의 최대 변형률 는 파괴 변형률(1%) 이하인 0.09%하는 것으로 보여준다.
- [0567] 폴리이미드에서 최대 변형률은 메쉬의 최대 압축 영역에서 실리콘 아일랜드의 에지 근처에서 발생하고, 이러한 재료에서 파괴 변형률의 상당히 아래인 2% 이하이다.
- [0568] 도 82는 원뿔형 기관 상으로 같은 유형의 회로 메쉬를 싸는 예를 보여준다.
- [0569] 도 82a 및 82b는 각각의 전사 구성요소 및 타겟 기관 상의 구조를 보여준다.
- [0570] 이러한 시스템의 주목할만 한 특징은 도 82c 내지 82e의 SEM 이미지에 도시되어 있고, 그것은 폴리이미드 상호연결부가 원뿔의 꼭대기 근처의 PDMS 표면 상에 평평하게 남아있는 것이다. (도 82d)
- [0571] 상기 호 형상은 중심으로부터 끝단으로 곡률이 증가한다.(도 82e)
- [0572] 따라서, 여기서 제공되는 방법 및 장치는 예를 들어 상호연결부 크기, 주기성, 또는 전사 구성요소 표면 또는 기저의 스탬프의 위치와 함께 선택적으로 변화하는 곡률 형상과 같은 공간적으로 변화하거나 불균일한 상호연결부 형상을 가진다. 이러한 행동은 그것의 신장된 평평한 멤브레인 형상의 전사 구성요소에서 신장 변형의 부분적 레벨과 정량적으로 관련될 수 있다.
- [0573] PDMS 전사 구성요소와 함께 집적된 것과 같이 폴리이미드 상호연결부가 없는 회로 시스템의 전체 유한 요소 모델링은 도 82f에 나타난다. 이러한 결과는 실리콘에서 최대 변형률이 0.08% 이하이고, 중심 방향으로의 거리와 함께 감소하는 것을 보여준다.
- [0574] 이러한 행동은 확장된 평평한 PDMS의 주변에서 신장성 변형률이 중심 영역에서의 변형률 보다 더 크다는 것을 나타낸다. 중심에서의 실리콘 아일랜드에서 보다 큰 변형은 주로 이러한 영역에서 2mm 이하의 작은 곡률 반경과 관련된 변형을 구부리는 것에 기인한다.
- [0575] 대조적으로, PDMS에서 최대 변형률은 12.6%이고, 실리콘에서의 변형률보다 더욱 크지만, 여전히 PDMS의 파괴 변형률 150% 보다 아래이다.
- [0576] 도 83a는 기본적인 메커니즘의 부가적인 특징을 보여주기 위해 피라미드형 기관의 경우를 보여준다. 원뿔형 표

면을 가짐에 따라, 상기 폴리이미드 상호연결부는 이러한 영역에서 무시해도 좋은 신장성 변형 때문에 중심에서 버클링이 없거나 아주 작다는 것을 보여준다. 그러나, 상기 피라미드의 끝단 주변에서 비동일 평면의 상호연결부의 다른 구성이 관찰된다.

- [0577] 특히, 외곽 형상은 도 83b 및 도 83c의 SEM 이미지에서 강조된 바와 같이 하나 뿐만 아니라 다수의 버클링을 포함한다.
- [0578] 이와 같은 행동으로의 통찰을 얻기 위하여, 본 발명의 발명자들은 폴리이미드 상호연결부 및 실리콘 아일랜드의 1차원 배열을 준비하고, 단일축의 장력 하에서 얇은 조각의 PDMS로 그것들을 전사하며, 그 다음에 장력을 풀어 주는 동안 구성요소들을 모니터한다.
- [0579] 상대적으로 낮은 변형에서, 상기 상호연결부는 중요한 버클링이 없다는 것으로 보여준다. 다수의 버클링은 중간 변형 범위를 넘어 나타난다.
- [0580] 넓은 범위의 버클링은 작은 다수의 과장들인 함께 융합되는 것과 같이 발생된다. 기계적인 모델링은 이와 같은 다른 버클링 행동들이 폴리이미드 및 PDMS 사이의 부착 에너지 및 압축 스트레스 정도와 관련된다는 것을 보여준다.
- [0581] 피라미드형의 경우에, 압력이 가해지지 않은 지름으로부터 압력이 가해진 지름으로 상기 림을 확장하는 것에 의해 전사 구성요소를 방사형으로 신장하는 것은 전사 구성요소를 평평하게 하고 원주의 변형 보다 훨씬 작은 수직 방향 변형을 생성한다.
- [0582] 상술한 버클링 메커니즘과 결합되는 이러한 효과 관찰된 상기 행동들을 설명할 수 있도록 한다. 이전에 설명한 예들이 양의 곡률을 가지는 표면과 관련됨에 불구하고, 음의 곡률을 가지는 것들 역시 가능하다.
- [0583] 예시에서와 같이, 본 발명의 발명자들은 파라볼라 안테나와 같은 형상에서 전사 구성요소를 생성하였고, 불룩한 (도 84a 내지 84c) 및 오목한(도 84d 내지 84f) 모두로 실리콘 회로 메쉬 기관을 전사하였다. 보다 복잡하고 불규칙한 형상 또한 가능하다.
- [0584] 도 85a 및 도 85b는 심장의 해부학적으로 정확한 플라스틱 모델로 구성되는 타켓 기관의 예를 보여준다. 이전의 예들에서와 같이, 여기서 상호연결부는 예를 들어 버클링이 없으며 약간 변형된 영역(도 85c 및 85d의 붉은색 사각 영역)에서 여러 과장들 그리고 많이 변형된 영역(도 85c 및 85e의 파란색 사각 영역)에서 하나의 팝-업 기관과 여러 과장들과 같은 다른 영역들 하에서 다양한 구성들을 채용한다.
- [0585] 기본적인 메커니즘은 이와 같이 다양하게 버클링된 구성들의 공간적인 분배를 자연스럽게 결정한다.
- [0586] 이러한 결과들의 중요한 면은 메커니즘이 단지 능동 장치, 아일랜드 상의 다른 관련된 구조 및 상호연결하는 브리지의 부재 또는 존재에 약간만 의존한다는 것이다.
- [0587] 전기적 기능성 시스템의 달성 가능성을 명확하게 보여주기 위하여, 본 발명의 발명자들은 폴리이미드에 캡슐화된 두 개의 금속 라인을 가지는 회로 메쉬로 구성되는 테스트 구조를 구성하였고 바이어스를 통하여 도핑된 실리콘 아일랜드에 접촉시켰다.
- [0588] 사이에 끼워진 폴리이미드 레이아웃은 중립 기계 평면의 근처에서, 상기 구조의 기하학적 중심 근처에 금속 층을 위치시키고, 이에 따라 버클링 변형에 기인한 금속에서의 중대한 변형을 방지할 수 있다.
- [0589] 인(P509, Filmtronics)으로 과하게 n-도핑된 실리콘은 전기 테스트를 활용하기 위하여 금속과 실리콘 사이에 옴 접촉(ohmic contact)을 가능하게 한다.
- [0590] 이 경우에 메쉬는 검침을 위하여 수성된 끝단들을 가지는 실리콘 아일랜드의 28×28 배열로 구성된다. 여기서, 바이어스의 전체 숫자는 1404이고 (각 픽셀은 두 개의 바이어스를 가진다) 금속 라인의 전체 숫자는 702이다. 라인들은 배열을 따라 한 방향으로 연속적이며 다른 방향을 따라 불연속적이다.
- [0591] 도 86b는 핑거팁의 플라스틱 모델 상으로 싸여진 메쉬의 끝단에서 이러한 두 방향으로 검침하는 것과 관련된 대표적 전류-전압 곡선을 도시한다. (도 86c 내지 86h 참조)
- [0592] 연속적인 금속 라인 (도 86a의 붉은색 화살표)을 따른 전기적 연결의 전체 비율은 99.9% 이었고 (702 중 701),

바이어스 및 불연속적인 금속 라인 (도 86a의 검정 화살표)을 따른 전기적 연결은 100% 이었다. (1404 중 1404)

[0593] 이러한 결과는 다양한 어플리케이션을 위하여 설계되어질 수 있는 능동 전자장치로 이러한 접근들의 확장성과 관련된 명백한 증거를 제공한다. (도 86 시뮬레이션 참조)

[0594] 다양하고 복잡한 기판을 등각으로 깎기 위한 예시가 이하에 요약되어 있다:

[0595] **웨이퍼 준비하기**

[0596] 1. 110℃에서 5분 건조하는 것에 따라 아세톤, IPA 및 물로로 SOI 웨이퍼 칩(Soitec, 실리콘 상부의 두께: 700 nm, SiO<sub>2</sub>의 두께 400 nm)를 세척

[0597] **Si 격리**

[0598] 2. 1.5분 동안 HMDS 전처리

[0599] 3. 크롬 마스크(Karl Suss MJB3)를 통한 365 nm 광학 리소그래프와 함께 포토레지스트(PR; Clariant AZ5214, 3000 rpm, 30 초) 패터닝 및 수분을 기반으로 한 현상액(MIF 327)에서 현상

[0600] 4. RIE(Reactive ion etching: PlasmaTherm 790 Series, 50 mTorr, 40 sccm SF<sub>6</sub>, 100 W, 3 분)

[0601] 5. PR 제거 후, 아세톤으로 칩의 세척 및 피라냐 처리(piranha treatment, 3분 동안 ~3:1 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>)

[0602] 6. HF 처리(Fisher, 49% 농도, 2초)

[0603] **희생 산화 층으로 전처리**

[0604] 7. 100 nm SiO<sub>2</sub>의 PECVD(PlasmaTherm SLR)

[0605] 8. PR 패터닝 및 5분 동안 110 °C에서 포스트-베이킹

[0606] 9. BOE 30초 -> 아세톤, 피라냐 세척 3분 -> BOE 1초

[0607] **PI 증착 및 산화 박스 층 에칭을 위한 구멍 패터닝**

[0608] 10. 폴리이미드(PI, poly(pyromellitic dianhydride-co-4,4'-oxydianiline) amic acid solution, Sigma-Aldrich, 4000 rpm, 60초)로 스핀 코팅

[0609] 11. 3분 동안 100℃ 및 10분 동안 150℃ 에서 어닐링

[0610] 12. N<sub>2</sub> 대기 하에서 2시간 동안 250℃에서 어닐링

[0611] 13. 5분 동안 UVO(Ultraviolet ozone) 처리

[0612] 14. SiO<sub>2</sub>(150 nm) PECVD

[0613] 15. 1.5분 HMDS

[0614] 16. PR 패터닝

[0615] 17. RIE(50 mTorr, 40/1.2 sccm CF<sub>4</sub>/O<sub>2</sub>, 150 W, 8 분)

[0616] 18. PR 제거 후, 아세톤으로 칩 세척

[0617] 19. PI 제거를 위해 RIE(50 mTorr, 20 sccm O<sub>2</sub>, 150 W, 13 분)

[0618] 20. RIE(50 mTorr, 40 sccm SF<sub>6</sub>, 100 W, 3 분)

- [0619] 21. BOE 35초
  
- [0620] **PI 격리**
- [0621] 22. UVO 처리, 5분
- [0622] 23. PECVD SiO<sub>2</sub>(150 nm)
- [0623] 24. HMDS 1.5분
- [0624] 25. PR 패터닝
- [0625] 26. RIE (50 mTorr, 40/1.2 sccm CF<sub>4</sub>/O<sub>2</sub>, 150 W, 8 분)
- [0626] 27. 아세톤 워싱
- [0627] 28. RIE (50 mTorr, 20 sccm O<sub>2</sub>, 150 W, 16 분)
  
- [0628] **박스 에칭 및 전사**
- [0629] 29. PR 코팅
- [0630] 30. 칩의 코너 분쇄 -> 아세톤 워싱
- [0631] 31. HF 에칭(20 min)
- [0632] 32. 칩 및 PDMS 몰드를 위해 5분간 UVO
- [0633] 33. 전사 => 기판 위에 싸기
- [0634] 특히, 도너 SOI 웨이퍼로부터 PDMS 필름으로 실리콘-폴리이미드 상호연결 배열의 전사를 위한 과정은 아래와 같다.
- [0635] a) SiO<sub>2</sub> 층의 아래부분을 약간 잘라내기 위해 절연체 층을 습식 에칭
- [0636] b) 잘린 아래부분 및 Si 배치를 위해 남겨진 영역을 채우기 위해 폴리이미드를 스핀 캐스팅하고 이후의 d) 단계에서 수행될 습식 에칭에서 약화되는 것을 방지
- [0637] c) SiO<sub>2</sub> 박스-층을 에칭하기 위해 그것들을 통하여 HF 에칭을 가능하게 하기 위한 구멍들을 패터닝
- [0638] d) HF 용해액 안으로 칩을 담그는 것에 의해 SiO<sub>2</sub> 층을 에칭
- [0639] e) 좁은 압축성 상호연결부를 가지도록 하기 위해 폴리이미드 층을 패터닝
- [0640] f) 표면 양쪽 사이의 부착을 증가시키기 위해 PI 및 PDMS의 양쪽 표면을 UV에 노출
  
- [0641] 골프공과 같이 복잡한 형상을 가진 표면 상에 전자 장치를 가지는 사용을 위한 몰딩 과정은 예를 들어 아래의 같은 과정을 포함한다:
- [0642] a) 1일 동안 실온에서 골프공에 대항하여 액체 PDMS 용해액을 캐스팅 및 경화
- [0643] b) RIE 시스템에서 산소 플라즈마(O<sub>2</sub> 30 mTorr, 20 SCCM, 30 W, 15 초)로 레플리카 표면의 노출하고 또 다른 몰딩 과정에서 PDMS가 쉽게 떨어지기 위해 물에 그것을 담금
- [0644] 다음으로, 원래의 타겟 표면(또는 PDMS 레플리카) 및 반대되는 PDMS 레플리카 사이의 간격에 PDMS를 몰딩한다.
- [0645] 몰딩 단계는 원하는 임의의 범위 예를 들어 약 100 um 및 1.5 mm 사이의 두께 이상으로 PDMS의 두께를 쉽게 제어할 수 있다.
- [0646] 상기 몰딩은 종래에 알려진 임의의 수단들, 예를 들어 강철 몰딩 스테이지를 가지는 레플리카를 실장하고; 1일 동안 실온에서 레플리카들 사이의 간격 사이에 PDMS 고분자 액체를 채우거나 경화하는 것: 최종 PDMS 몰드로부

터 바닥 및 측벽을 분리하는 것; 립을 가지는 얇은 골프공 모양의 PDMS 필름으로부터 양 레플리카 모두를 제거하는 것에 의해 발생될 수 있다.

- [0647] 여기서 제시된 스테이지와 같은 방사형 신장 스테이지는 PDMS 립의 2차원 방사형 확장을 제공하고, 이에 따라 실질적으로 평평한 형상을 가지는 접촉 표면을 가지는 형상으로 전사 구성요소를 변형할 수 있다.
- [0648] 그 다음, 상기 전사 구성요소는 평평 도너 기관과 등각으로 접촉되어질 수 있다. 상기 도너 기관은 예를 들어 실리콘 아일랜드 배열 및 폴리이미드 상호연결부와 같이 원하는 임의의 전자 장치를 지지할 수 있다.
- [0649] 여기서, 전사 구성요소의 형성된 표면이 사용되어질 수 있다. 예를 들어, 립의 내부에 임의의 두께를 가지는 립을 가지는 얇은 원뿔 또는 피라미드는 200 um에서 500 um 사이에서 변화할 수 있다.
- [0650] 또한, 바람직한 전사 구성요소는, 원하는 바람직한 버클링 형상 및 버클링 형상의 공간적 분배를 획득하기 위하여 다른 임의의 컷수, 예를 들어 약 20 mm의 응력이 없는 상태 내지 약 30 mm의 확장된 상태에서 내부 지름을 포함할 수 있다.
- [0651] 실시예 7: 펼 수 있는 실리콘 집적 회로를 위한 최적 재료 및 구조 설계
- [0652] 본 실시예는 비동일 평면의 메쉬 레이아웃 및 탄성 기관을 사용하는 펼 수 있는 실리콘 집적 회로에서 설계 전략 및 재료들을 연구한다.
- [0653] 구체적인 실험적이고 이론적 연구는 이러한 시스템들의 다양하고 핵심이 되는 중요한 면들을 드러낸다.
- [0654] 본 실시예의 결과들은 예를 들어 심지어 90% (예를 들어 99% 보다 더 좋은 변형 격리) 이하의 적용된 변형에서 0.2% 이하의 최대 주요 변형률을 나타내는 회로를 위한 최적화된 메커니즘 및 재료들을 제시한다.
- [0655] CMOS인버터 및 NMOS 미분기를 포함하는 간단한 회로는 이러한 설계들을 입증하는 예들을 제공한다. 이러한 결과들은 높은 변형으로의 선형적 탄성 반응을 가지는 고성능 전자장치로의 실질적인 해결책을 제시하고, 전통적인 웨이퍼 기반 기술과 쉽게 접근할 수 없는 다양한 어플리케이션을 위해 적당하다.
- [0656] 고무 밴드의 기계적 특성을 제외한 전통적인 웨이퍼 기반 장치들의 성능을 제공하는 전기 회로는 많은 새로운 어플리케이션, 즉 건강 검사 또는 치료 목적을 위해 인체와 함께 전자장치의 근접 집적과 관련하여 가장 두드러진 어플리케이션에 적용될 가능성이 열려 있다는 가능성을 가지고 있다.
- [0657] 몇몇 흥미로운 계획들이 1% 이하의 압축 또는 신장 변형까지 회복될 수 있는 기계적 탄성 반응에 의해 정의된 것과 같이 펼 수 있는 회로를 달성하기 위해 제시되어 오고 있다.
- [0658] 나노리본의 형상 또는 나노멤브레인의 형상에서, 단결정 반도체 나노물질을 이용하는 계획들은 달성되어질 수 있는 훌륭한 전기적 특성 때문에 매력적이다.
- [0659] 가장 진보한 전략들은, 100% 까지 스트레칭을 제공하기 위해 좋은 피로 특성 및 선형적이고 가역적 반응을 위해 작은 재료 변형을 유지하는 방식으로, 비동일 평면의 브리지를 가지고 (기계적 및/또는 전기적으로) 상호연결된 초경박 장치 (예를 들어 트랜지스터)의 방사성 물질을 위한 단결정 크리스탈 실리콘을 사용하는 것이다.
- [0660] 이 실시예에서, 본 발명의 발명자들은 브리지 설계 및 캡슐화의 면들을 포함하는 다양한 주요 설계 변수들에 대해 이론적 및 실험적으로 연구하였다.
- [0661] 결과들은 기본이 되는 재료 및 마이크로/나노 메커니즘의 중요한 특징을 드러내고 펼 수 있는 전자장치 기술을 위한 설계 전략들을 제공한다.
- [0662] 펼 수 있는 실리콘 회로를 위한 공정은 최근 보고된 것들과 유사하다.
- [0663] 도 87은 비동일 평면의 구불구불한 브리지 구조를 사용하는 시스템의 전체 모습을 제공한다. 순서는 도 87(a)에 도시된 바와 같이 절연 웨이퍼 상의 n-타입 실리콘과 함께 시작되는 고온 도핑 과정들과 함께 개시된다.
- [0664] 이러한 방식으로 준비된 도핑된 실리콘 나노멤브레인은 폴리 (methylmethacrylate) / 폴리이미드 (PMMA/PI, 100nm / 1.2um, MicroChem/Sigma Aldrich, USA)로 코팅된 캐리어 웨이퍼 상으로 전사 인쇄되고, 그 다음 초경박 회로를 산출하기 위해 진행된다. (도 87(b) 참조)

- [0665] 또 다른 전사 인쇄 단계는 정렬된 웨도우 마스크를 통해 Cr/SiO<sub>2</sub> (3nm/30nm) 의 선택적 영역 증착을 위해 그것들의 뒤쪽 표면에 노출되도록 하기 위하여 캐리어 웨이퍼로부터 초경박 회로를 들어올린다.(도 87(c) 참조)
- [0666] 접촉 및 저온 가열을 하자마자 강력한 공유결합 접착이 회로 상에서 PDMS 및 SiO<sub>2</sub> 사이에 형성된다. (도 87(d))
- [0667] PDMS 및 회로의 다른 영역 사이의 상대적으로 약한 반데르 발스 접착과 함께 이러한 접착은 변형의 브리지 브리지 구조에서 제어된 비동일 평면의 레이아웃을 유발한다. (도 87(d))
- [0668] 이러한 시스템에 대한 조직적인 연구는 도 88에 도시된 바와 같이 브리지 설계 상의 메커니즘의 의존성의 조사와 함께 시작된다.
- [0669] 도 88(a)는 30% 이하의 변형률 값을 가지고 형성된 작은 크기 및 넓은 폭의 표준형 구불구불한 구조를 도시한다. 90% 이하로 적용된 변형률 하에서, 브리지는 적용된 변형이 기설정된 변형과 동일 할 때 그것의 원래 레이아웃에 도달하기 위하여 부서짐 없이도 더 높은 변형에서 또 다른 변형에 의해 따라오는 형상을 변화시킨다.
- [0670] 기설정된 변형보다 큰 변형을 수용하기 위한 이러한 능력은 이전에 연구된 직선 브리지 설계에는 없는 것이다.
- [0671] 그럼에도 불구하고, 도 88a의 구불구불한 레이아웃은 이러한 영역들에서 기계적인 파괴의 가능성을 암시하는 최대 곡률점의 코너 근처에서 응력의 집중을 보여준다. 전체 3차원 유한 요소 모델링(FEM) 분석(도 88(a)에서 하단 프레임)은 90% 이하로 적용된 변형률 하에 1.7% 이하의 최대 주요 변형률을 나타낸다.
- [0672] 구불구불한 구조의 과장으로 크기의 비율을 증가시키는 도 88(b)에 도시된 다른 디자인은 똑같이 적용된 변형률 하에서 1.26% 까지 최대 주요 변형률을 감소시킨다.
- [0673] 과장으로 크기의 비율을 유지하는 동안 구불구불한 형상 하에 감긴 숫자가 증가하고 라인들의 폭이 감소되는 것에 의해 이러한 전략을 확장하는 것은 같은 조건 하에서 극적으로 0.13% 까지 최대 주요 변형률을 감소시킨다.
- [0674] 설계의 이러한 순서는 브리지 또는 상호연결부 설계(예를 들어 크기, 주파수, 두께, 폭)가 이러한 시스템의 마이크로 메커니즘에 영향을 줄 수 있는 범위를 나타낸다.
- [0675] 또 다른 중용한 설계 특징은 이와 같은 구불구불한 형상의 비동일 평면 레이아웃이다. 상기 효과들을 나타내기 위하여, 도 89는 도 88(c)의 브리지 디자인을 가지는 동일 평면 시스템 (회로의 후면 상의 균일하게 증착된 Cr/SiO<sub>2</sub> 부착 층으로 형성됨) 및 비동일 평면 시스템을 비교한다.
- [0676] 비교의 간결함을 위하여, 양쪽 경우 모두 기설정된 변형은 제로로 하였으며, 도 89(a) 및 89(b)의 좌측 프레임에 도시된 변형 되지 않은 경우에서 동일한 변형 분배를 유발하였다.
- [0677] 60% 이하로 적용된 신장 변형률을 가지는, 동일 평면 하의 브리지들은 PDMS 기관으로의 부착 때문에 주로 평평하게 남게된다.
- [0678] 대조적으로, 비동일 평면 브리지의 경우는 PDMS로부터 얇은 조각으로 갈라지고 보다 효과적으로 적용된 변형을 수용하기 위하여 평면으로부터 이동한다.
- [0679] 도 89(c)는 SEM 이미지에서 이러한 행동을 도시한다. 좌측 프레임 (60° 기울어진)은 적용된 변형 없이 시스템에 대응하고; 중앙(60° 기울어진) 및 우측(위에서 바라본 것) 프레임은 60%의 변형률을 위한 것이다.
- [0680] 동일 평면의 브리지의 경우, 강제된 동작은 비동일 평면의 디자인과 비교할 때 회로에서 보다 큰 최대 변형을 유발한다.
- [0681] 결과적으로, 도 89(a) 및 (b)의 중앙 및 우측 이미지에 도시된 바와 같이 동일 평면상의 시스템과 비교할 때 동 장치 영역 내부에 깨짐과 주름이 나타난다.
- [0682] FEM 분석에 의해 계산되는 최대 주된 변형과 변형 분배는 이러한 실험적 관측을 확인한다. (도 89(a) 및 (b)의 하단 프레임)
- [0683] 동일 평면 및 비동일 평면 구조를 위하여 60% 이하의 적용된 변형률 하에서 최대 주요 변형률은 각각 6.8% 및 0.177% 이다. 도 89(d)는 적용되는 변형 전 후에 비동일 평면 구조를 위한 FEM 시뮬레이션 결과의 기울어진 모습을 도시한다.

- [0684] 이와 같이 간단하고 최적화된 디자인의 값을 보여주기 위하여, 본 발명의 발명자들은 CMOS 인버터 및 NMOS 미분기를 만들었다.
- [0685] 상기 인버터는 130 만크의 이득을 보여주었고, nMOS 및 pMOS 장치에서 각각  $\sim 400 \text{ cm}^2/\text{Vs}$  및  $\sim 160 \text{ cm}^2/\text{Vs}$ 의 이동도를 그리고 양 타입의 장치에서  $s > 10^5$ 의 온/오프 비율(도 90(c))을 보여주었던 개별 트랜지스터(도 90(b))의 별개 측정값 상에 기반한 PSPICE시뮬레이션 결과와 일치하였다.
- [0686] 상기 인버터는 각각 pMOS에서 13 um 및 300 um, nMOS에서 13 um 및 100 um의 채널 길이와 폭을 가지는 장치들을 포함하였다.
- [0687] 큰 적용 변형 하에서, 전기적 특성은 브리지의 변형 격리된 효과 때문에 약간의 변화를 보여주었다.
- [0688] 예를 들어, 도 90(b)의 우측 프레임에 도시된 바와 같이 x 및 y 방향에서 90% 이하의 변형률을 위하여 0.5V 이하 만큼 인버터 문턱 전압이 변화하였다.
- [0689] 피로도를 검사하기 위하여, 본 발명의 발명자들은 x 방향에서 2000번 0%에서 90% 이하까지 변형을 가해보았다. (도 90(b))
- [0690] 상기 인버터는 이러한 테스트를 통하여 특성(이득 및 문턱전압)의 작은 변화를 보여주었다. 이러한 비동일 평면의 구불구불한 브리지 전략은 인버터 뿐만 아니라 보다 복잡한 회로에도 적용될 수 있다.
- [0691] 도 90(d)는 예를 들어 다른 곳에서 보고된 특성 및 디자인을 가지는 미분기를 보여준다. 본 발명의 발명자들은 비동일 평면의 구불구불한 브리지에 의해 연결된 아일랜드를 형성하는 각 4 부분으로 상기 회로를 분리하였다.
- [0692] 도 90d는 x 및 y 방향에서 스트레칭하는 확대된 이미지를 보여준다. 전기적 측정값들은 상기 증폭기가 이러한 변형 하에서도 잘 작동한다는 것을 입증한다.
- [0693] 0%, 50% x 방향 스트레칭을 위한 이득 및 50% y 방향 스트레칭을 위한 이득은 각각 1.19, 1.17 및 1.16 이었으며, 유사한 전략들이 보다 복잡한 시스템에 적용될 수 있다.
- [0694] 실제적으로, 특히 비동일 평면의 장치 설계를 위하여, 전자 회로들은 바람직하게는 기계적인 주변 격리를 제공하기 위하여 상부 표면 봉지층을 가진다.
- [0695] 이러한 목적을 위한 이상적인 재료는 상기 기관과 너무 비유사하지 않은 특성을 가지는 엘라스토머이다. 기계적인 반응을 최적화하기 위하여, 이러한 층은 예를 들어 비동일 평면의 구불구불한 브리지와 같은 상호 연결부의 자유로운 변형의 최소의 제한을 제공해야만 한다.
- [0696] 이러한 제한의 범위는 봉지층의 계수에 의하여 많은 부분에서 제어될 수 있다. 재료들 및 메커니즘 측면으로 통찰을 제공하기 위하여, 그리고 분석적 계산을 가능하게 하기 위하여 본 발명의 발명자들은 직선 브리지 구조의 행동들에 대해 연구하였다.
- [0697] 대응하는 비동일 평면 회로를 제고한 후, 본 발명의 발명자들은 상부에 다른 계수(1.8 MPa and 0.1 MPa)를 가지는 PDMS를 캐스팅하고 경화하는 것에 의해 시스템을 캡슐화하였다.(도 91(a) 참조)
- [0698] 이러한 계수를 가지는 PDMS를 준비하기 위하여, 본 발명의 발명자들은 각각 10:1 및 45:1의 비율에서 고분자 및 경화제를 혼합하였다.
- [0699] 스트레칭 특성을 실험하기 위하여, 본 발명의 발명자들은 광학 현미경에 의해 관측될 수 있는 파괴 점까지 신장 변형을 적용하였다. (도 91(a))
- [0700] 60% 이하의 미리 설정된 변형률에서, 캡슐화되지 않은 인버터는 깨어짐 없이 59% 까지 스트레칭될 수 있다.
- [0701] 대조적으로, 유사한 인버터는 1.8의 MPa 계수 0.1의 MPa 계수를 가지는 PDMS를 사용하여 캡슐화하였고, 최대 스트레칭은 도 91(b)에 도시된 바와 같이 각각 55% 및 49%로 감소하였다.
- [0702] 이러한 변화를 확인하기 위하여, 본 발명의 발명자들은 분석적 모델을 발전시켰고, 수치상 FEM 시뮬레이션을 수행하였다.
- [0703] 상기 모델은 각 시스템의 스트레칭 동안 비동일 평면의 브리지 크기를 측정하는 것 및 FEM에 의해 획득된 것들

과 측정된 값을 비교하는 것에 의해 입증되어 진다.

- [0704] 이러한 이론적인 모델링에 기반한 상기 결과들은 도 91(c)의 좌측 하단 프레임 및 상부 프레임에 도시된 바와 같이 잘 일치됨을 보여주고, 본 발명의 발명자들은 최대 스트레칭 정도를 추정할 수 있다.
- [0705] 본 발명의 발명자들이 높은 계수의 캡슐화를 사용함에 따라 스트레칭 정도는 감소하고, 이것은 실험결과들 (도 91(c)의 우측 하단 프레임) 및 FEM 시뮬레이션과 일치한다.
- [0706] 도 91(d)는 각각의 캡슐화 경우의 스트레칭이 없는 경우 및 최대 스트레칭 하에서 FEM 시뮬레이션 결과를 보여 준다. 도 91의 간단한 경우로부터 관찰에 기반하여, 본 발명의 발명자들은 1.8 MPa 및 0.1 MPa의 계수를 가지는 PDMS 및 경화되지 않은 액체 PDMS의 경우의 반응을 검사하기 위하여 비동일 평면의 구불구불한 브리지로 PDMS 캡슐화를 적용한다. 1.8 MPa 경우에서, 큰 적용 변형률(110% 이하, 도 92(a)의 우측 프레임)은 균열을 야기하지만 작은 변형률(50% 이하, 도 92(a)의 중앙 프레임)은 그러하지 아니하다.
- [0707] 0.1 MPa의 PDMS가 110% 이하의 변형률하에서 눈에 보이는 균열을 피할 수 있음에 불구하고, 상기 이미지는 FEM 시뮬레이션(도 92(b)의 하단 프레임)에 의해 나타나는 바와 같이 장치 아일랜드에서 심한 주름을 가지는 증대한 변형을 암시한다.
- [0708] 더욱 개선되도록 하기 위하여, 경화제 없이 PDMS로 경화되지 않은 액체 고분자는 상기 회로 레벨 및 추가적인 얇은 PDMS의 상부 고체 봉지층 사이에 주입되어질 수 있다.
- [0709] 기대되었던 바와 마찬가지로, 액체 PDMS는 도 92(c)에 도시된 바와 같이 심지어 120% 이하의 외부 변형률 후에 도 본질적인 메커니즘상의 무시할만한 영향들을 가진다.
- [0710] 이러한 세 가지 경우들은 FEM 시뮬레이션을 통한 이론적인 분석에 의하여 지지된다. 필수 있는 실리콘 집적 회로의 기계적 특성과 관련하여 재료 및 설계 레이아웃의 주요 효과의 시스템적 연구는 이러한 시스템 설계를 위한 기본적인 전략을 제시한다. 상대적으로 간단한 전략을 사용하는 경우, 100%의 범위에서 적용된 변형률로 가역적이며 기계적 탄성 반응 및 훌륭한 전기적 능력을 가지는 회로가 가능하다.
- [0711] 회로에 전기적 특성의 설계를 위해 현재 사용되는 것과 개념적으로 유사한 자동화된 설계 툴의 사용을 포함하는 보다 정교한 접근법들의 경우, 원하는 어플리케이션을 위하여 재료 선택 및 기계적 특성을 최적화할 수 있다.
- [0712] 필수 있는 실리콘 CMOS 회로 제조에서 첫 번째 단계는 소스, 드레인 및 도핑을 위하여 높은 온도의 확산이다. 이러한 예에서, 260nm의 상부 실리콘을 가지는 n-타입 SOI 웨이퍼(SOITEC, France) 및 1 um 박스가 실리콘 나노리본/멤브레인으로 제공되었다.
- [0713] 마더 웨이퍼가 n-타입이기 때문에, p-타입 웰이 먼저 형성되고, 도펀트(BI53, Filmtronics, USA) 상의 스펀으로부터 붕소가, 550~600 °C 로 확산되는 p-웰이 수행되었다.
- [0714] 다음으로, 각각 pMOS(1000~1050 °C) 및 nMOS (950~1000 °C)를 위한 성공적인 고온 소스 및 드레인 도핑이 붕소 (BI53, Filmtronics, USA) 및 인 (P509, Filmtronics, USA) SOD와 함께 수행되었다.
- [0715] 고온 도핑 후에, 도핑된 나노리본/멤브레인은 PMMA (~100nm) 및 PI (~1.2um)의 층으로 코팅된 캐리어 웨이퍼 상으로 전사 인쇄되었다.
- [0716] PECVE SiO<sub>2</sub> (~40nm) 를 사용하는 게이트 유전체의 증착 및 전자 빔을 이용한 진공증착 을 사용하는 금속 전극 (Cr/Au, ~5nm/~1500nm)에 이어 RIE에 의한 각 트랜지스터의 전기적 격리로 CMOS 회로를 형성하였다.
- [0717] 보호 층으로서 PI(1.2um)의 얇은 층을 코팅하는 것 및 RIE에 의해 부분으로 나뉘어진 메쉬 구조를 형성하는 것에 의해 장치 제조가 완성되었다. 기저의 PMMA 층을 용하는 것에 의해 초경박 회로를 박리하였다.
- [0718] 선택적인 SiO<sub>2</sub> 의 증착을 위하여 능동 장치 영역 상으로 변형된 PDMS로 그것들을 들어올리는 것은 그것들의 뒤쪽 표면을 노출하였다. PDMS의 변형된 기관으로 전사하는 것으로 상기 과정을 완성하였다.
- [0719] 전기적 측정값들은 프루브 스테이션(Agilent, 4155C)을 사용하여 수행되었다. 피로 사이클을 포함하는 기계적 테스트는 맞춤형 벤딩 및 스트레칭 스테이지를 가지고 수행하였다.
- [0720] 기관, 스탬프 및 봉지층을 위하여, PDMS 키트(Sylgard 184, Dow Corning, USA)가 사용되었다. 적당한 비율을

가지는 PDMS 고분자 및 경화제를 혼합한 후, 상기 샘플들을 혼합 동안 생성된 거품을 제거하기 위해 1시간 동안 가스를 제거하였다. 경화는 2시간 동안 70℃에서 오븐 안에서 수행되었다.

[0721] 실시예 6의 참고문헌:

- [0722] [1] R. H. Reuss, et al., Proc. IEEE. 2005, 93, 1239.
- [0723] [2] D.-H. Kim et al., Science 2008, 320, 507.
- [0724] [3] T. Someya et al., Proc. Natl. Acad. Sci. USA 2005, 102, 12321.
- [0725] [4] T. Sekitani, et al., Science 2008, 321, 1468.
- [0726] [5] S. P. Lacour, et al., Proc. IEEE. 2005, 93, 1459.
- [0727] [6] D.-H. Kim, et al. Adv. Mater. 2008, 20, 1.
- [0728] [7] H. C. Ko, et al., Nature 2008, 454, 748.
- [0729] [8] D.-H. Kim, et al., Proc. Natl. Acad. Sci. USA 2008, 105, 18675.
- [0730] [9] X. Lu, Y. Xia, Nature Nanotechnology 2006, 1, 161.
- [0731] [10] Xin Q. et al., Biomaterials 2005, 26, 3123.

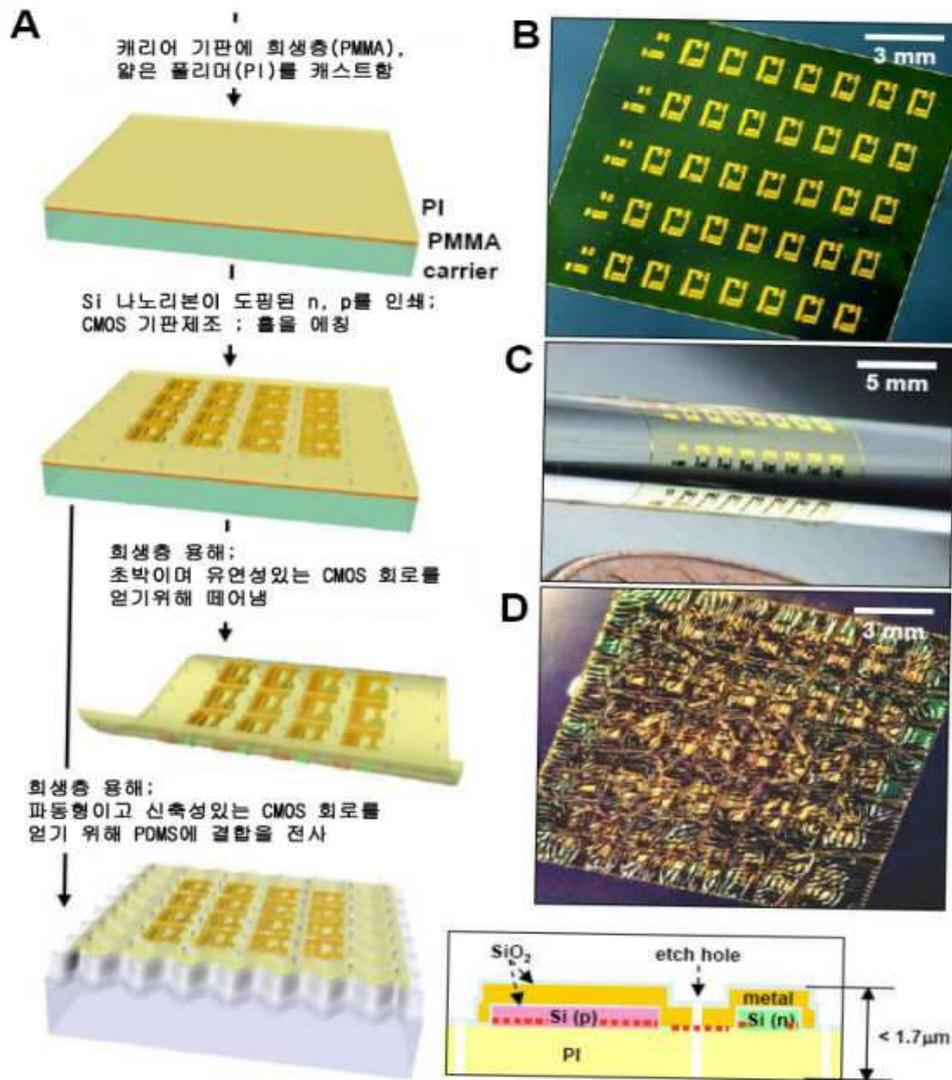
[0732] **참고문헌 및 그 변형들에 의한 통합과 관련된 설명**

- [0733] 예를 들어 등록되거나 특허결정된 특허; 출원 공개된 특허; 특허 아닌 문헌 또는 다른 자료들과 같은 모든 참고 문헌들은 그것들 전체가 여기서는 참고문헌으로 통합되어질 수 있으나, 본 어플리케이션에서 개시된 것과 적어도 부분적으로는 일치하지 않을 수도 있다.
- [0734] 여기서 채용된 용어 및 표현들은 발명의 상세한 설명의 용어로서 사용되거나 의미를 제한하는 것은 아니며, 설명되거나 도시된 특징과의 임의의 등가물의 용어나 표현을 제한할 의도는 없다. 다만, 본 발명의 청구된 범위 안에서 다양한 변형들이 가능하다.
- [0735] 그러므로, 본 발명이 몇몇 바람직한 실시예들에 의해 개시되었음에 불구하고 대표적 실시예 및 선택적 특징들, 여기서 개시된 개념의 수정 및 변화가 종래 기술등에 의해 재분류될 수 있다고 이해되어야 하며, 이러한 수정 및 변화들은 첨부된 청구항에 의해 정의된 바와 같이 본 발명의 범위 안에서 고려될 수 있다.
- [0736] 여기서 제공된 특정 실시예는 본 발명의 유용한 실시예의 예시이고, 본 발명이 장치들, 장치 구성요소들, 방법 단계들의 많은 변화들을 사용하여 수행되어질 수 있다는 것은 명백하다.
- [0737] 본 발명의 방법 및 상기 방법을 위해 유용한 장치는 다양한 선택적 구성 및 절차 구성요소 및 단계들을 포함할 수 있다.
- [0738] 여기서 치환된 구성요소들이 개시될 때, 그것은 그룹 멤버들의 임의의 이성질체, 경상 이성질체, 및 부분입체 이성질체를 포함하는 모든 하위 그룹 및 그룹의 모든 개별 멤버들이 각각 개시된 것으로 이해되어야 한다.
- [0739] 여기서 마쿠쉬 그룹 또는 다른 그룹들이 사용될 때, 상기 그룹의 모든 개별 멤버들 및 모든 조합과 상기 그룹의 가능한 하위 조합은 개시된 범위 안에서 개별적으로 포함된다.
- [0740] 여기서 혼합물의 특정 이성질체, 경상 이성질체 또는 부분입체 이성질체가 구체적으로 명시되지 않는 방법으로 혼합물이 설명될 때, 예를 들어 화학명 또는 화학식으로 설명될 때, 이러한 설명은 개별적 또는 임의의 조합으로 개시된 혼합물의 각 이성질체 및 경상 이성질체를 포함하는 것으로 의도된다.
- [0741] 부가적으로, 다른 설명이 필요하지 않은 경우, 여기서 개시된 혼합물의 모든 동위원소 변이체는 개시된 바에 의해 망라되는 것으로 의도된다.
- [0742] 예를 들어, 분자에서 임의의 하나 이상의 수소는 중수소 또는 삼중수소로 대체될 수 있는 것으로 이해될 수 있다.

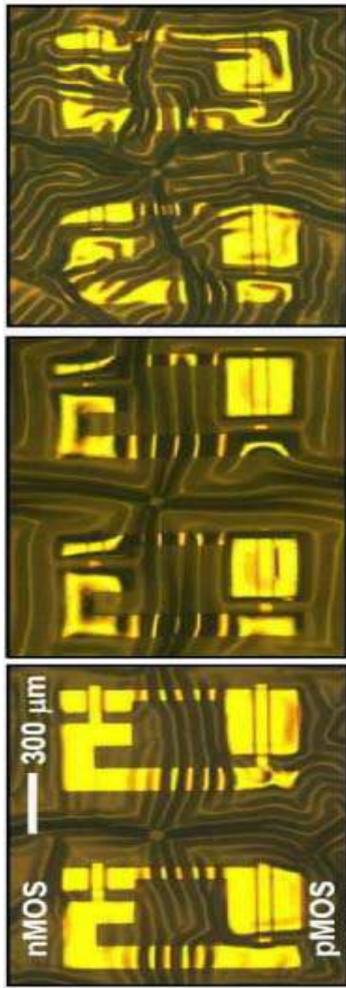
- [0743] 분자의 동위원소 변이체는 일반적으로 분자의 순도분석 및 분자 또는 그것의 사용과 관련된 화학적 및 생물학적 연구에서 기준으로 유용하다.
- [0744] 이와 같은 동위원소 변이체를 만드는 방법은 이미 알려져 있다. 혼합물의 구체적 이름은 본 발명이 속하는 기술 분야의 일반적 기술을 가진자가 같은 혼합물을 다르게 부를 수도 있는 점에서 임의의 예시로서 불려질 수 있다.
- [0745] 여기서 개시되거나 설명된 구성요소의 모든 화학식 또는 조합은 달리 언급되지 않더라도 본 발명을 실시하기 위하여 사용되어질 수 있다.
- [0746] 예를 들어 온도, 시간 또는 농도 등과 같은 범위가 상세하게 주어질 때 뿐만 아니라 상기 범위들에 포함된 모든 개별 값들은 개시된 범위에 포함되는 것으로 의도된다.
- [0747] 여기서 개시된 설명에 포함된 임의의 하위 범위 또는 범위 내의 개별 값들은 여기서 청구된 청구항에는 나타나지 않을 수 있다고 이해되어질 수 있다.
- [0748] 본 명세서에서 언급된 모든 특허 및 공보는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자의 레벨에서 설명되었다.
- [0749] 여기서 언급된 참고문헌들은 그것들의 공개 또는 제출 일자로서 기술의 상태를 지시하기 위해 그것의 전부 안에서 참고문헌에 의해 통합되고, 필요한 경우 종래 기술에서의 특정 실시예를 배제하기 위해 여기서 이러한 정보가 채용될 수 있다.
- [0750] 예를 들어, 중요한 조합이 청구된 때, 가능한 개시가 여기어 언급된 참고문헌에 제공되는 혼합물을 포함하는 출원인의 종래 기술에서 활용가능하고 알려진 혼합물은 여기서 청구된 중요한 조합에 포함되어진 것으로 의도되지 않는 것으로 이해될 수 있다.
- [0751] 예를 들어 미국 특허 출원 11/981,380, 11/851,182(공개번호 2008/0157235), 11/115,954 (공개번호 2005/0238967), 11/145,574, 11/145,542(공개번호 2006/0038182), 11/675,659 (공개번호 2008/0055581), 11/465,317, 11/423,287 (공개번호 2006/0286785), 11/423,192, 11/001,689 (공개번호2006/0286488) and 11/421,654 (공개번호 2007/0032089) 는 본 발명의 설명과 일치되지 않은 범위로 참고문헌에 의해 통합되어진다.
- [0752] 여기서 사용된 바와 같이, '포함한다'는 의미는 부가적이고 언급되지 않는 구성요소가 방법의 단계들을 배제하는 의미로 사용되는 것은 아니다.
- [0753] 여기서 사용된 바와 같이, '구성된다'는 의미는 청구항 구성요소에서 설명되지 않은 임의의 구성요소나, 단계들을 배제한다는 의미이다.
- [0754] 여기서 사용된 바와 같이, '실질적으로 구성된다'의 의미는 청구항의 기본적인 신규한 특징들에 실질적으로 영향을 미치지 않는 단계 또는 재료들을 배제한다는 의미이다.
- [0755] 여기서 임의의 용어 "포함한다", "실질적으로 구성된다" 및 "구성된다"라는 각각의 예시는 다른 두용어 중 하나로 대체될 수도 있다.
- [0756] 여기서 적당하게 도식적으로 설명된 본 발명은 임의의 구성요소 또는 구성요소들, 상세하게 개시되지 않은 제한 또는 제한들이 없는 경우에도 실현될 수 있다.
- [0757] 본 발명이 속하는 기술분야에서 통상의 지식을 가진자는 시작 재료들, 생물학적 재료들, 시약들, 합성 방법들, 정제 방법들, 분석 방법들, 순도분석 방법들 및 상세하게 예시된 것과 다른 생물학적 방법들이 과도한 실험에 기대지 않고도 본 발명의 실시예에 채용될 수 있다는 것을 알 수 있을 것이다.
- [0758] 임의의 재료들 및 방법들의 기능적으로 등가인 알려진 모든 기술들은 본 발명에서 포함되어질 수 있다.

도면

도면1

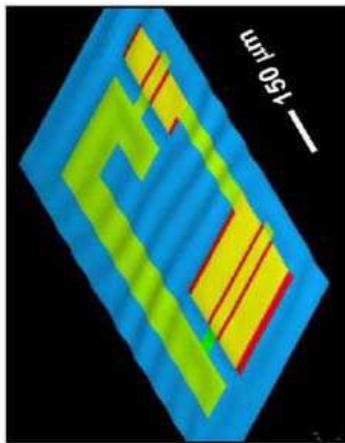
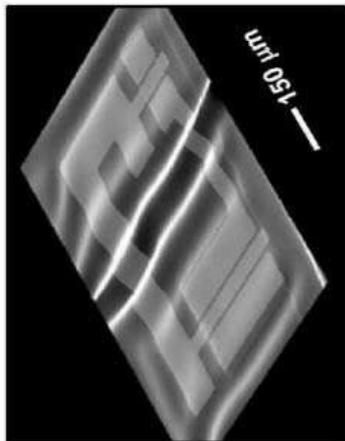


도면2a



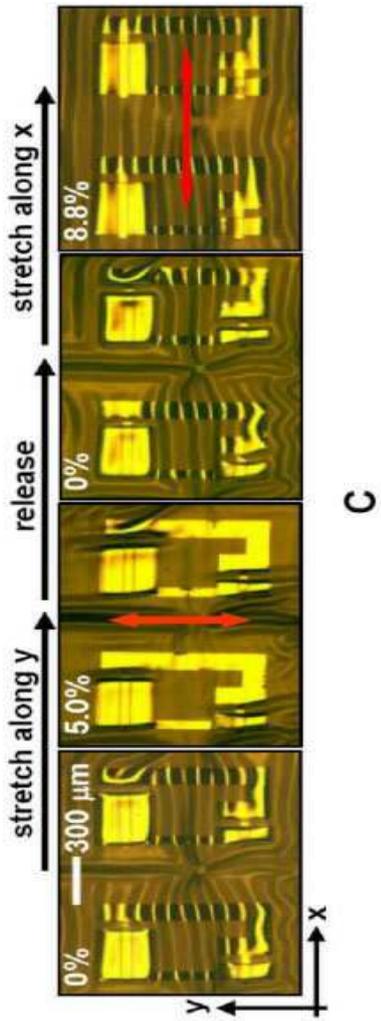
A

도면2b

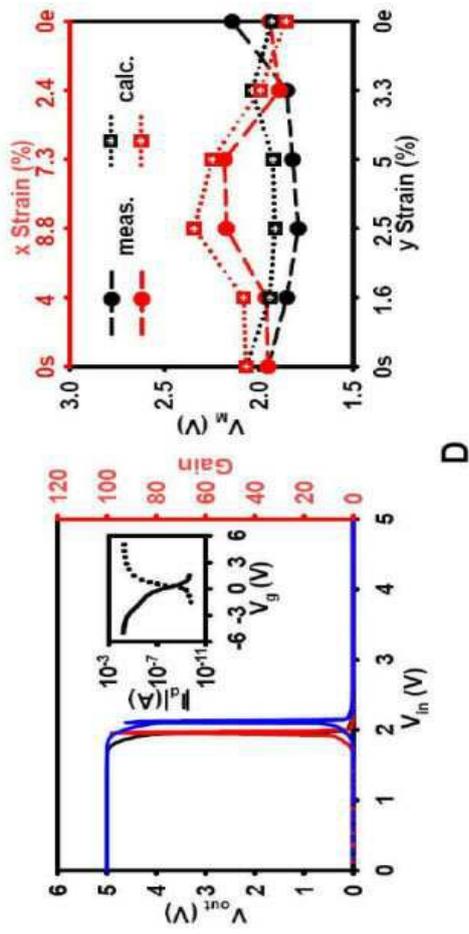


B

도면2c

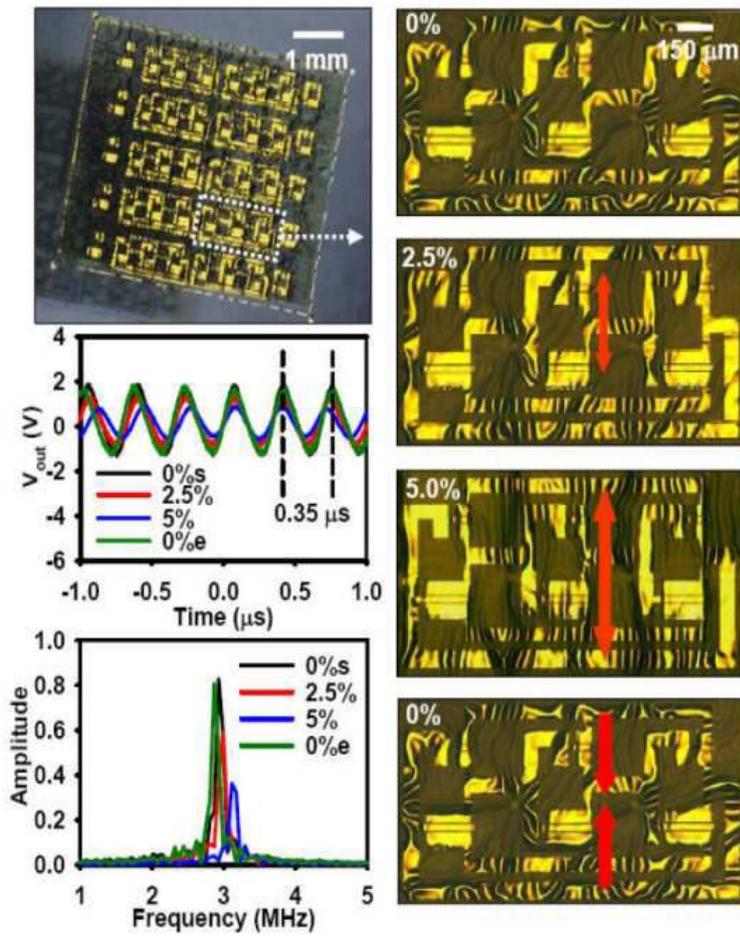


도면2d



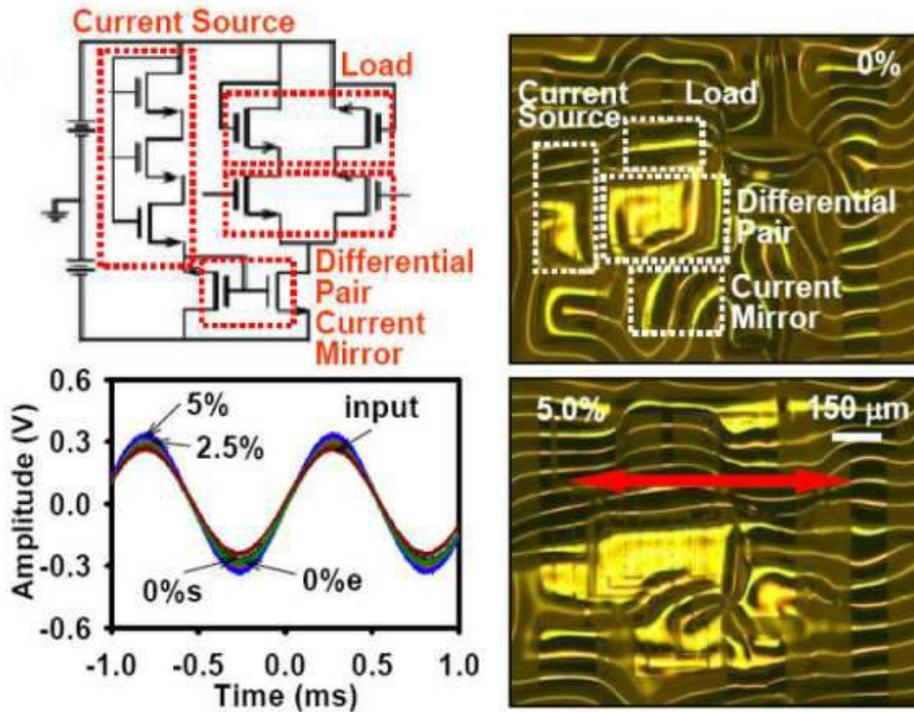
D

도면3a



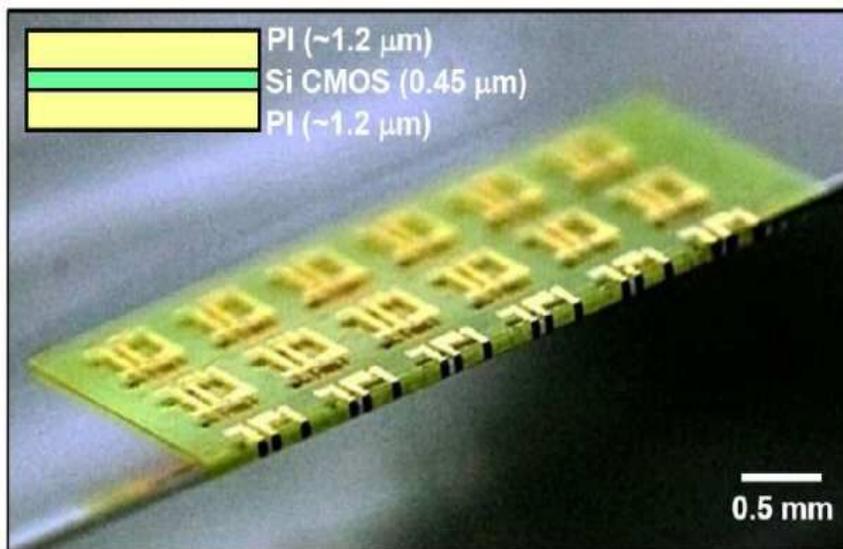
A

도면3b



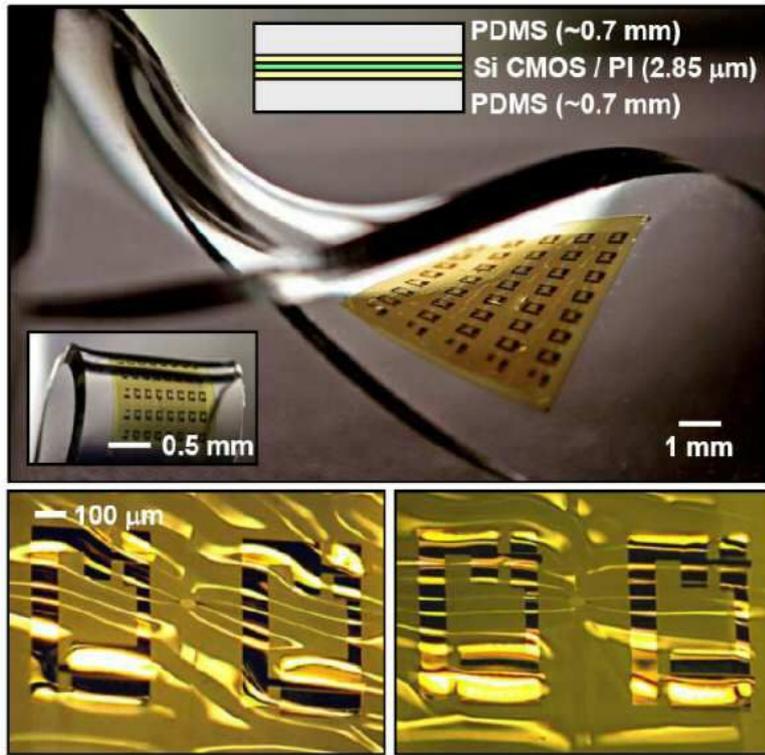
B

도면4a



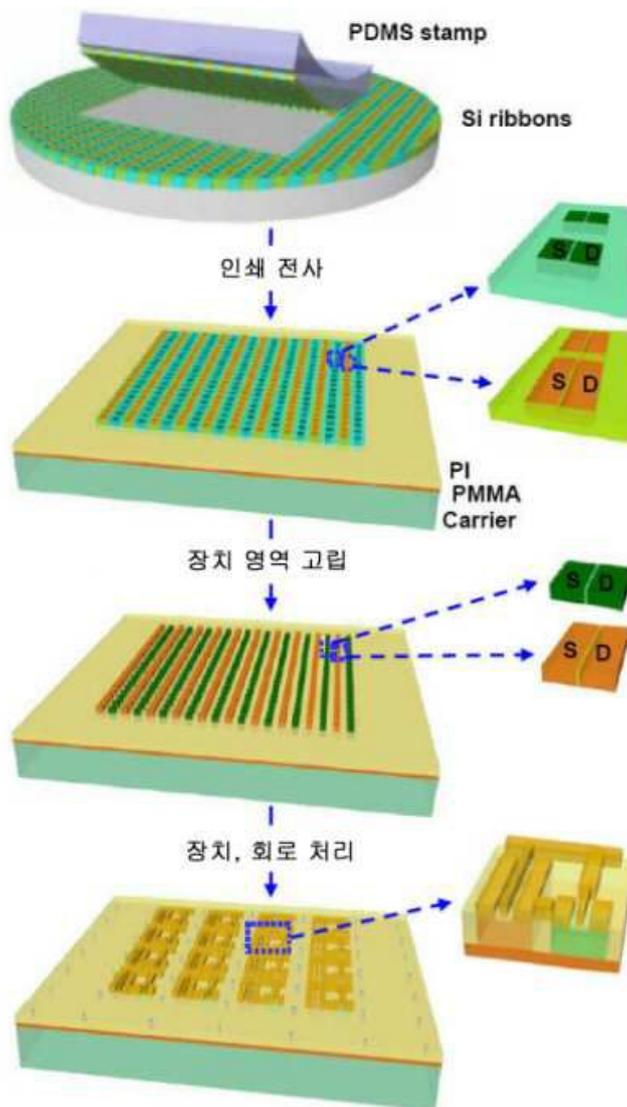
A

도면4b

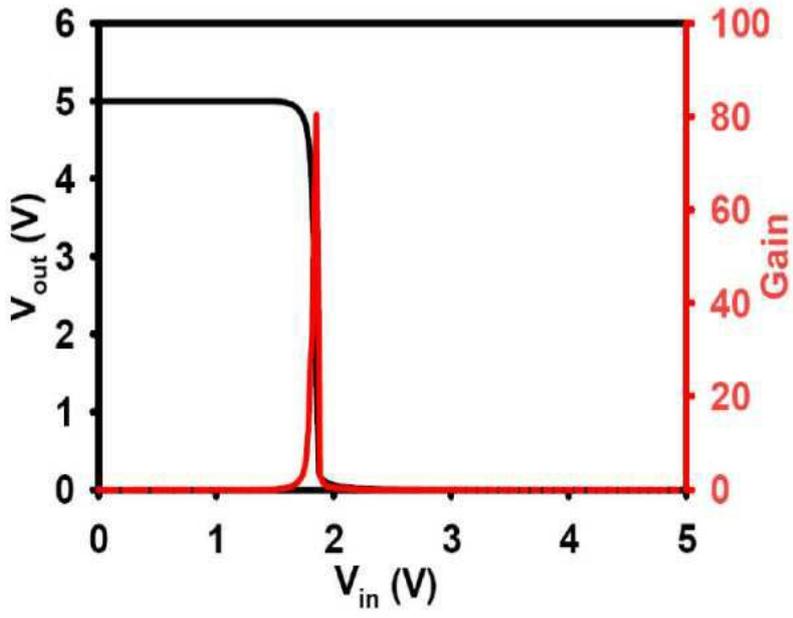


B

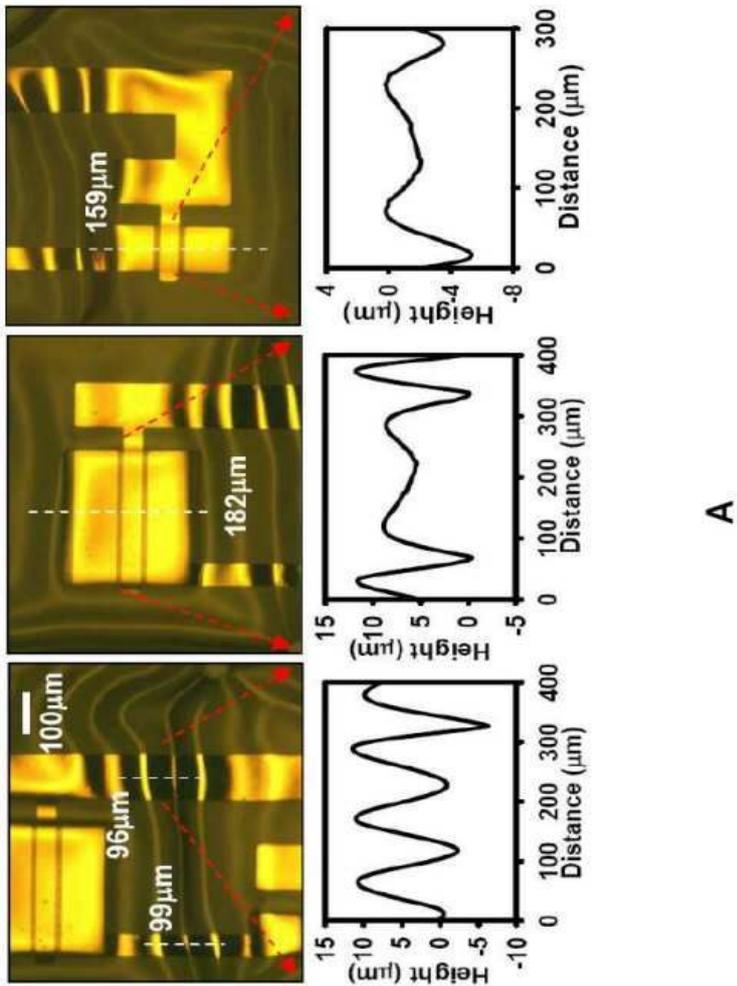
도면5



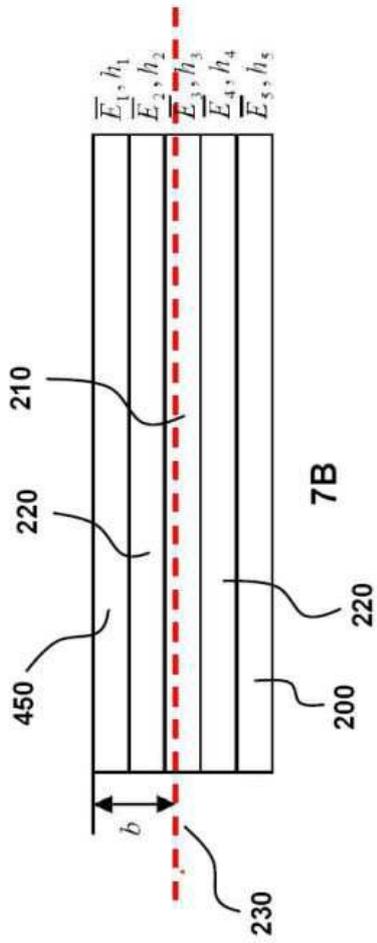
도면6



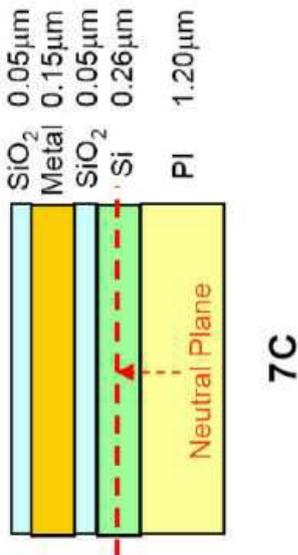
도면7a



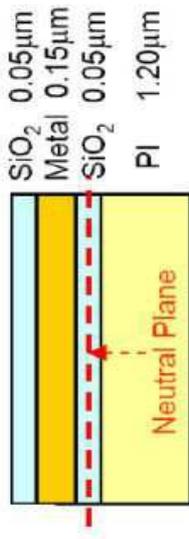
도면7b



도면7c

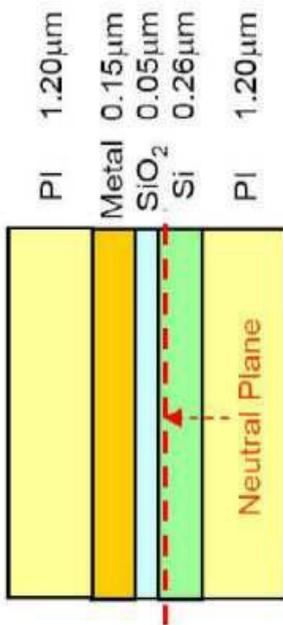


도면7d



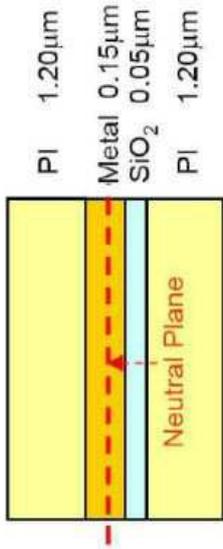
7D

도면7e



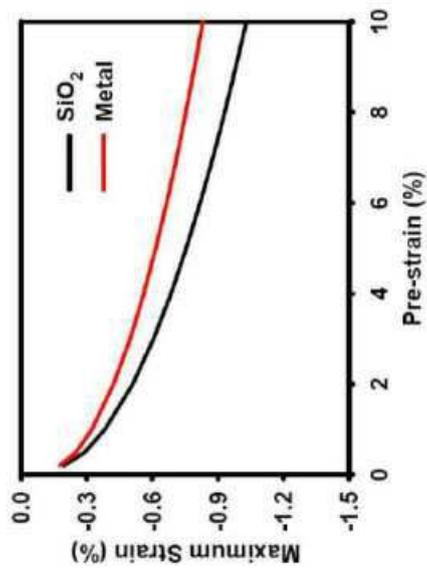
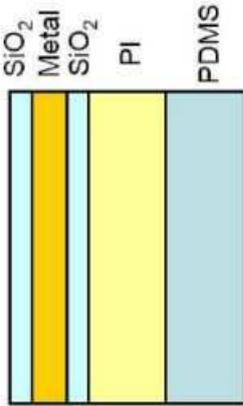
7E

도면7f



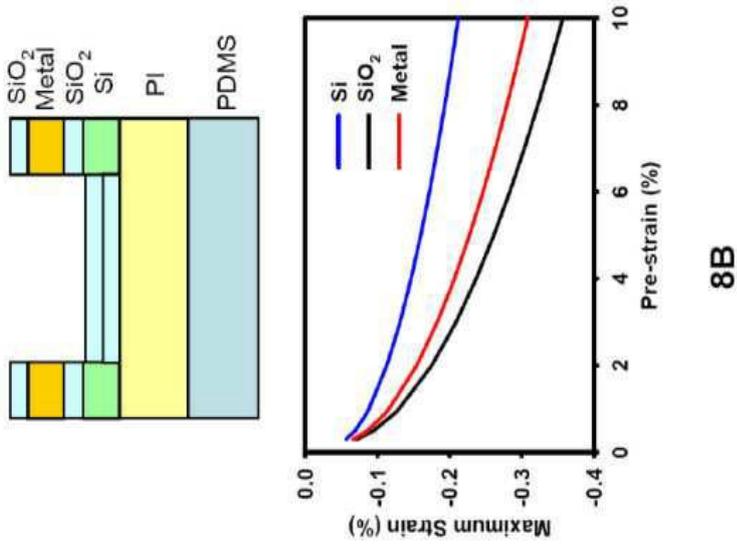
7F

도면8a

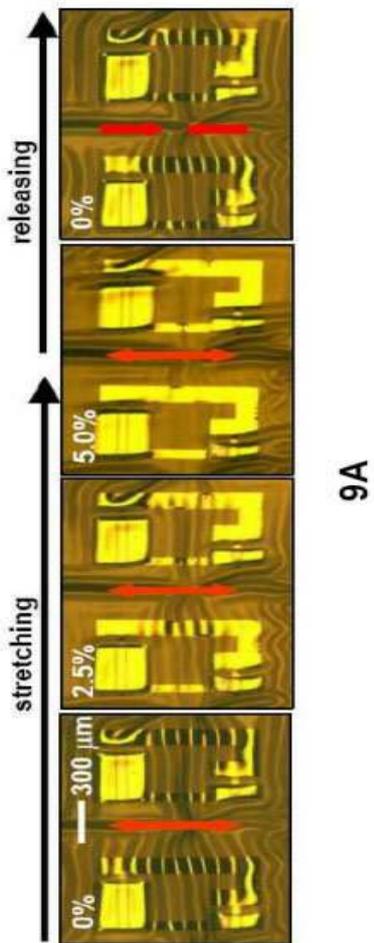


8A

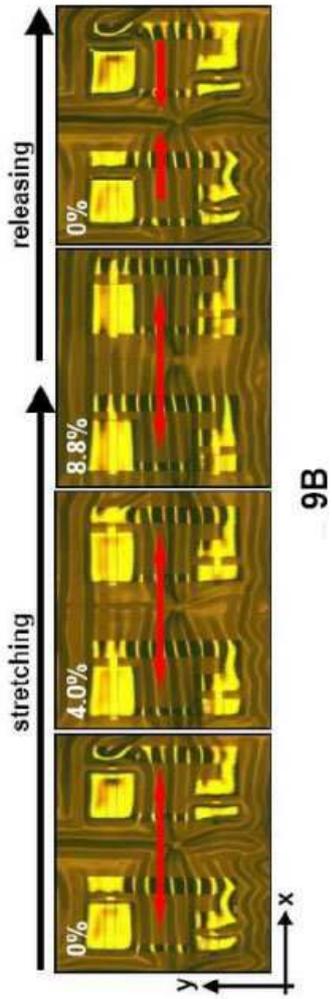
도면8b



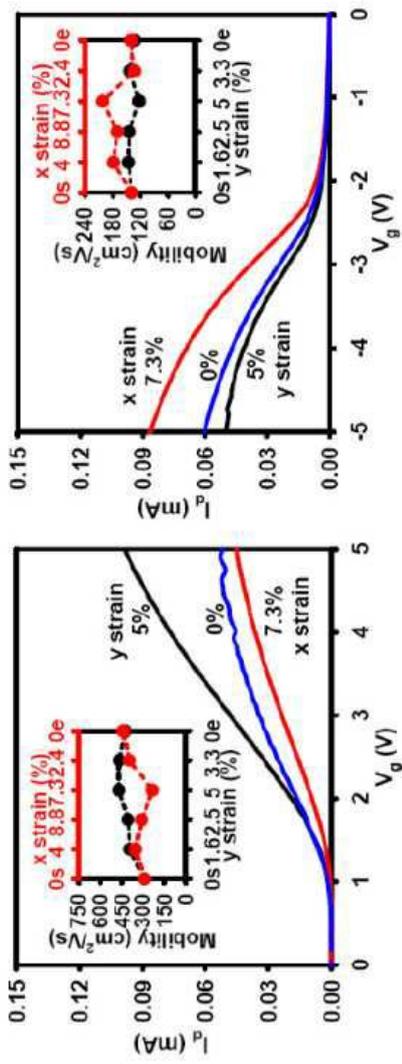
도면9a



도면9b

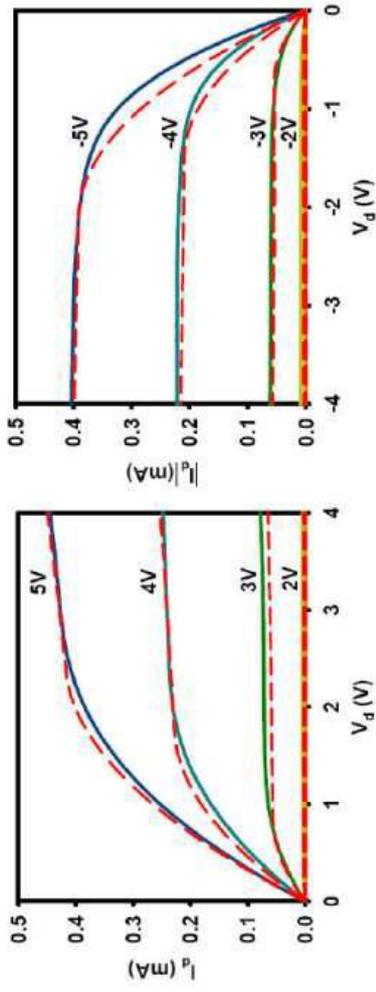


도면9c



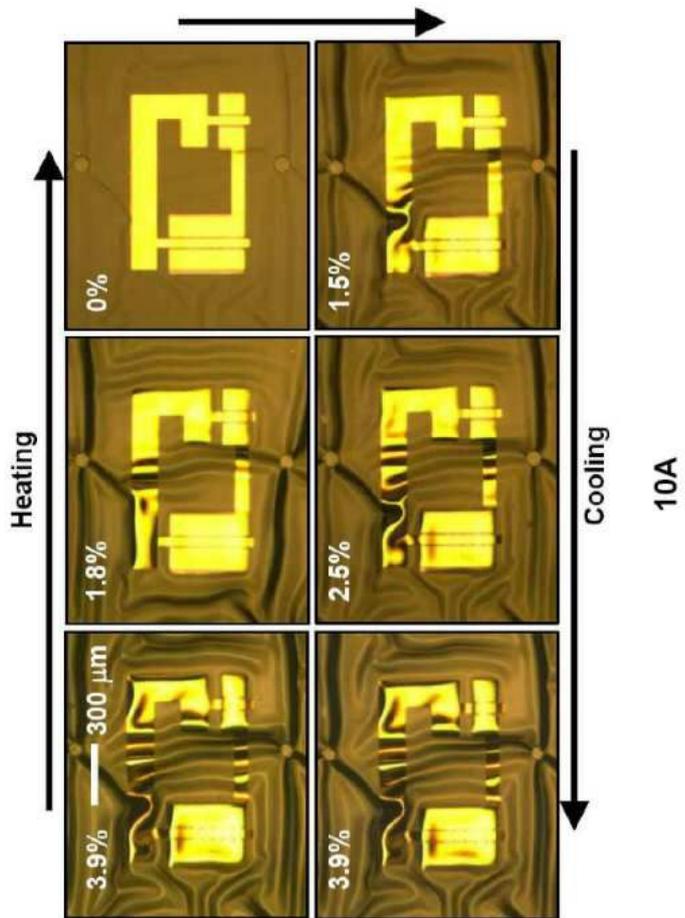
9C

도면9d

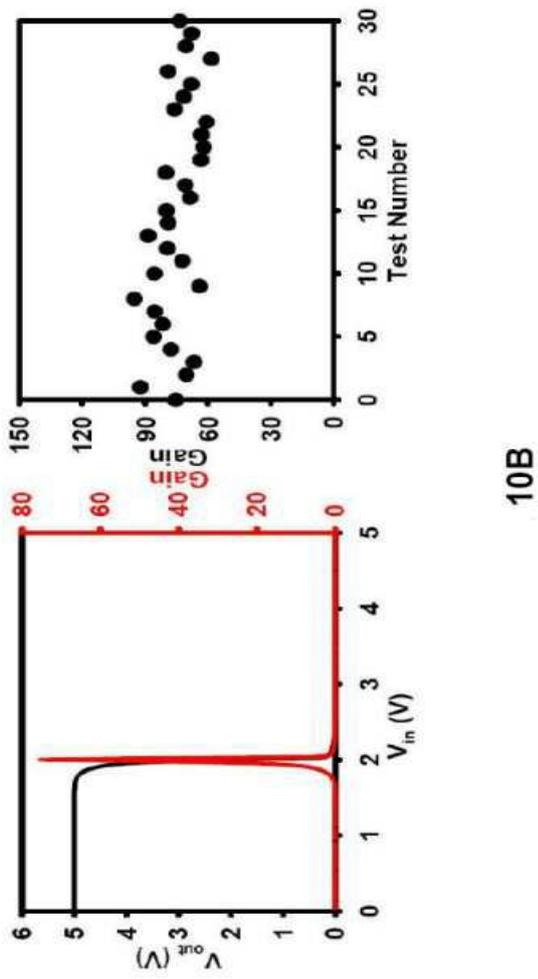


9D

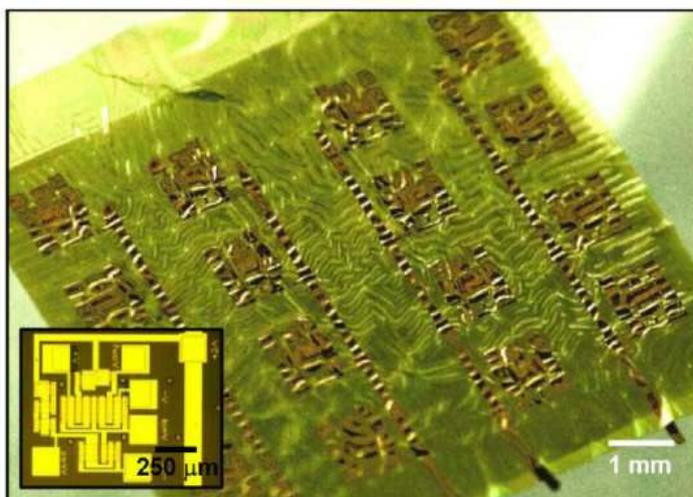
도면10a



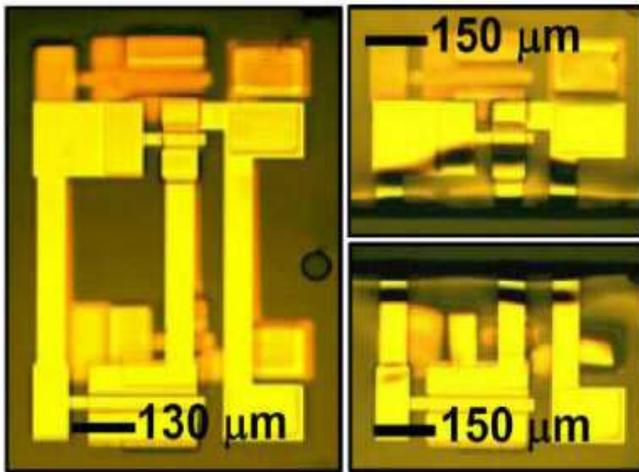
도면10b



도면11

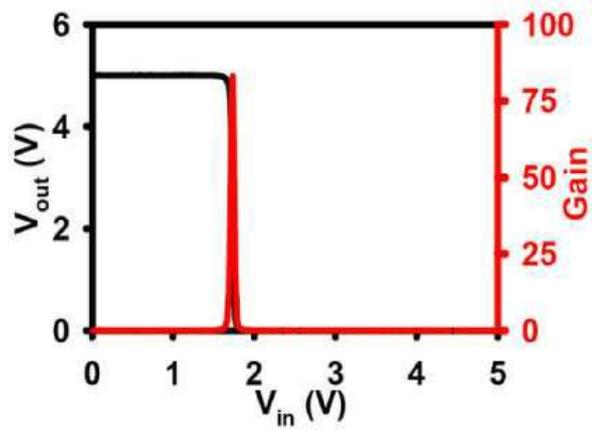


도면12a



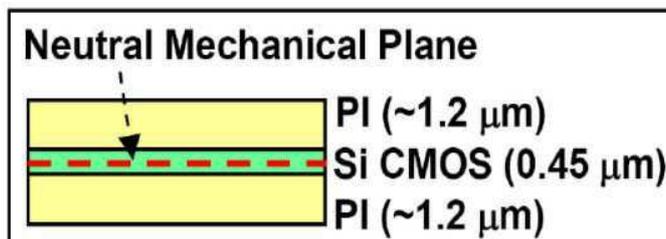
12A

도면12b



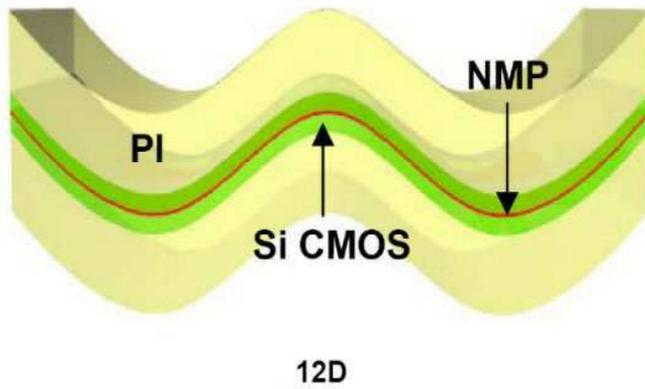
12B

도면12c

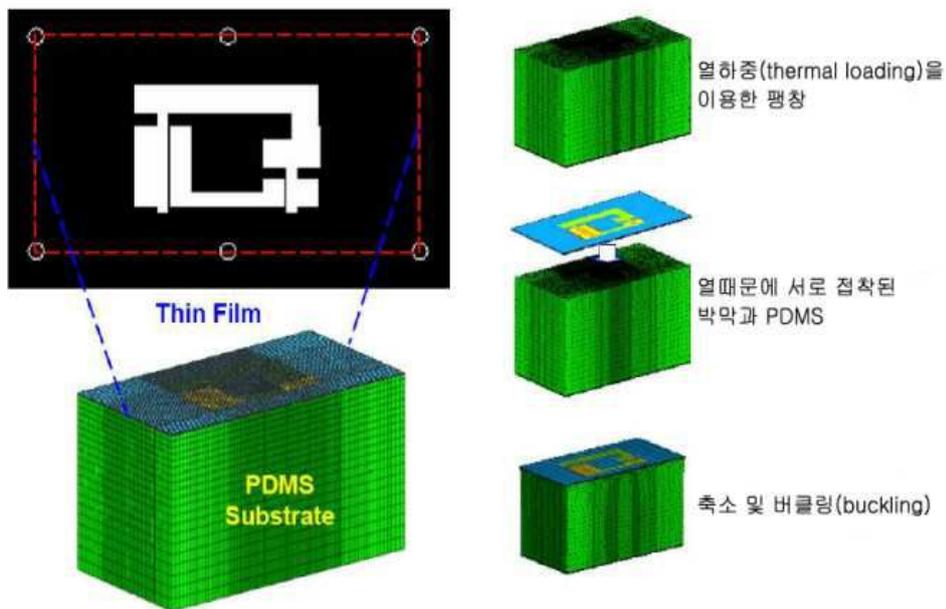


12C

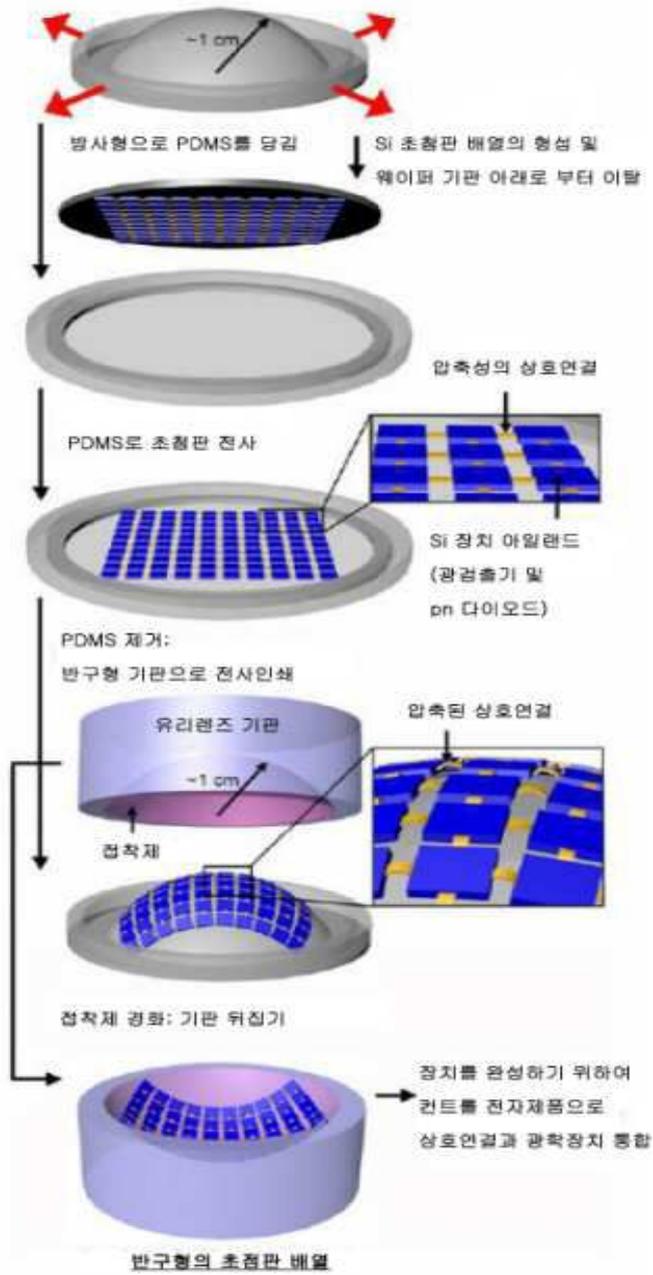
도면12d



도면13



도면14

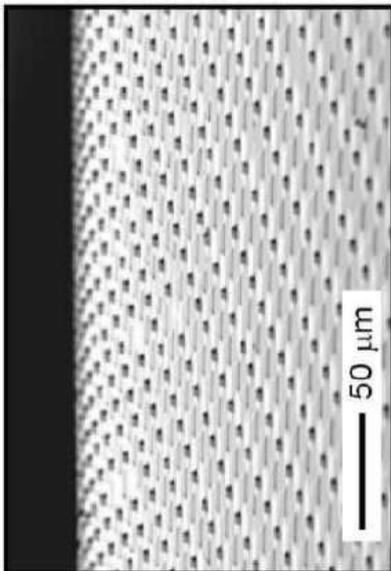


도면15a



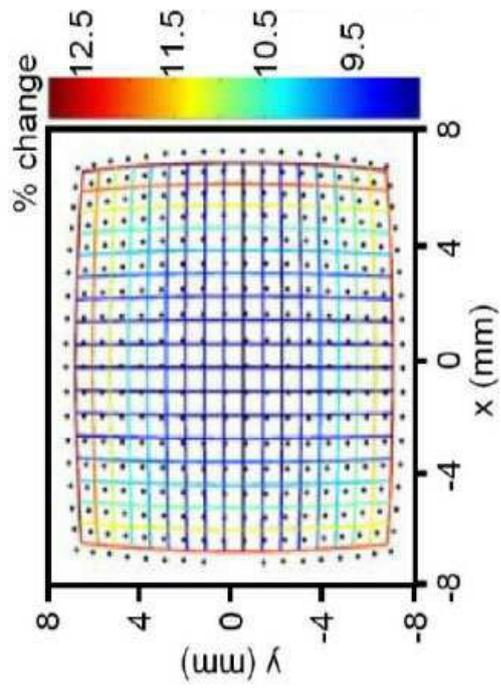
15A

도면15b



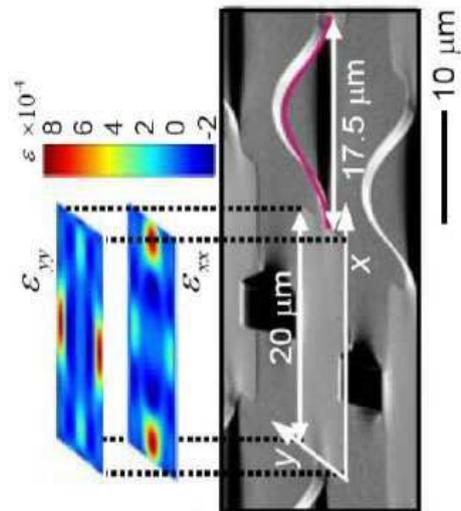
15B

도면15c



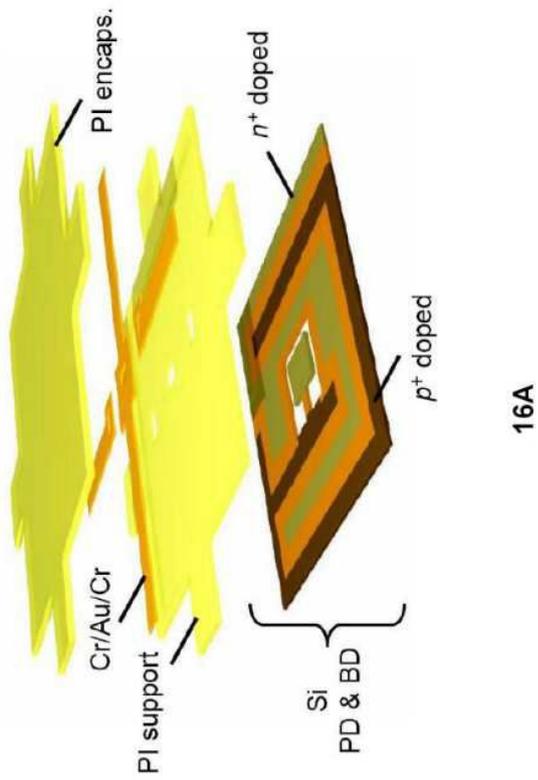
15C

도면15d

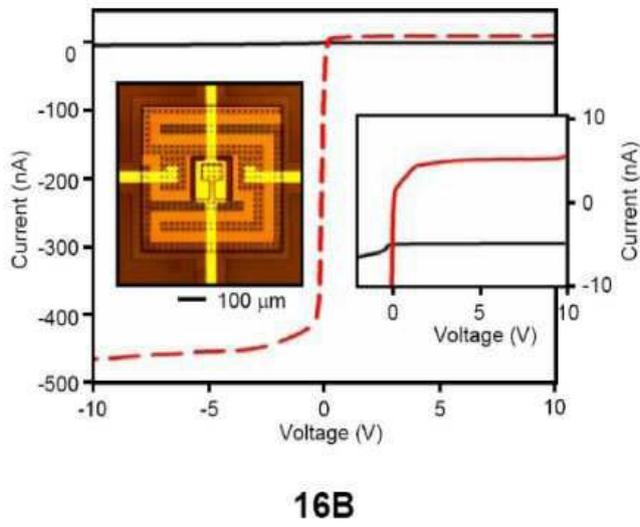


15D

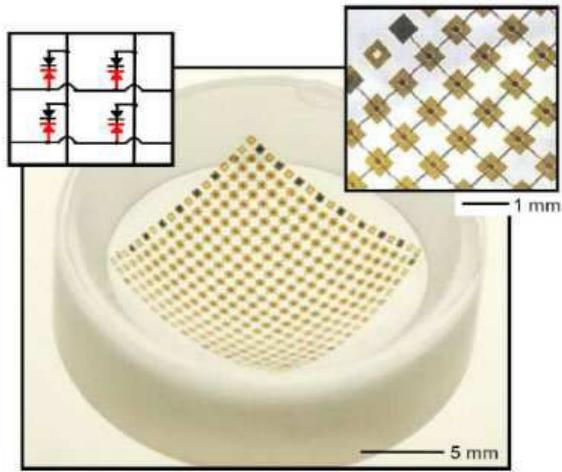
도면16a



도면16b



도면16c



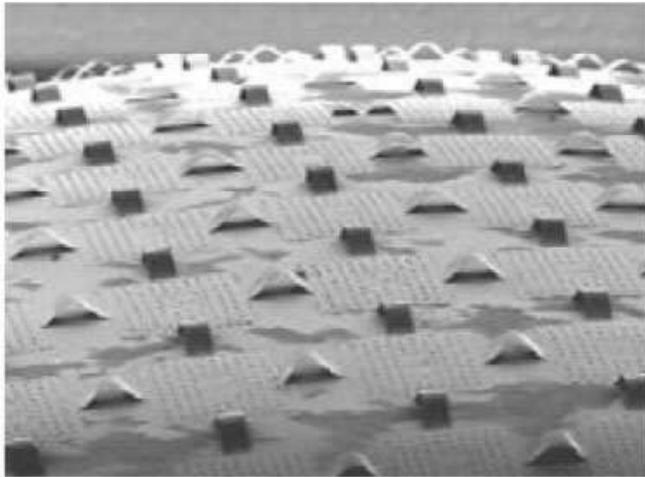
16C

도면16d



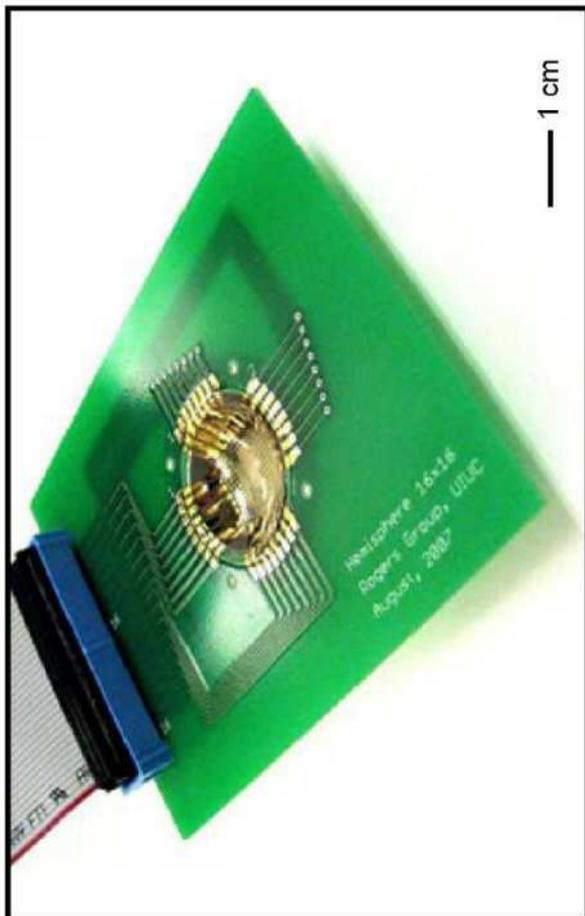
16D

도면16e



16E

도면17a



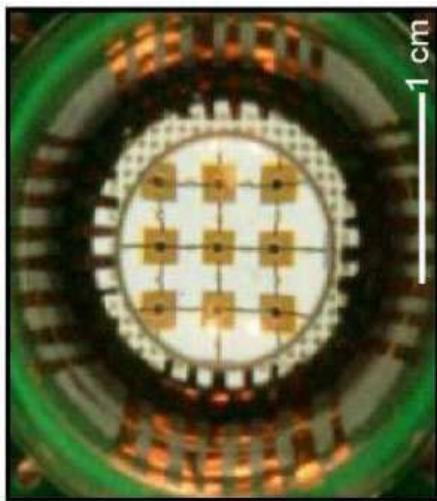
17A

도면17b



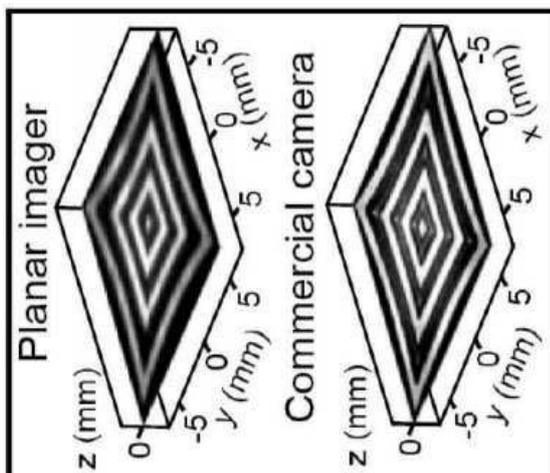
17B

도면17c



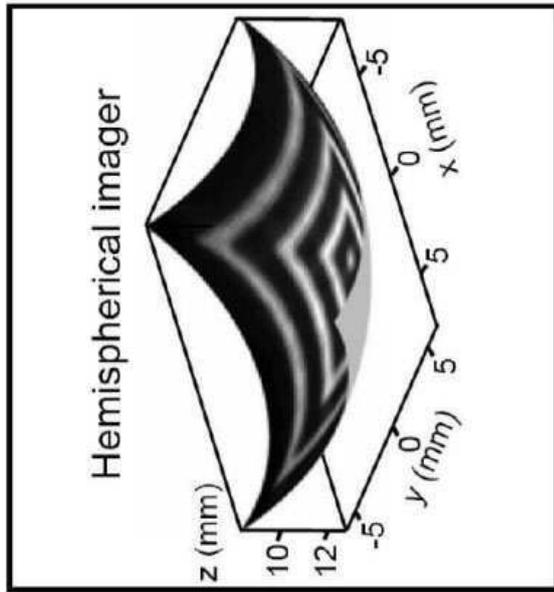
17C

도면17d



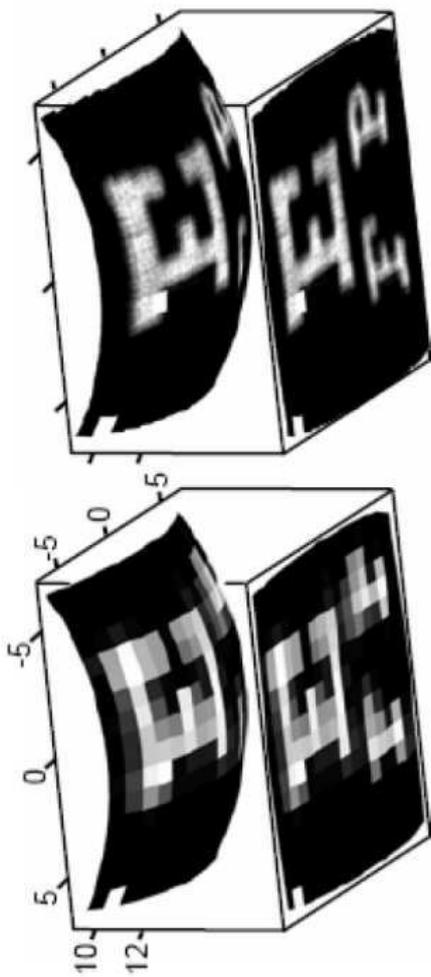
17D

도면17e



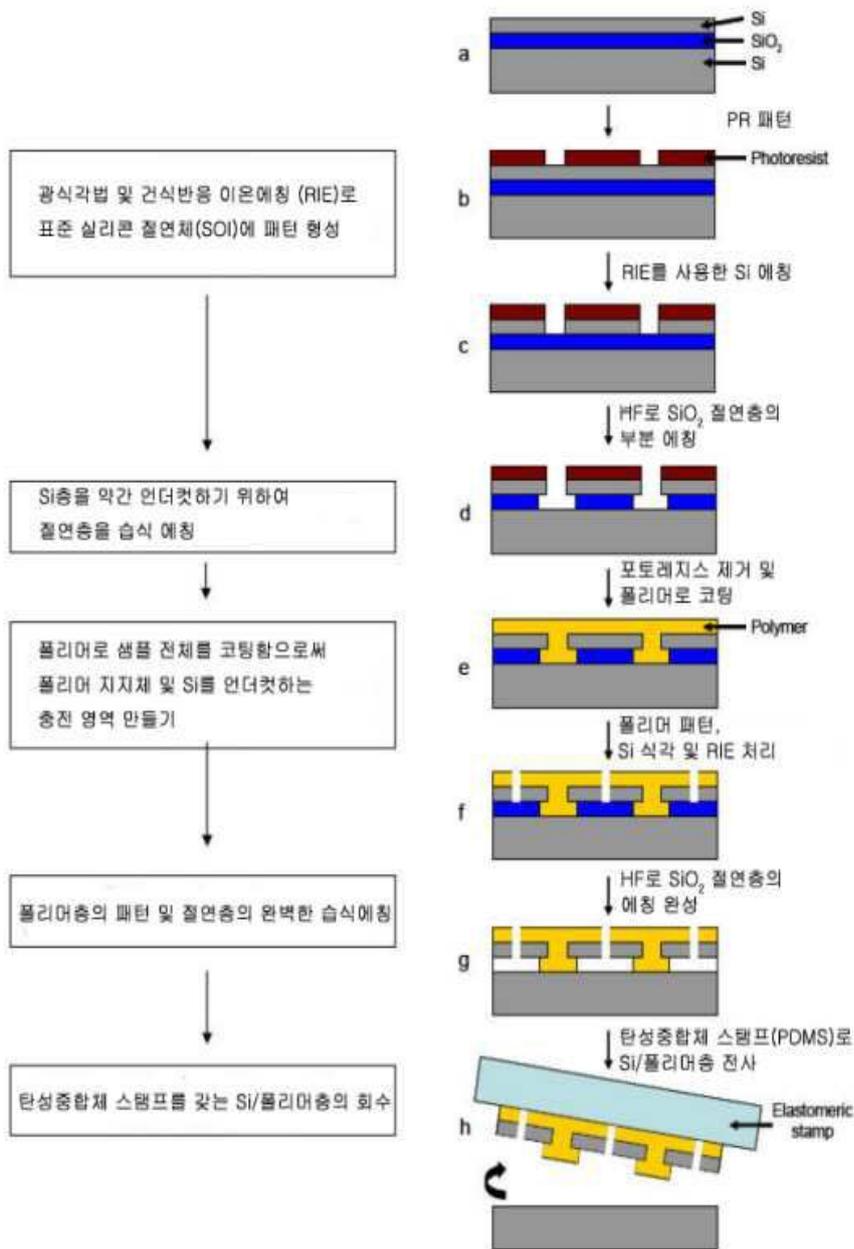
17E

도면17f

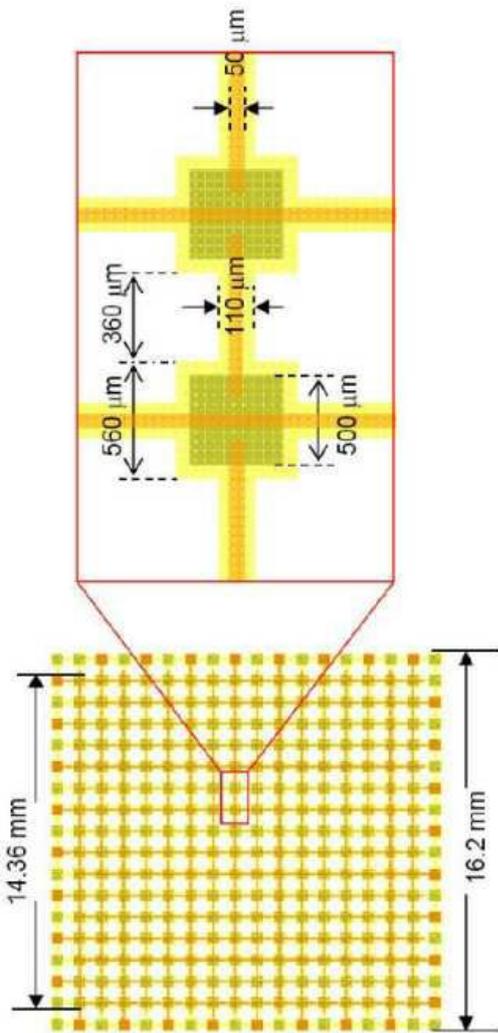


17F

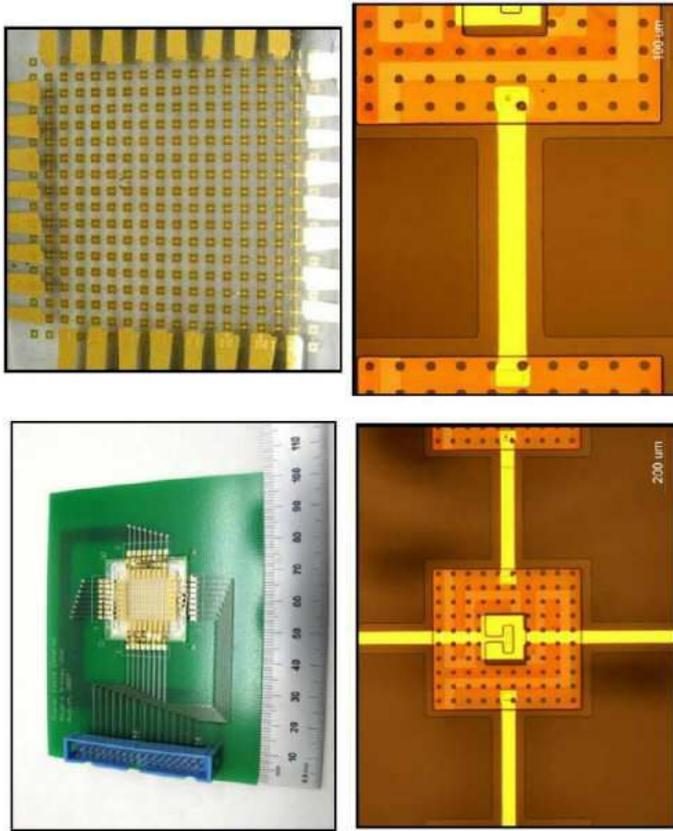
도면18



도면19



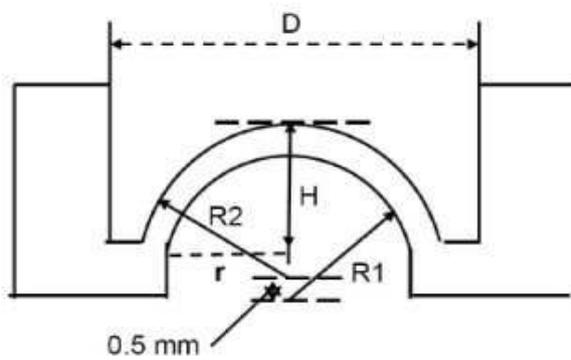
도면20



도면21

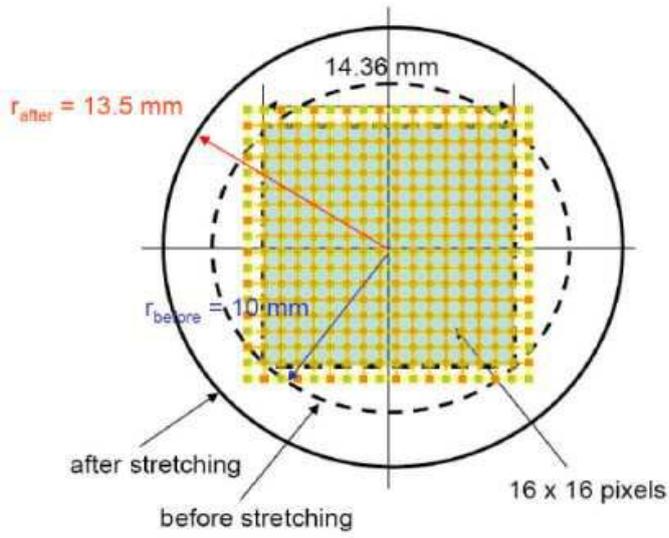


도면22

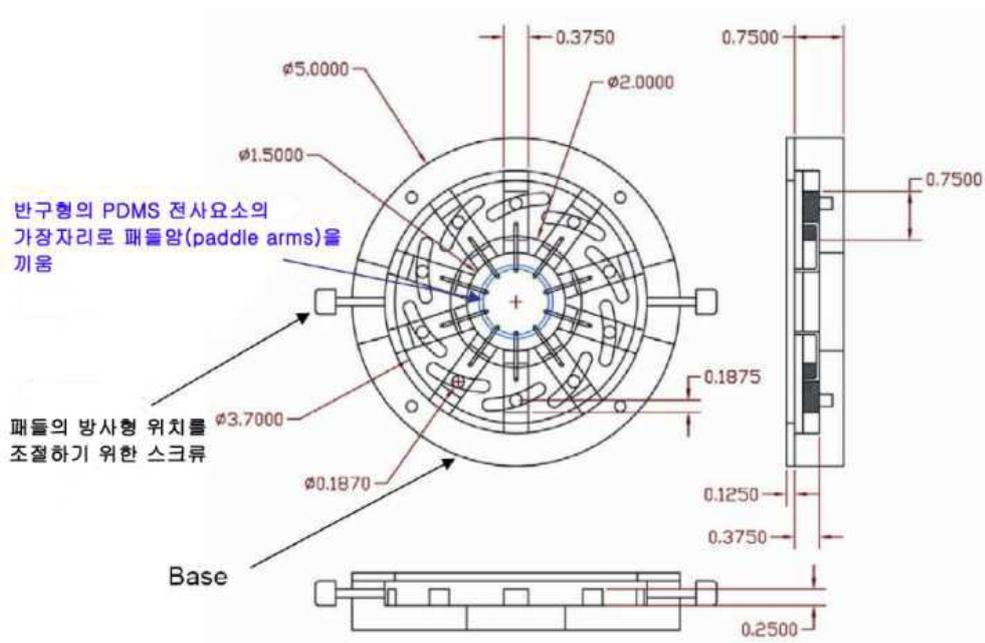


R1 and R2 = 12.9 mm, H = 5 mm  
 PDMS thickness at center ~ 0.5 mm  
 D = 25.4 mm

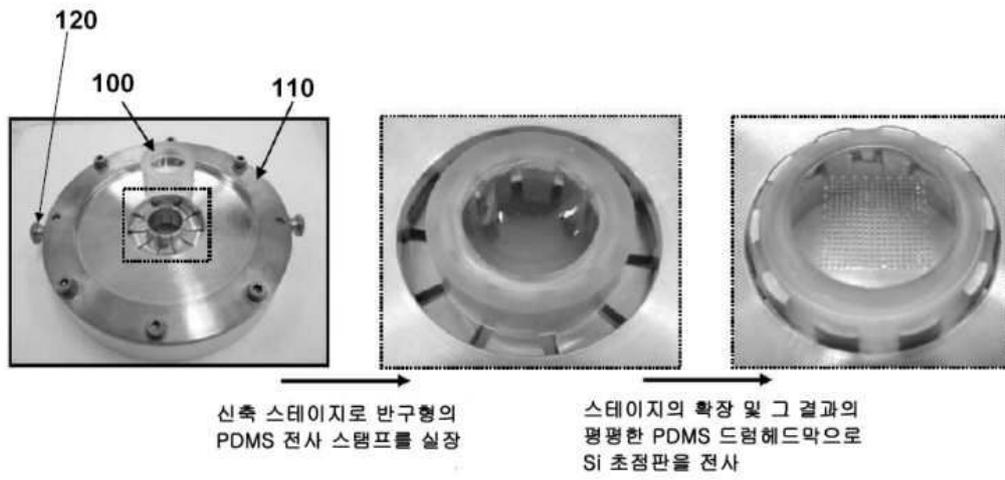
도면23



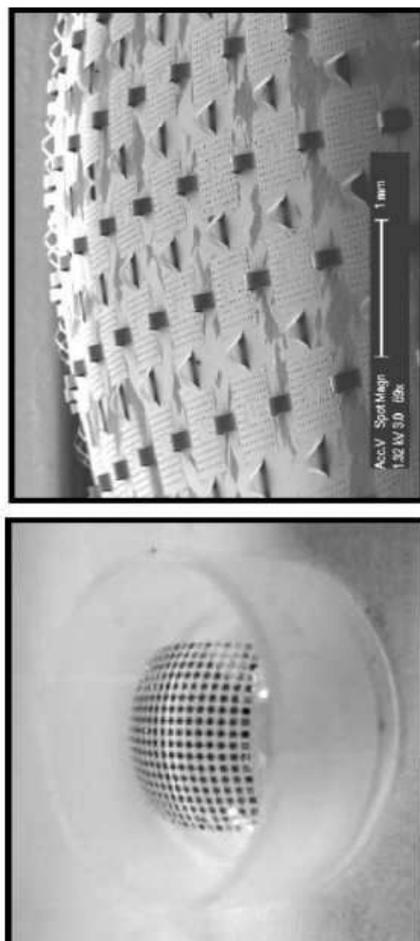
도면24



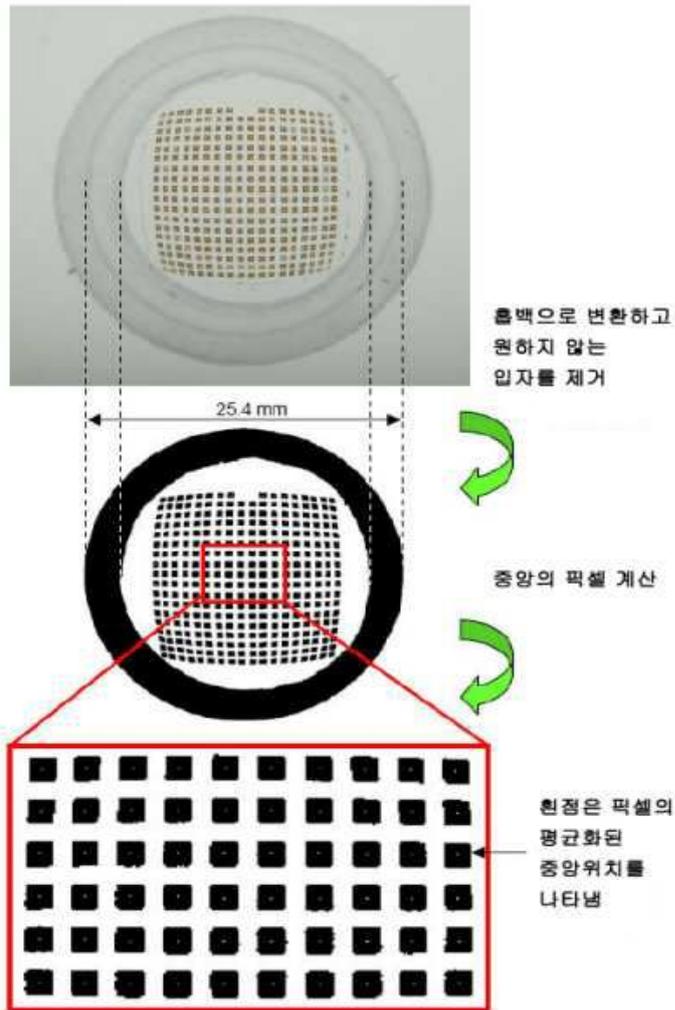
도면25



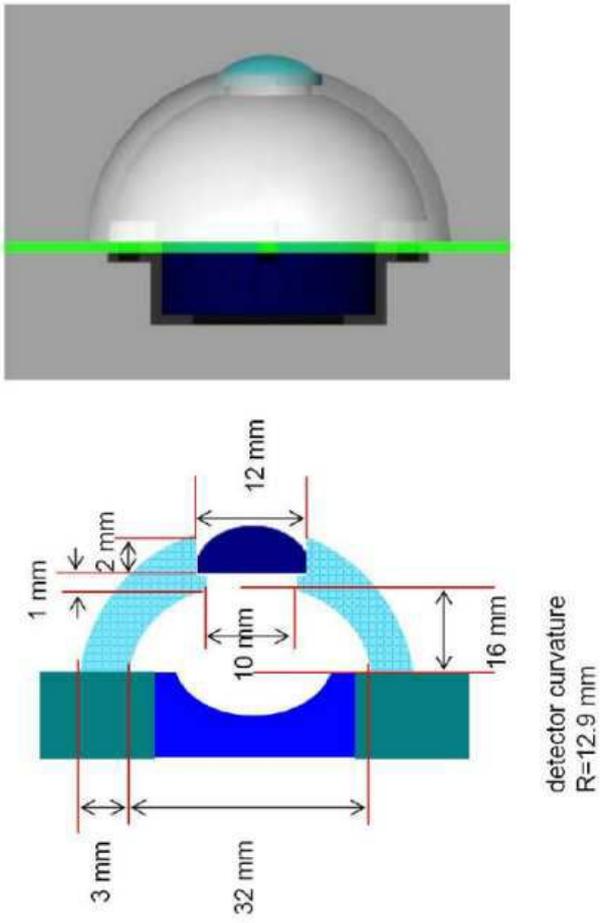
도면26



도면27



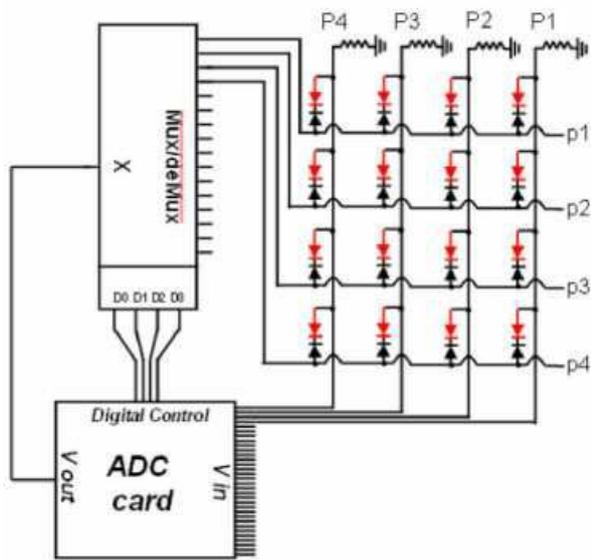
도면28



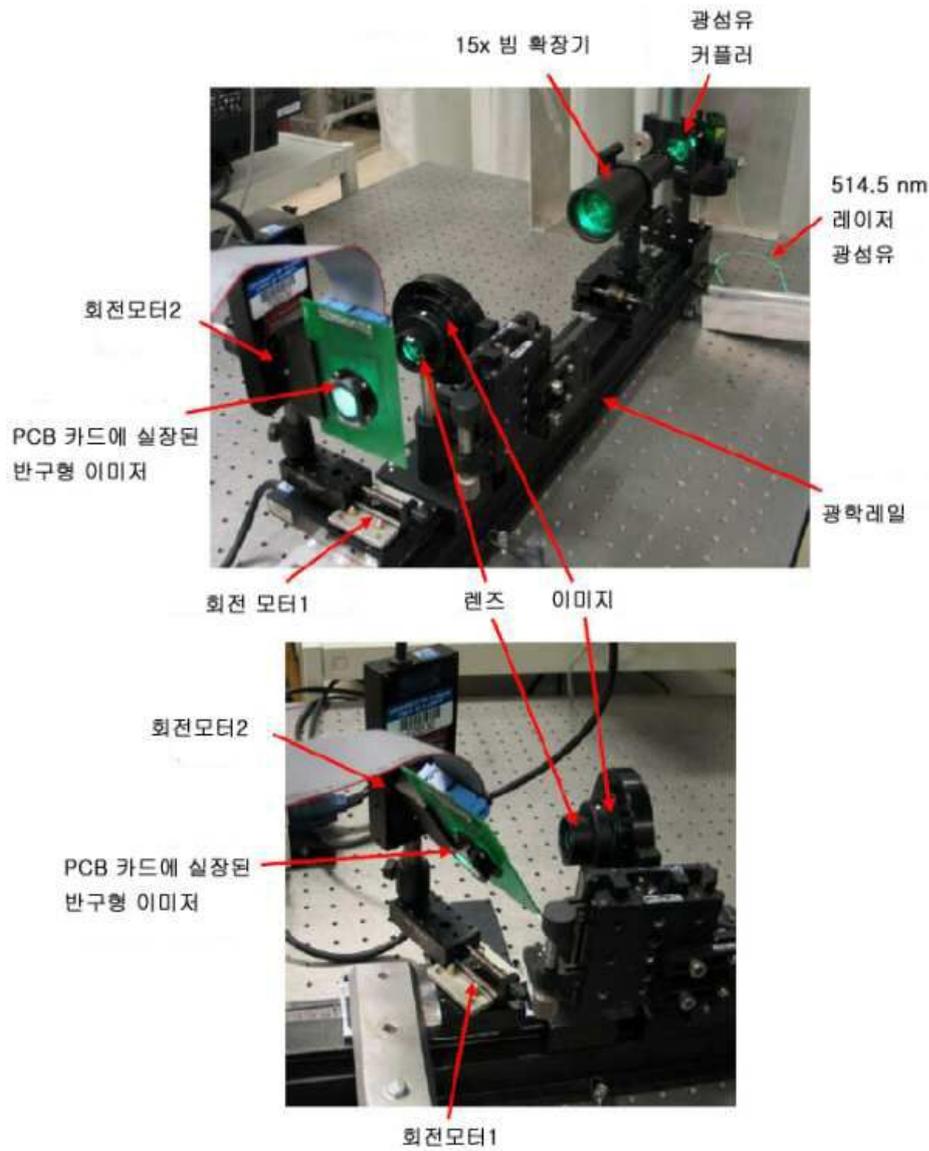
도면29



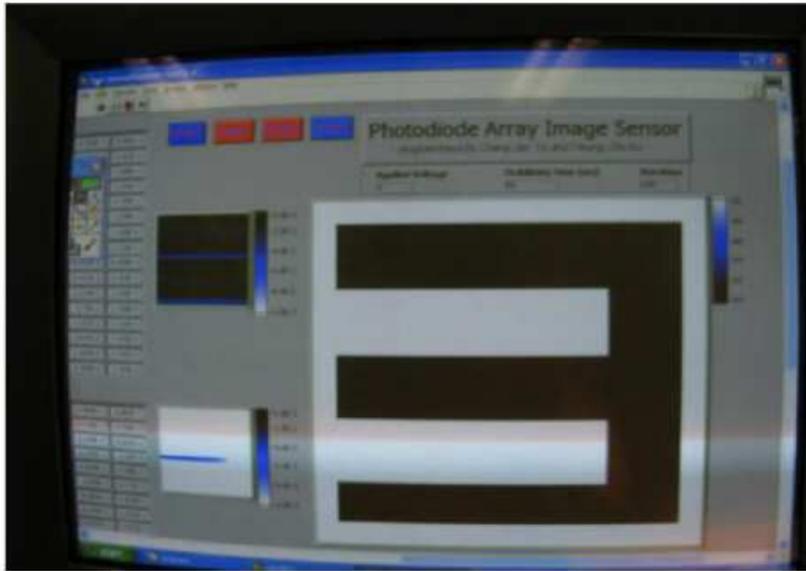
도면30



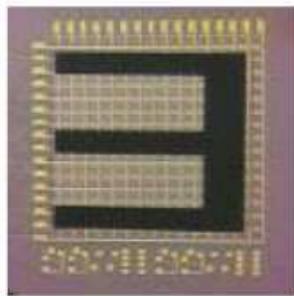
도면31



도면32

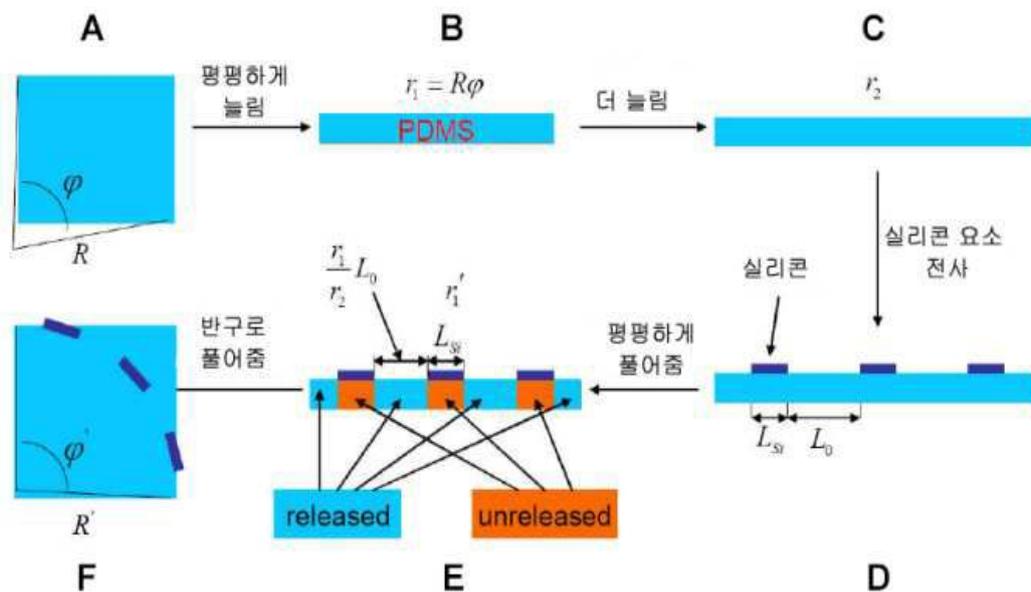


이미징에 사용된 랩뷰(Labview) 인터페이스의 스크린 캡처

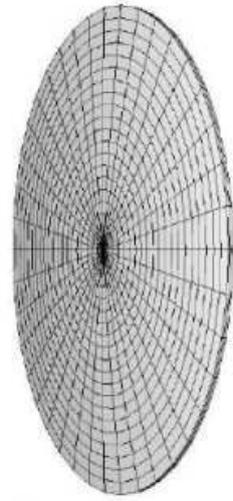


슬라이드에 겹쳐져 인쇄된 E로 16x16 초점판 배열의 사진

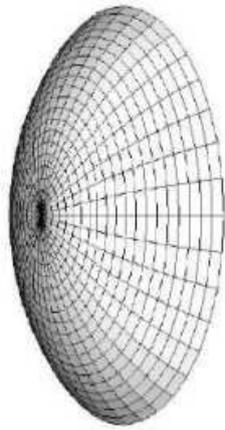
도면33



도면34



b

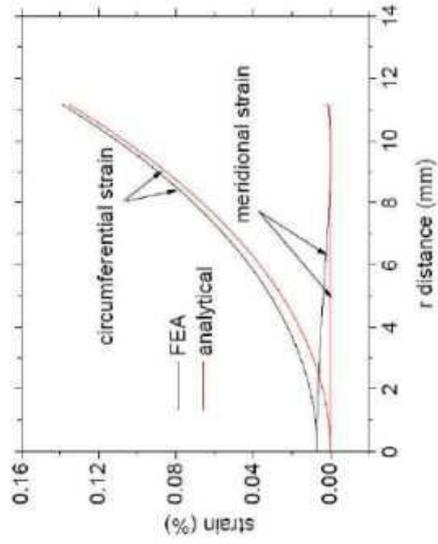


Original mesh

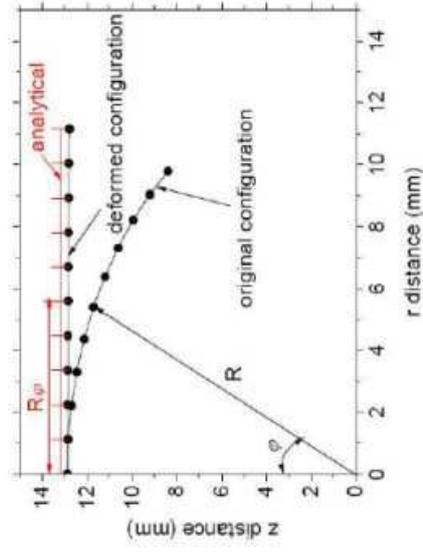
34A

Deformed mesh

34B

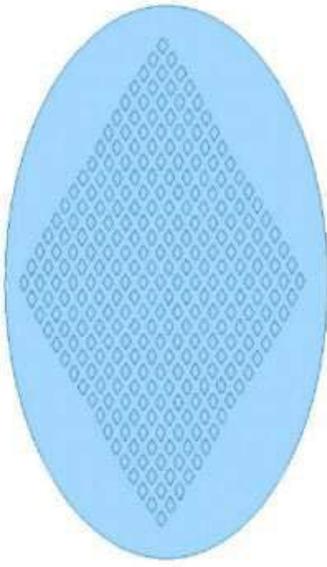


34C



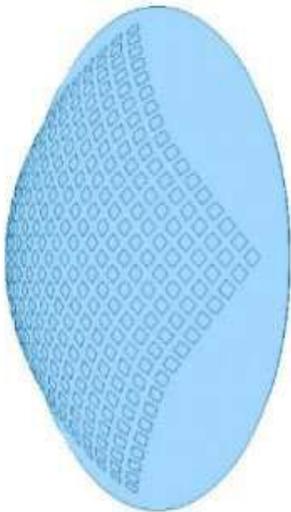
34D

도면35a



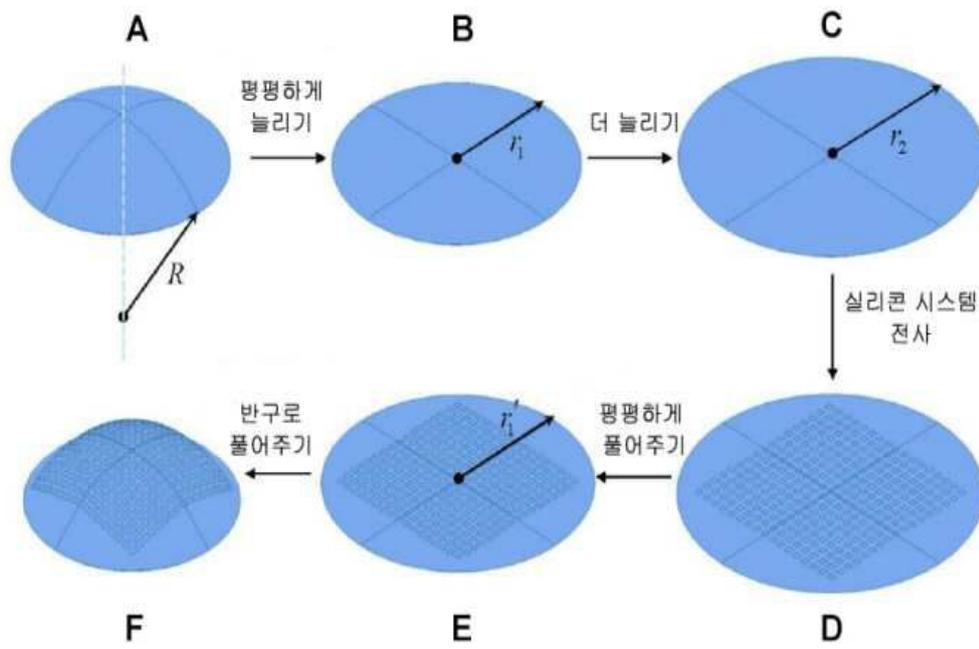
35A

도면35b

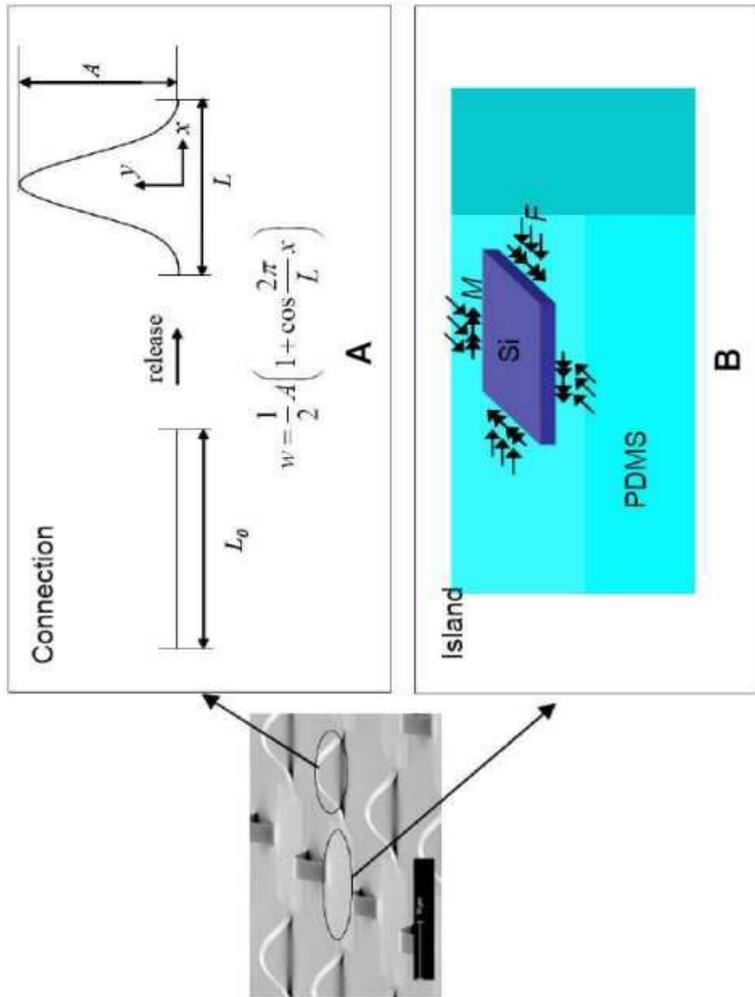


35B

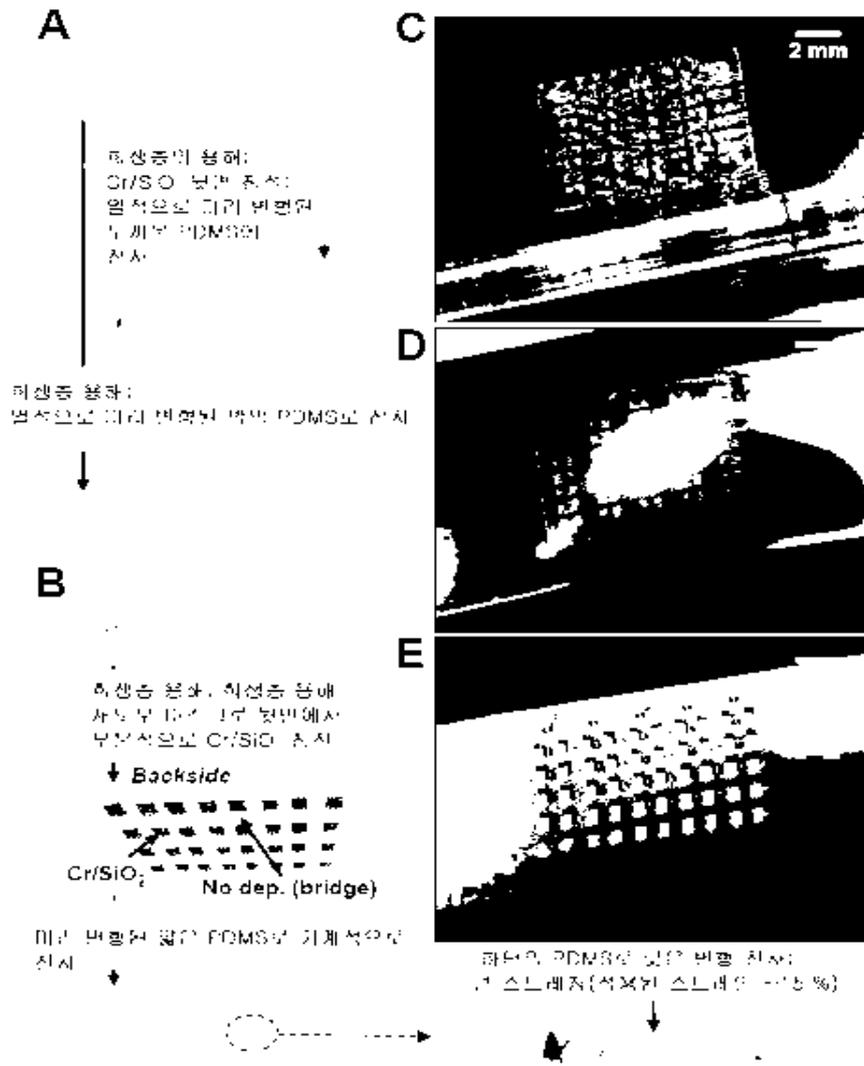
도면36



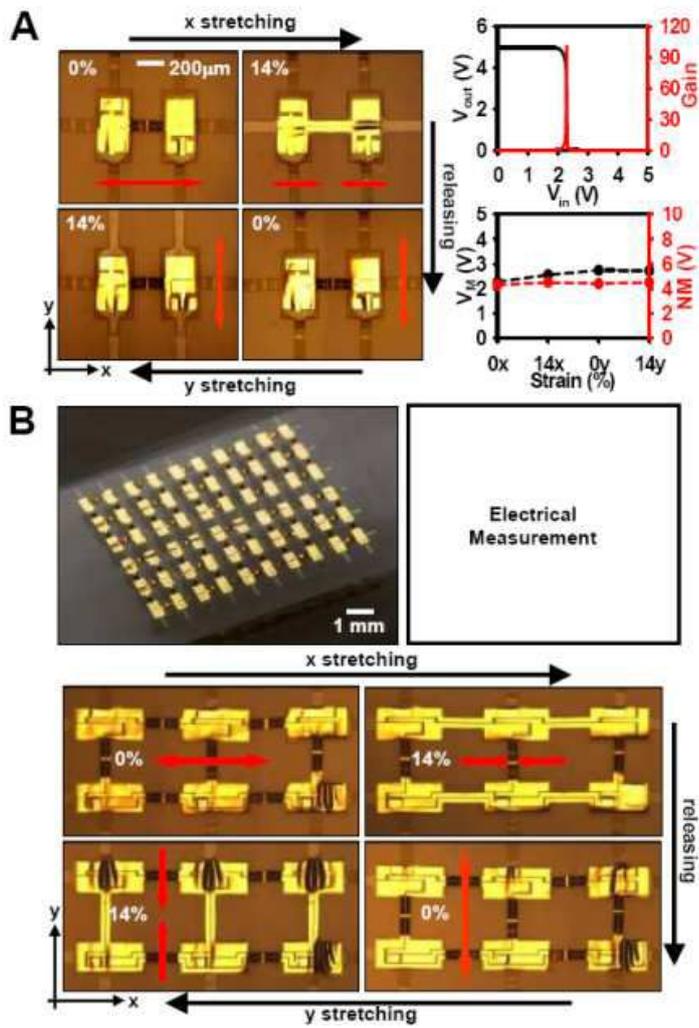
도면37



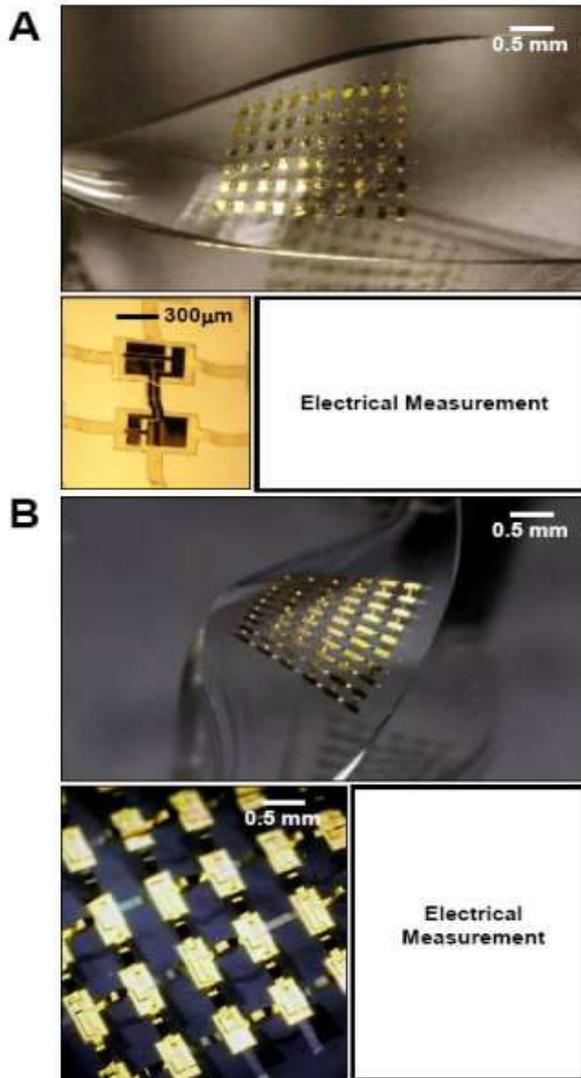
도면38



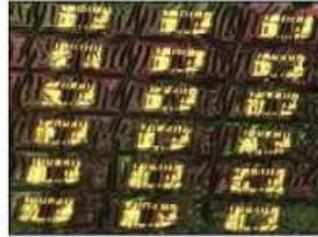
도면39



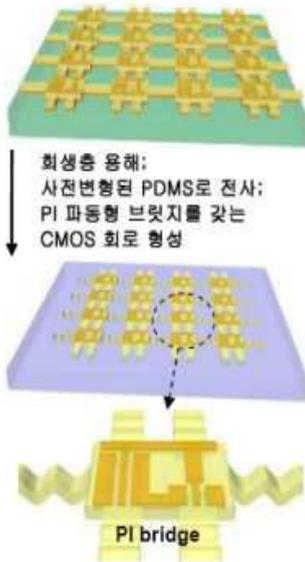
도면40



도면41

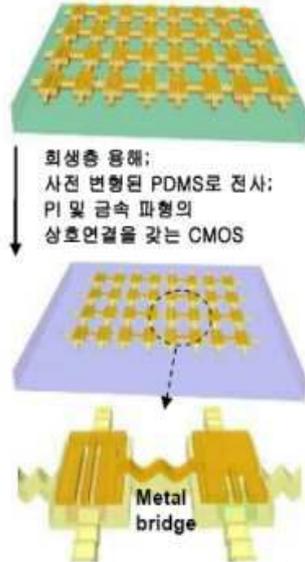


**B** PI 브릿지를 형성하기 위한 회로 제작, PI 및 PMMA 층의 에칭



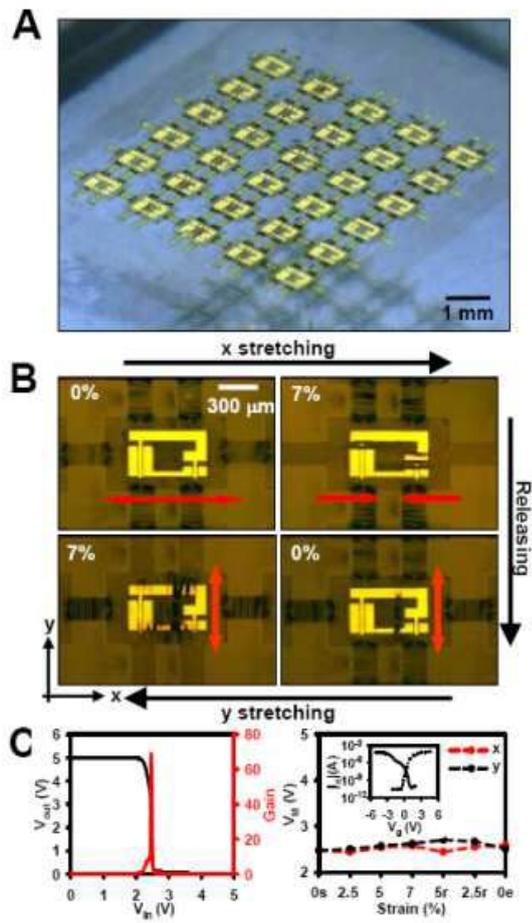
신축성있는 작은 파동;  
적응된 변형률 흡수하는 PI 브릿지;  
변위부 변형으로 형성된 주름

**C** 상호연결을 위한 회로제작, PI 및 PMMA 층의 에칭

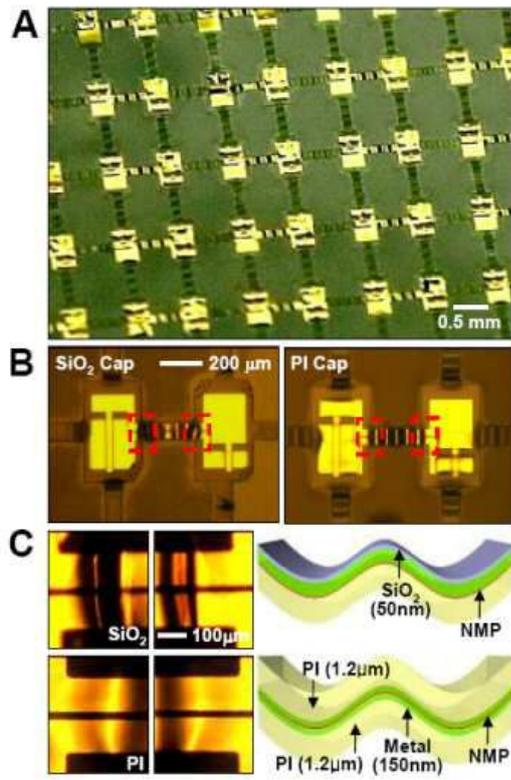


신축성있는 작은 파동;  
작은 변위; 활성 Si 영역의 주름 있는  
pmos 및 nmos 아일랜드

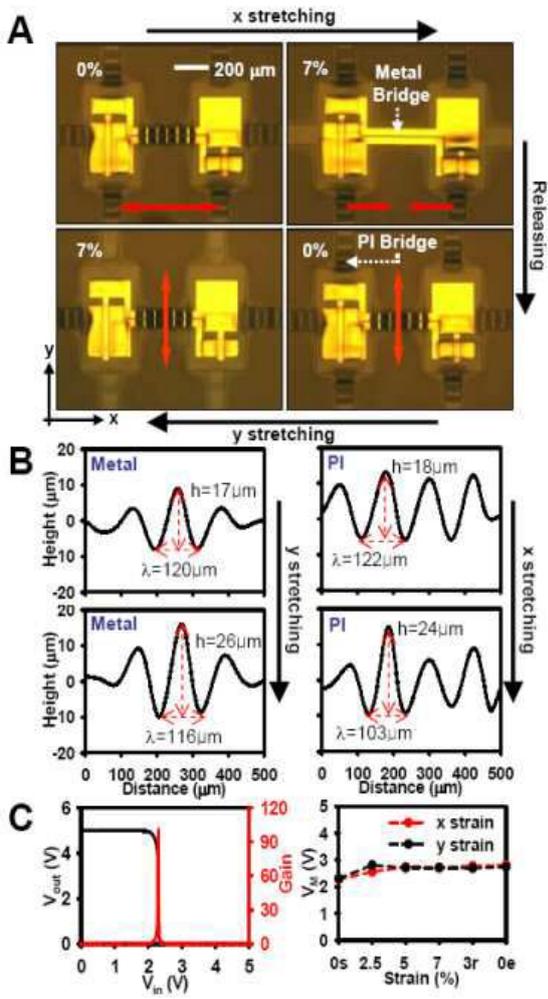
도면42



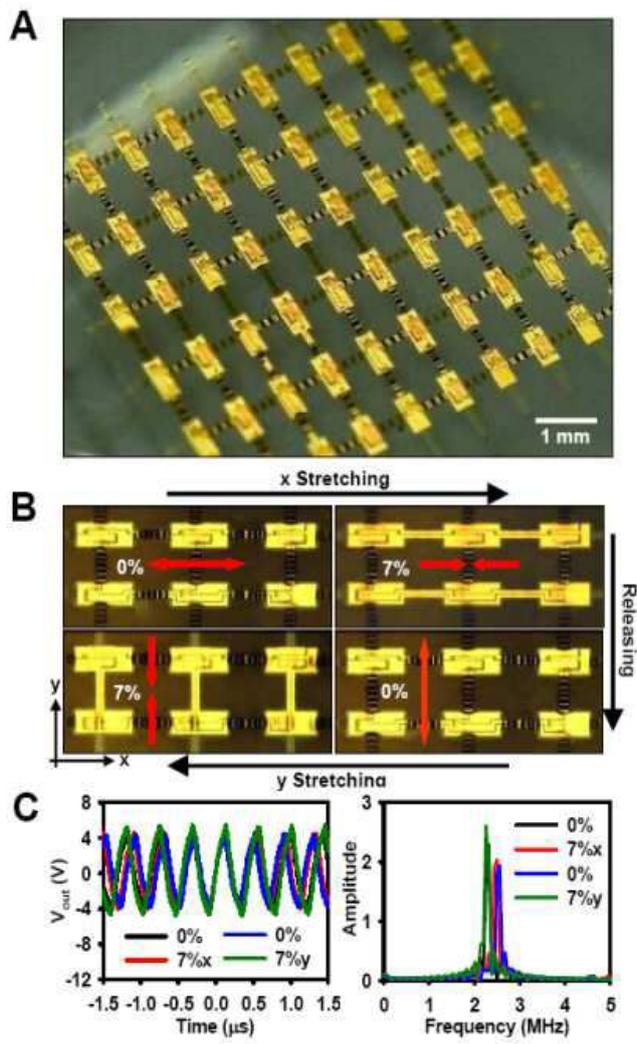
도면43



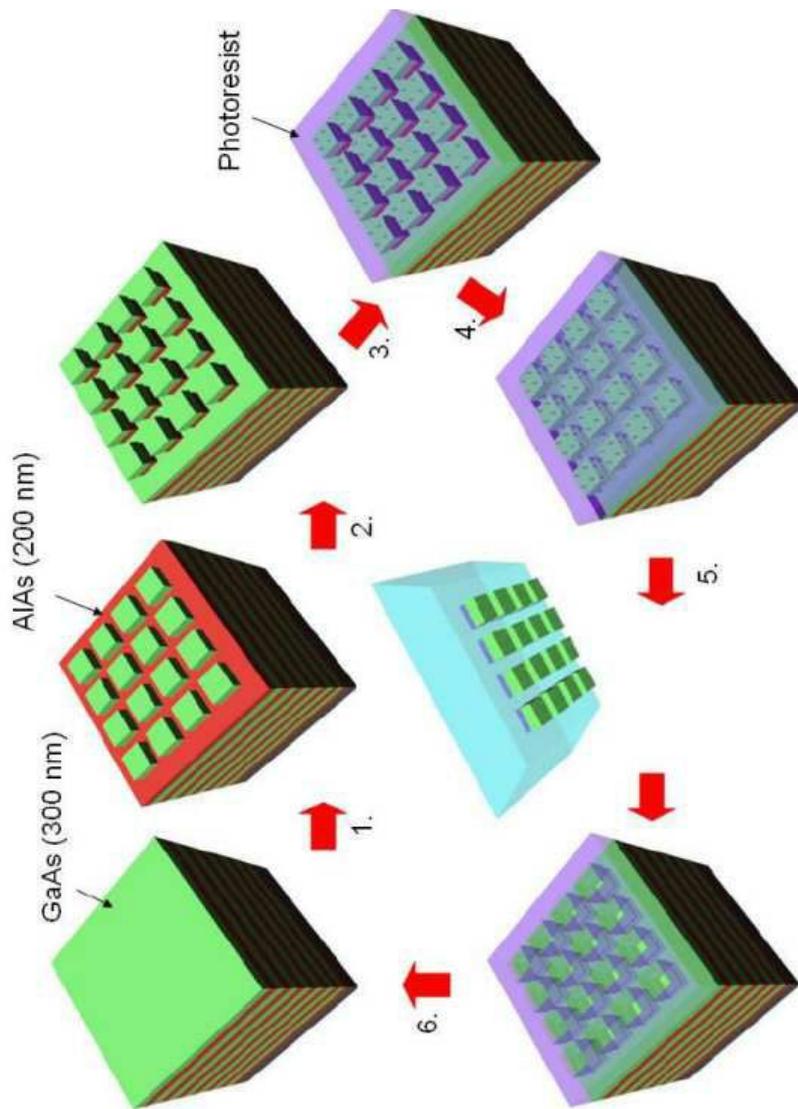
도면44



도면45



도면46



도면47

GaAs MESFET 공정 순서

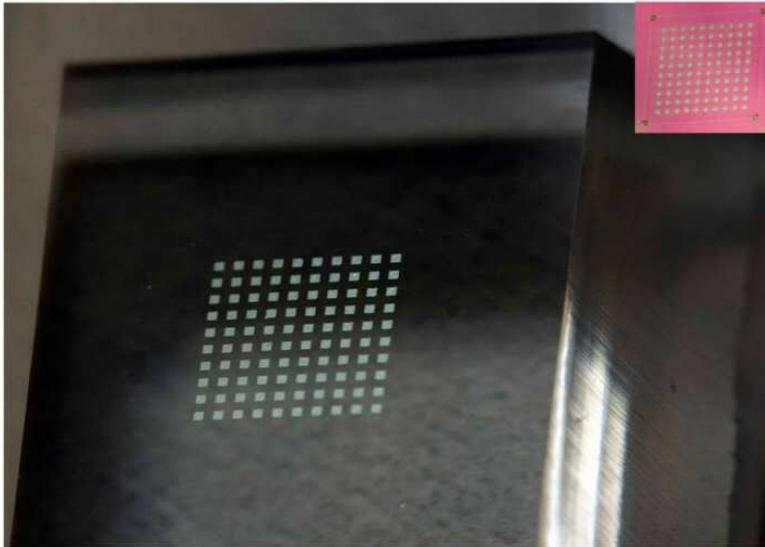
1. GaAs 고립 (시트르산 : H<sub>2</sub>O<sub>2</sub> = 10 : 1, 2분)
2. AlAs의 부분적 에칭 (HF : DI = 1 : 10, 8초)
3. 홀의 HF 에칭을 위한 GaAs 에칭 (시트르산 : H<sub>2</sub>O<sub>2</sub> = 10 : 1, 2분)
4. 2번째 AlAs 에칭 (HF : DI = 1 : 10, 10분)
5. PDMS에 의해 들어 올리기
6. 남아있는 포토레지스 세정 (아세톤, IPA, DI)

반복

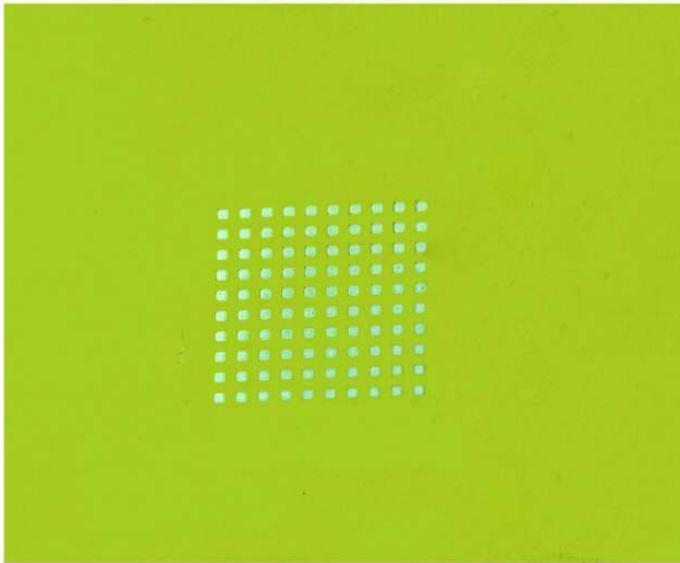


7. 코팅된 유리에 PI 인쇄
8. PI 경화
9. 채널 에칭(시트르산 : H<sub>2</sub>O<sub>2</sub> = 10 : 1, ~30초)
10. 오믹접촉
11. 쇼트키 접촉

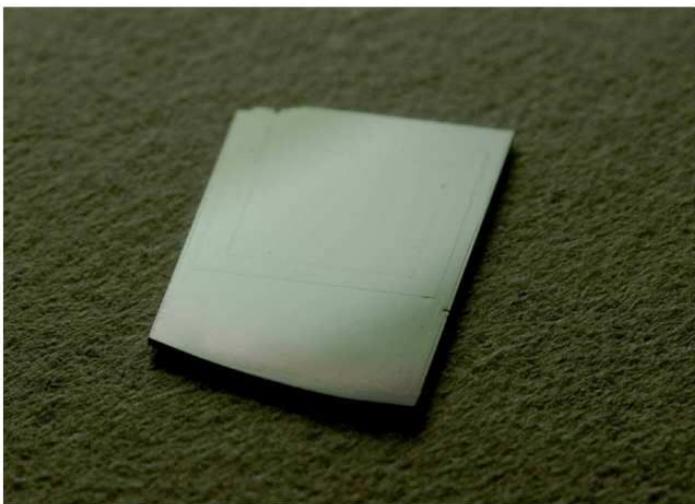
도면48



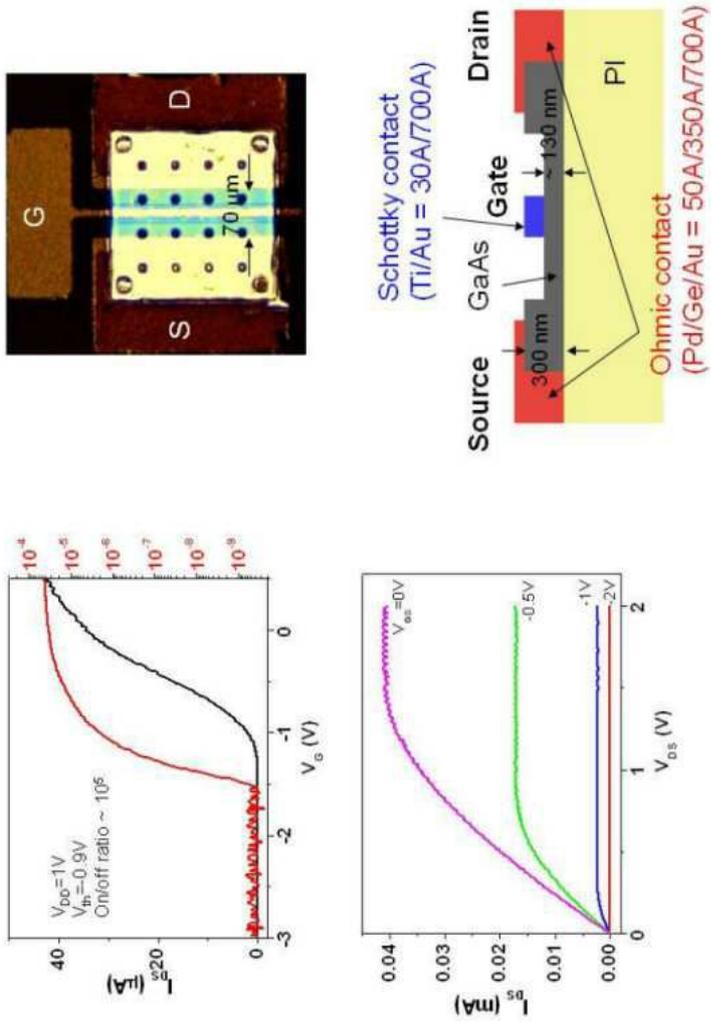
도면49



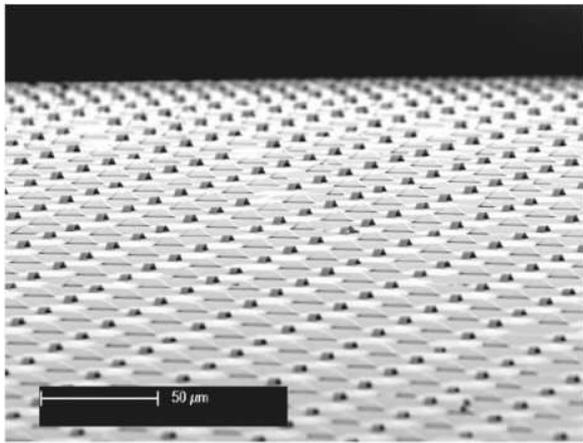
도면50



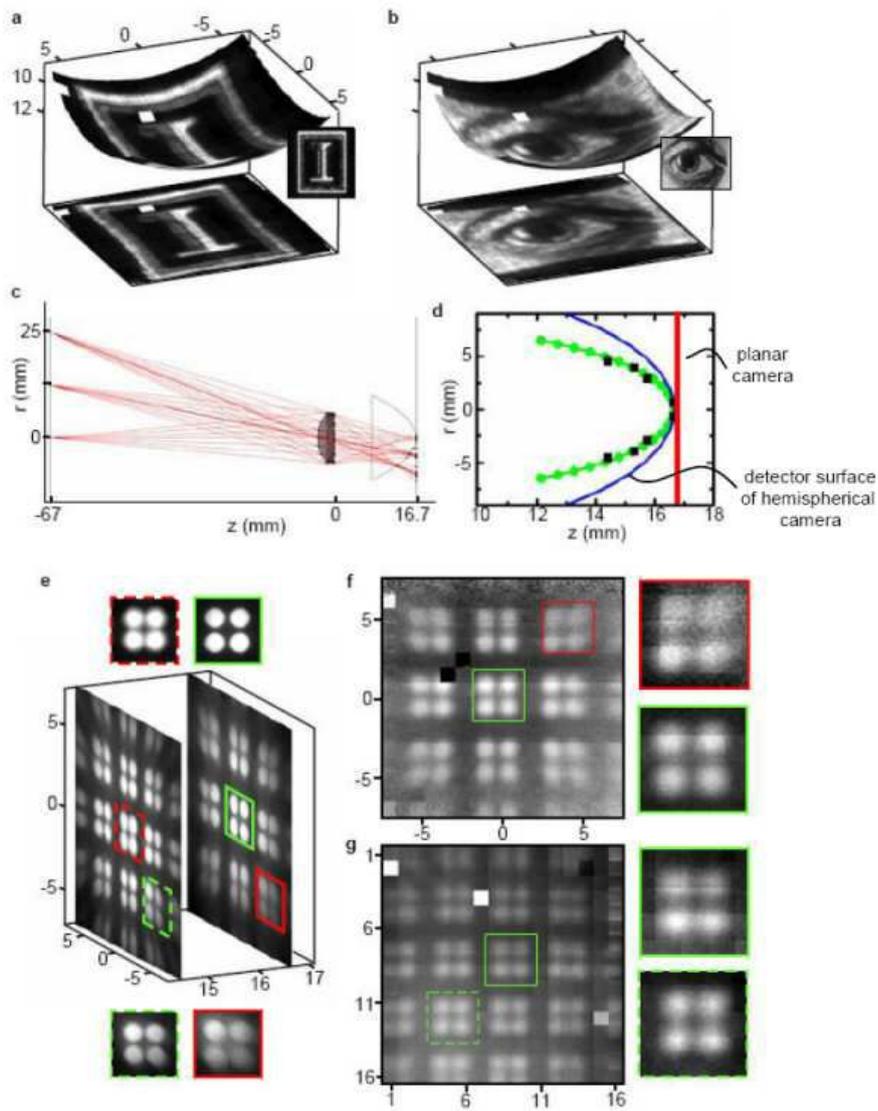
도면51



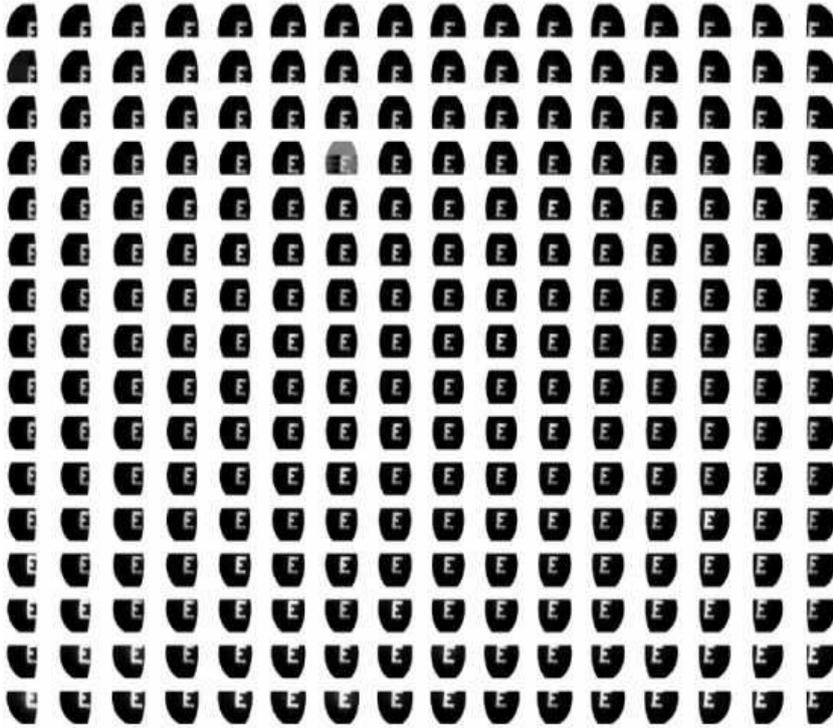
도면52



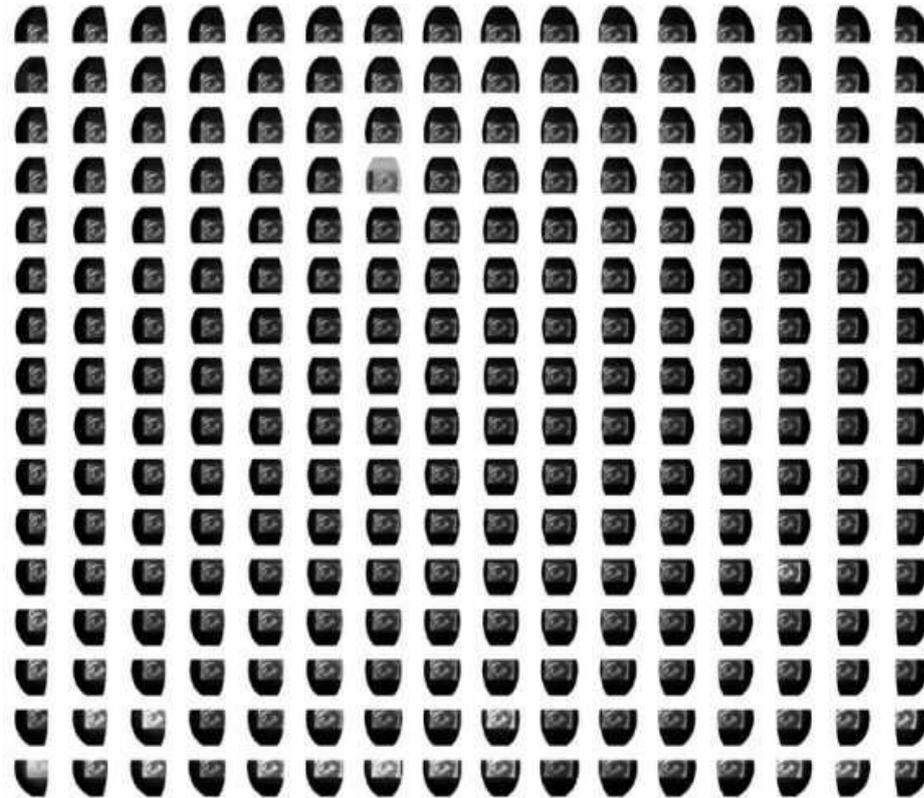
도면53



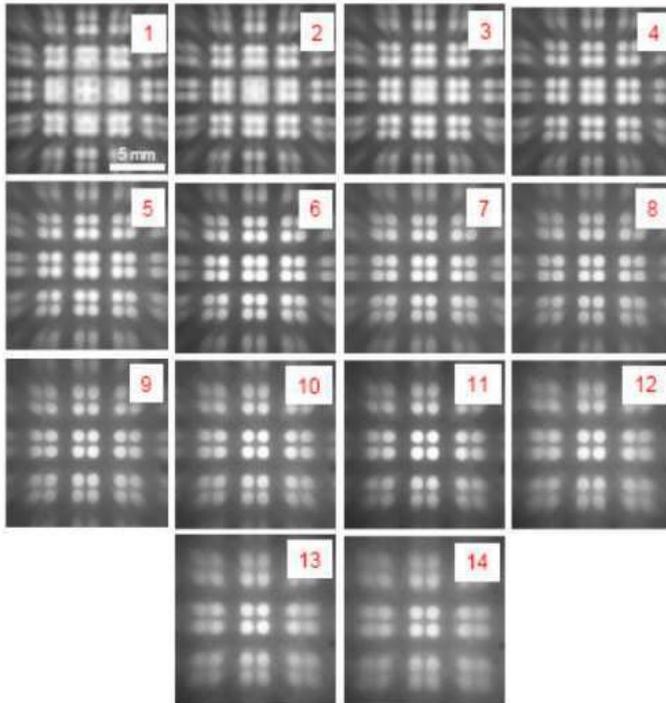
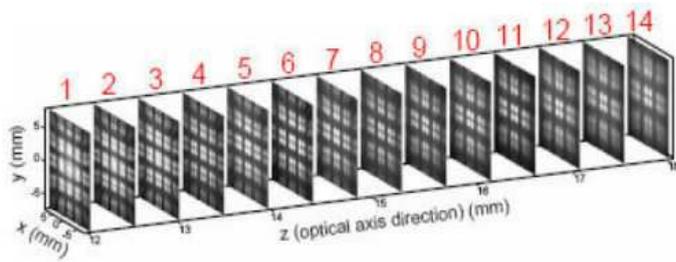
도면54



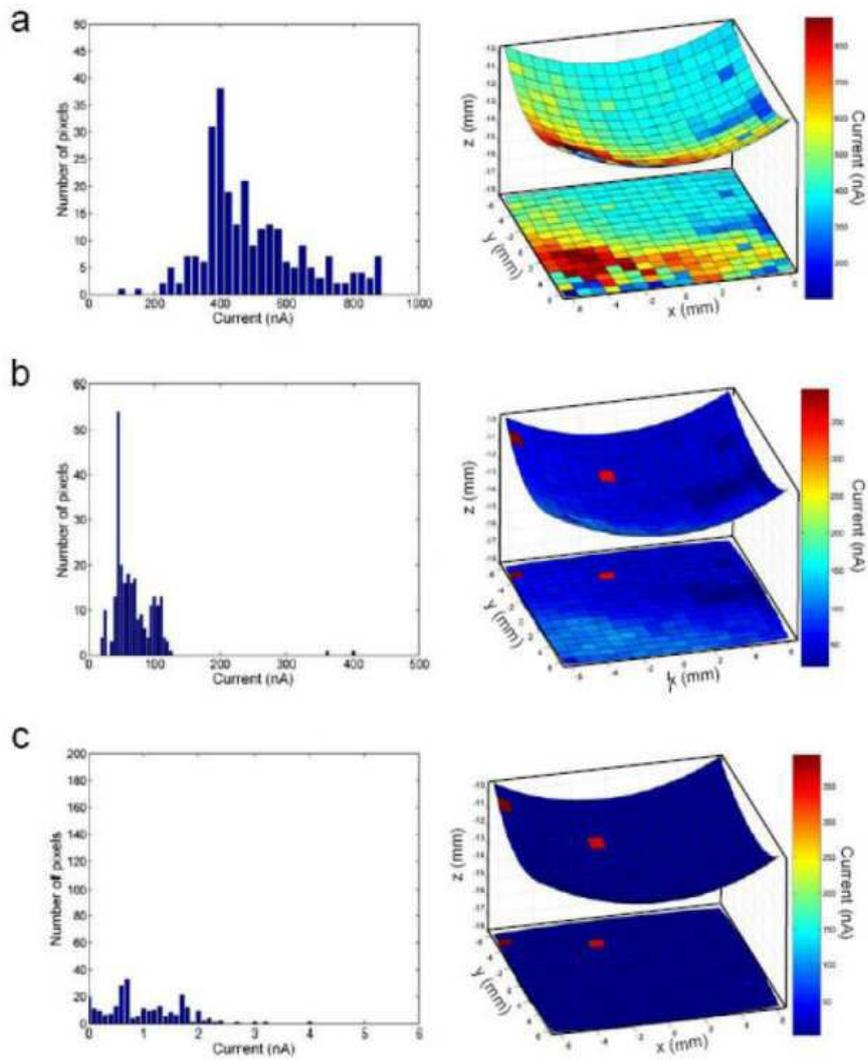
도면55



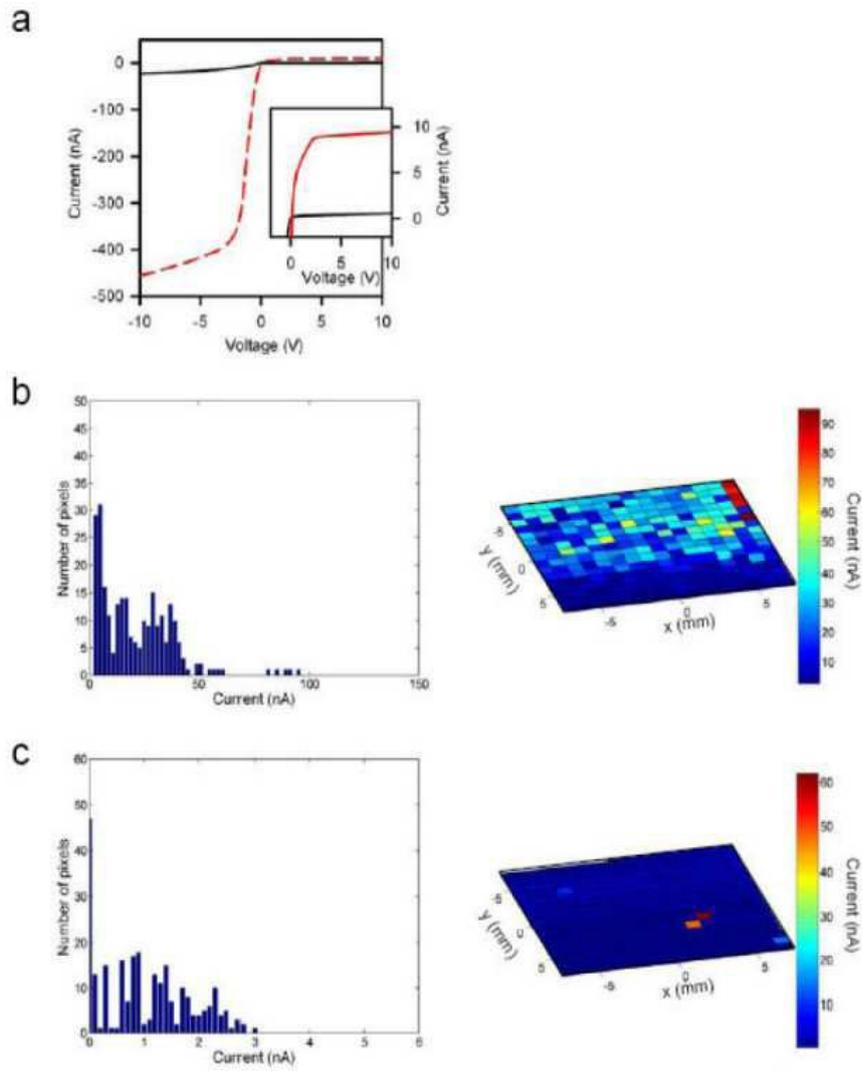
도면56



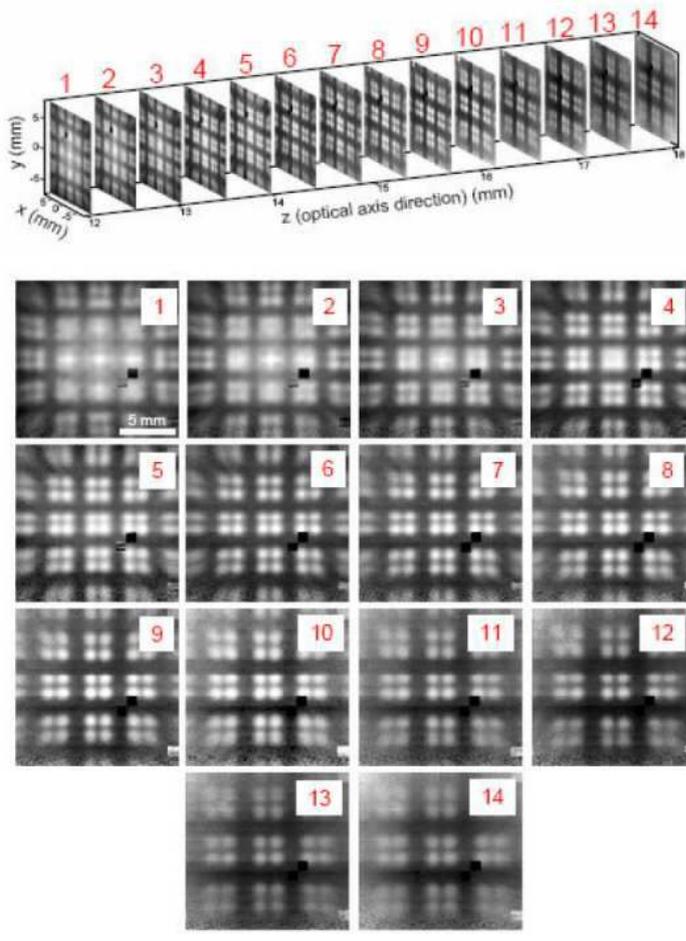
도면57



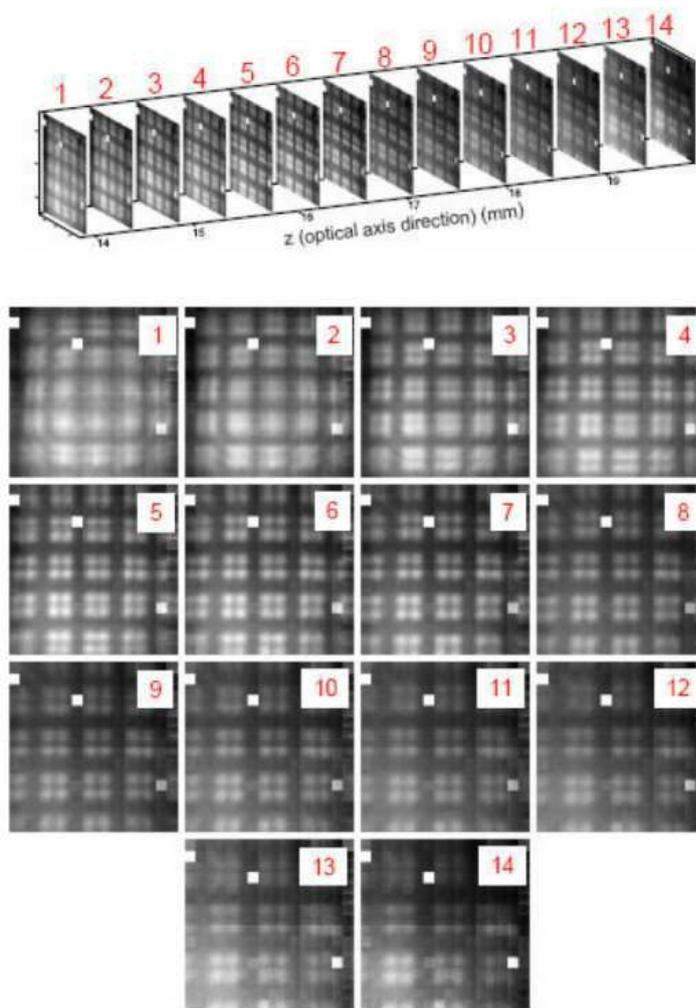
도면58



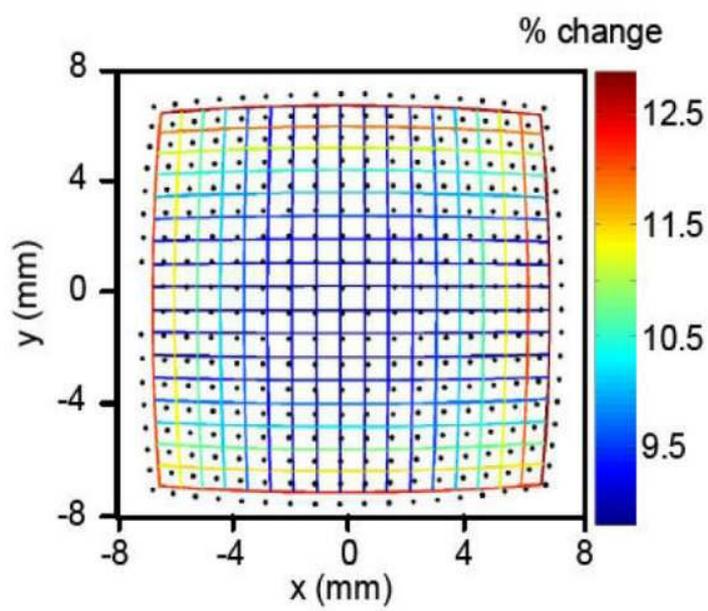
도면59



도면60

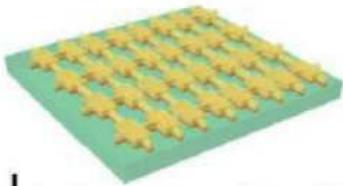


도면61

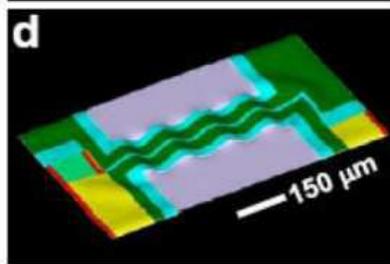
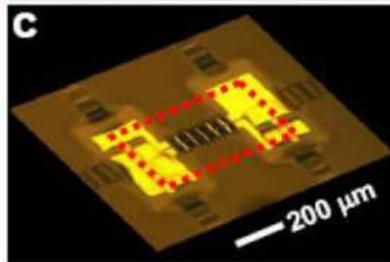
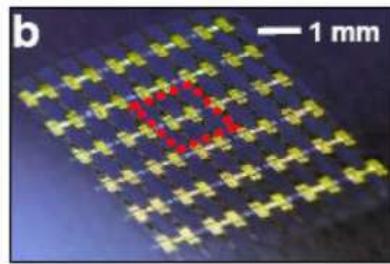
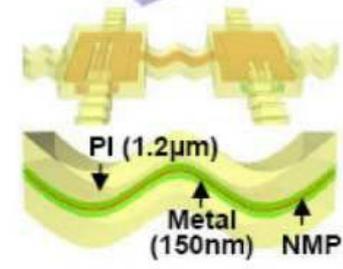
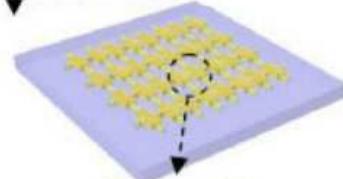


도면62

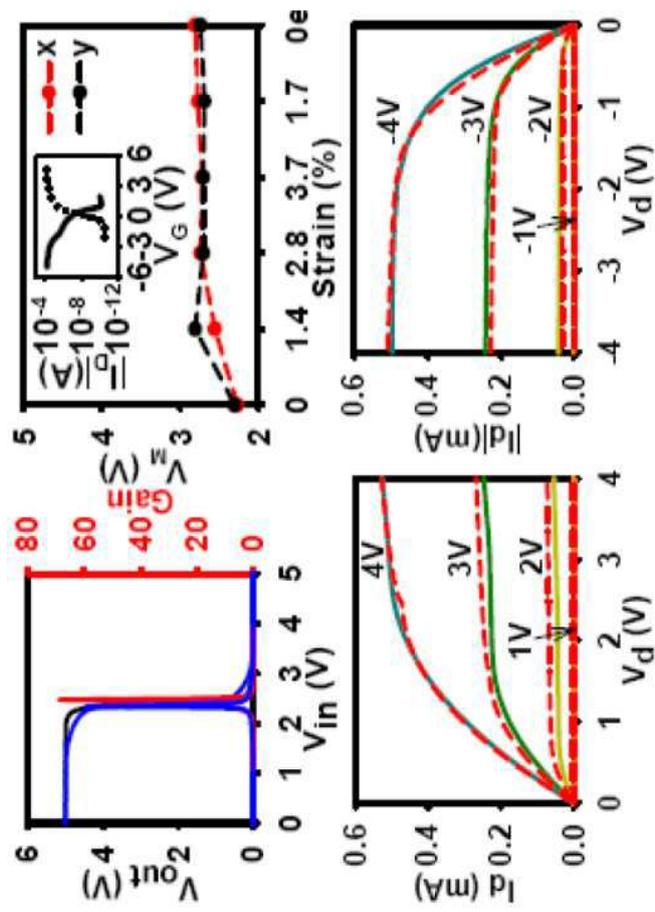
**a** 회로제작, PI 및 PMMA층 에칭



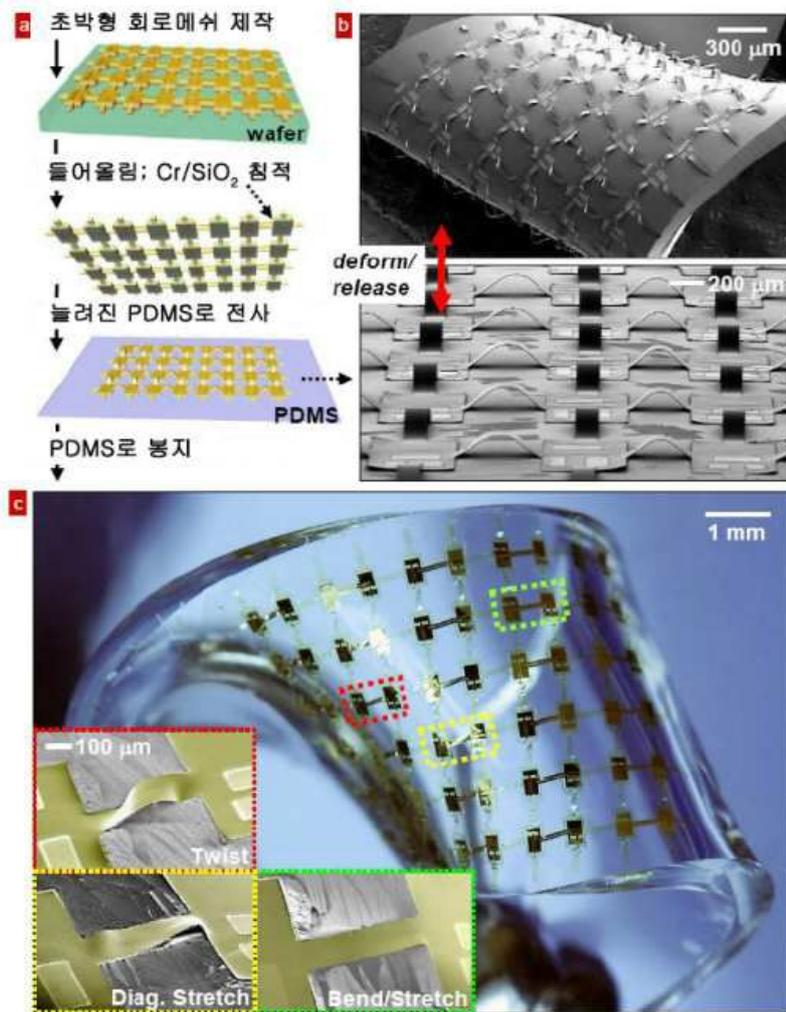
희생층 용해;  
사전 변형된 PDMS로 전사;  
PI 및 금속 파동형 상호연결



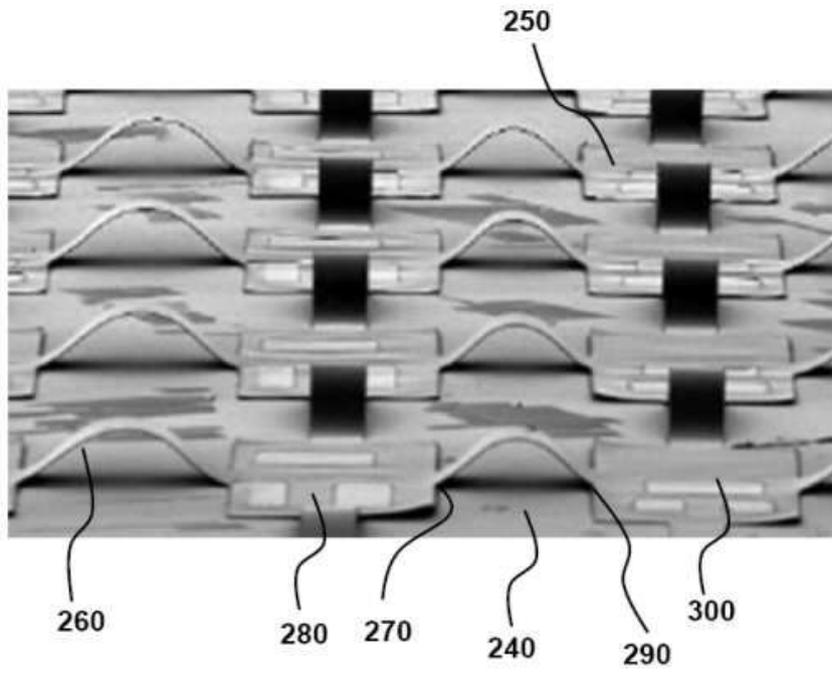
도면63



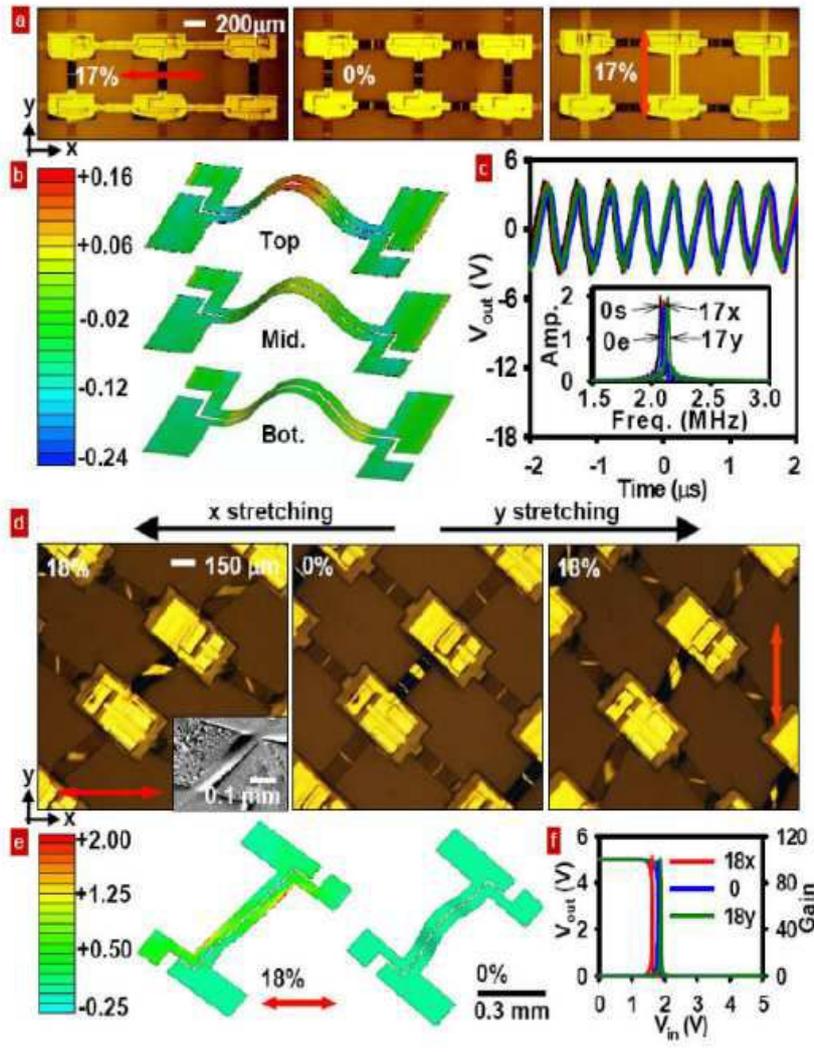
도면64



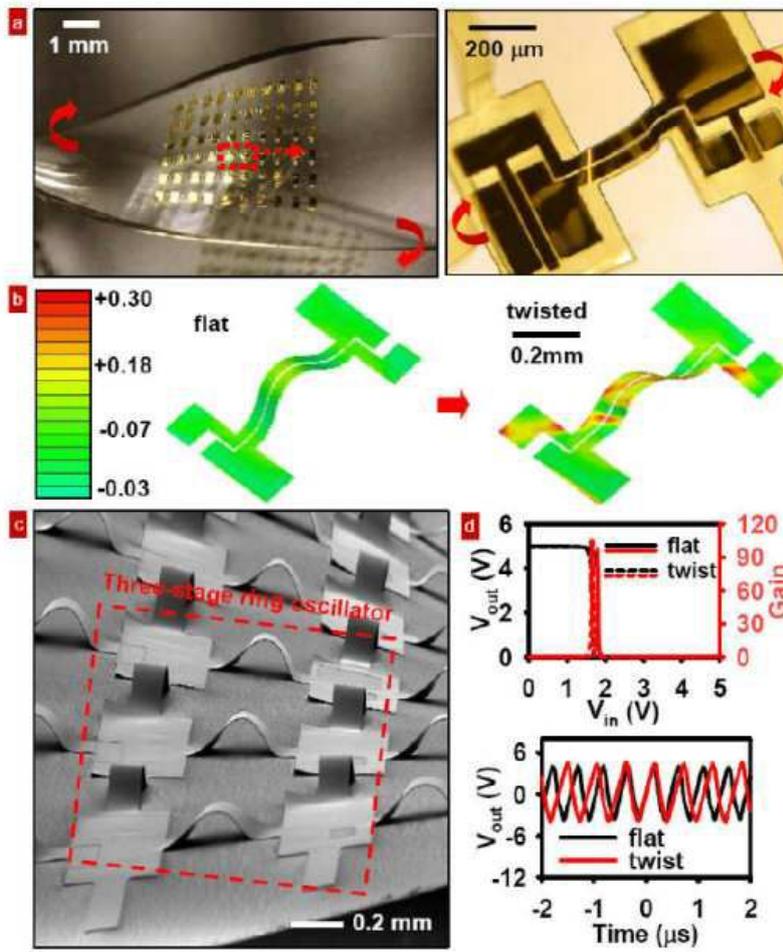
도면64d



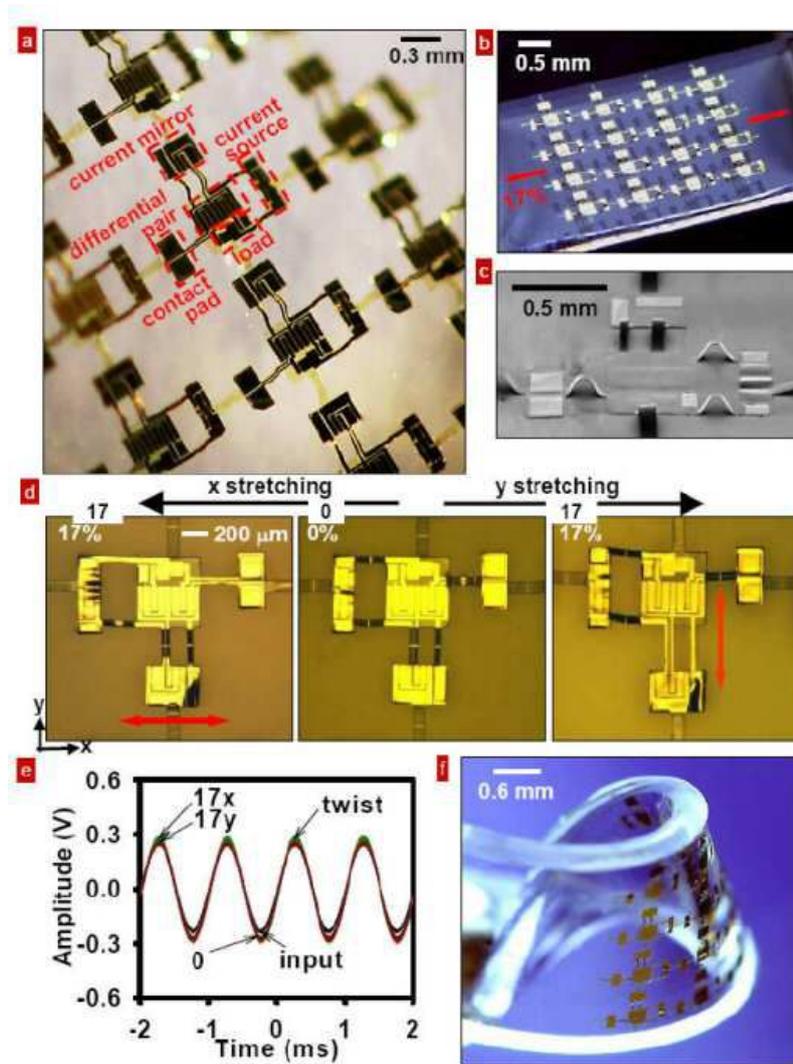
도면65



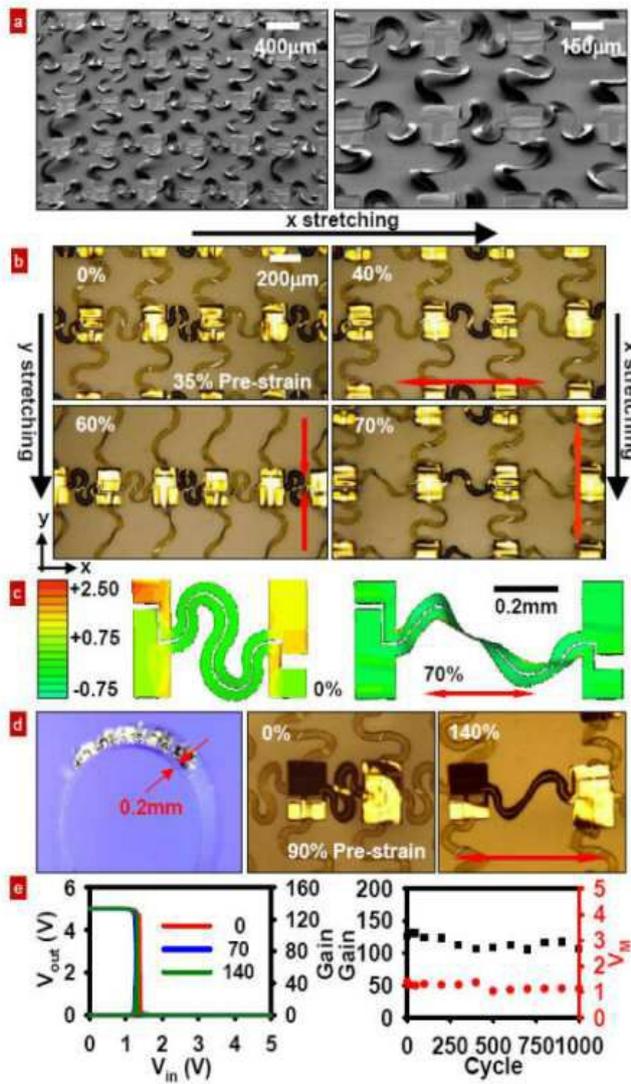
도면66



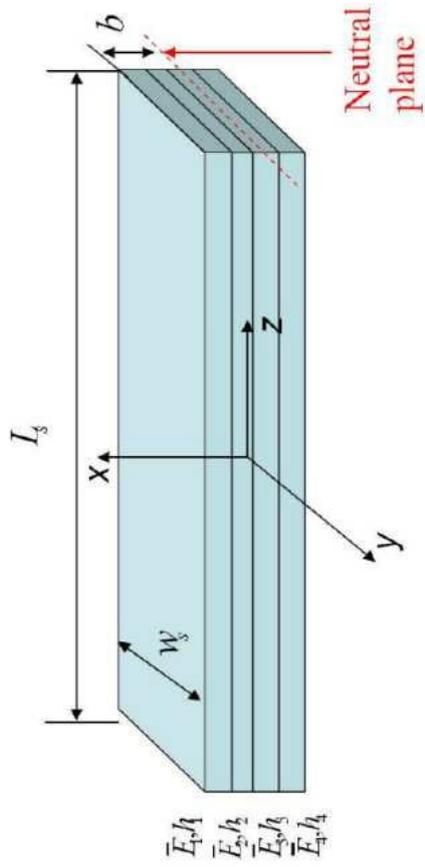
도면67



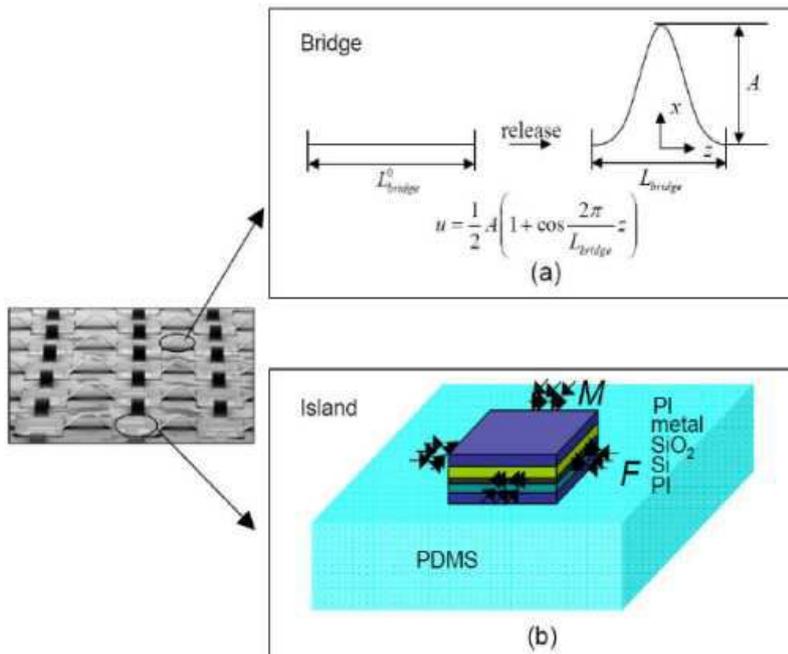
도면68



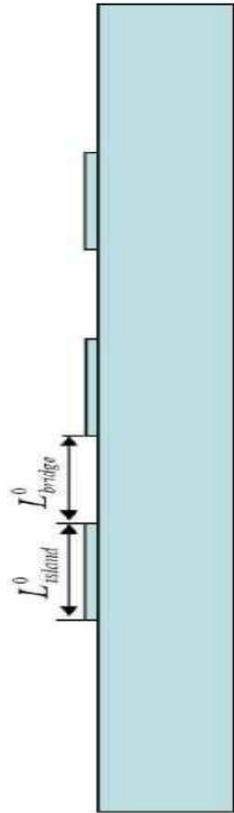
도면69



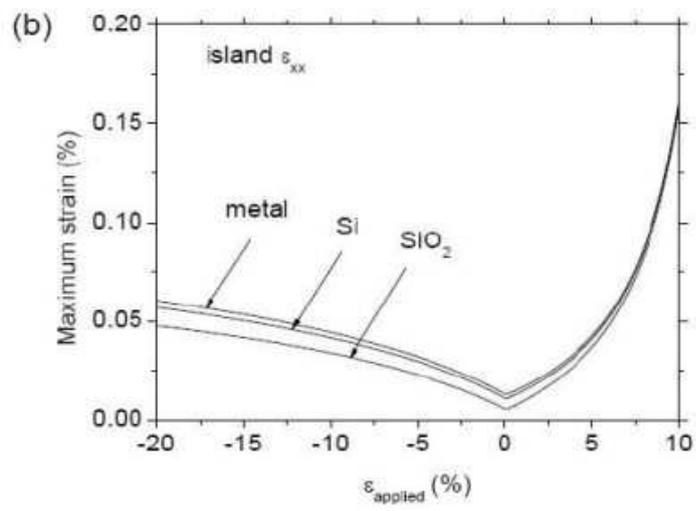
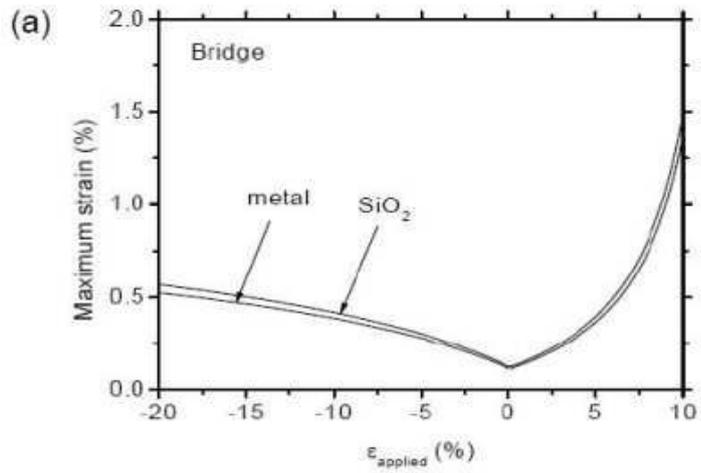
도면70



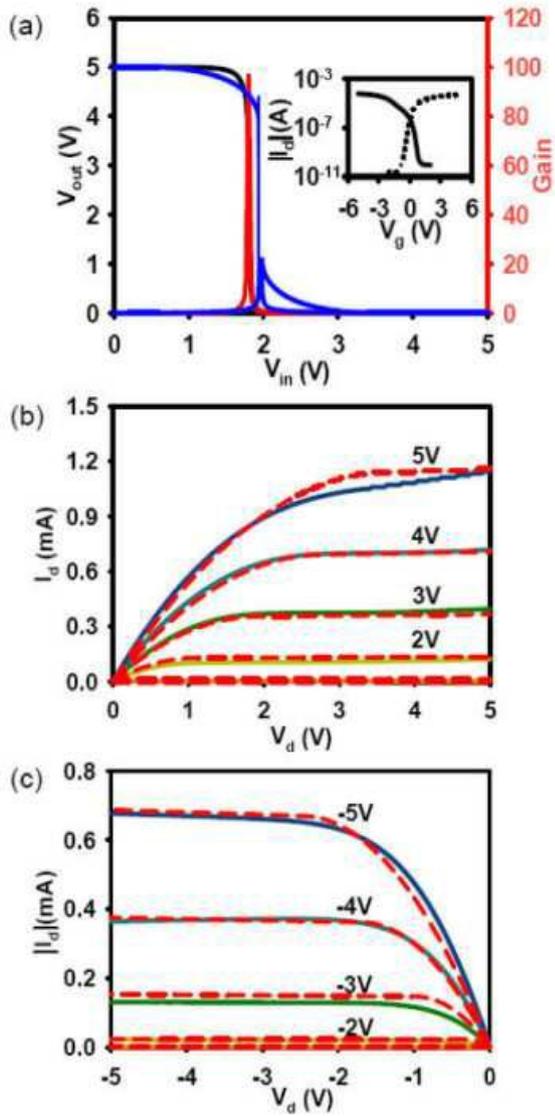
도면71



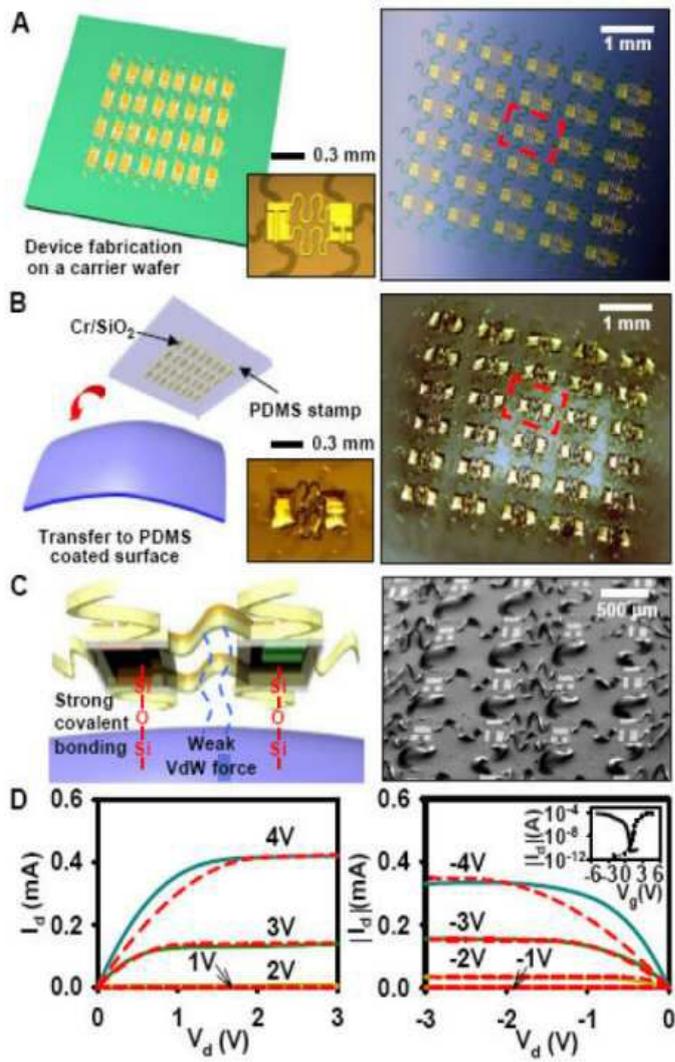
도면72



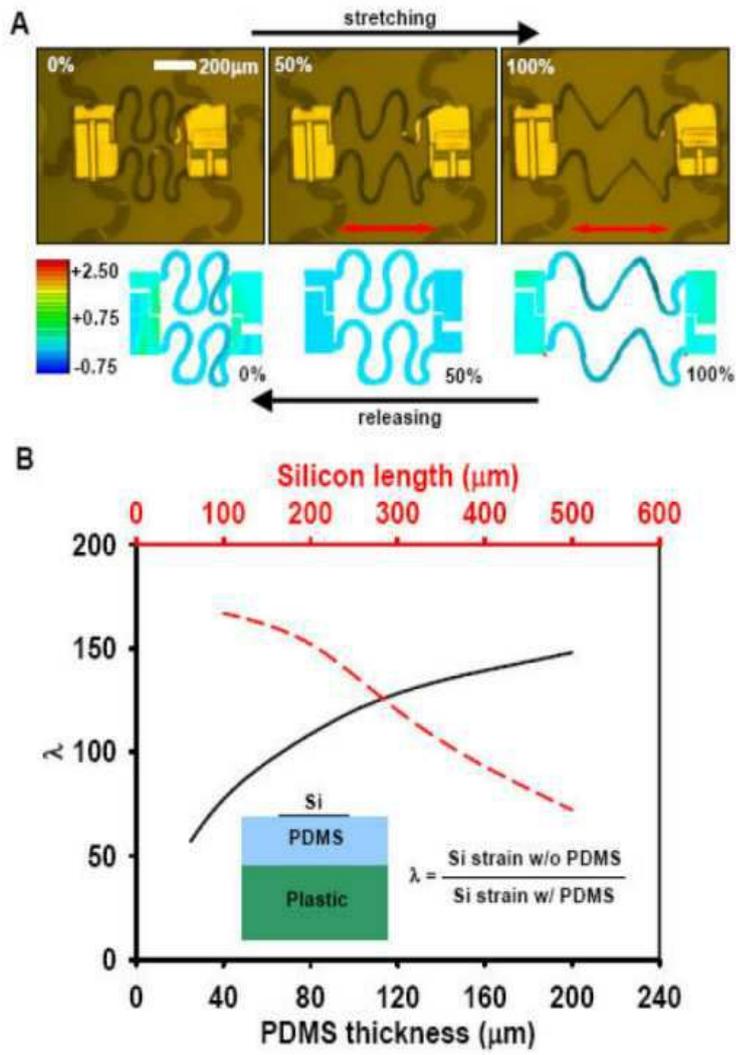
도면73



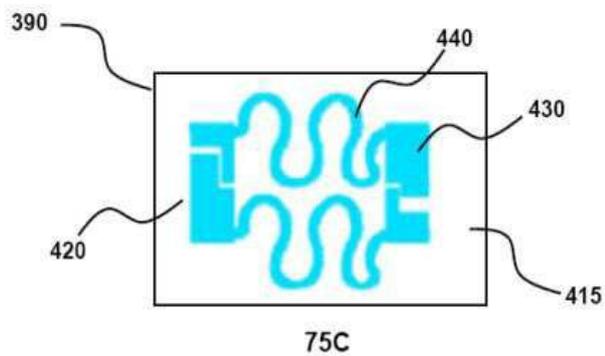
도면74



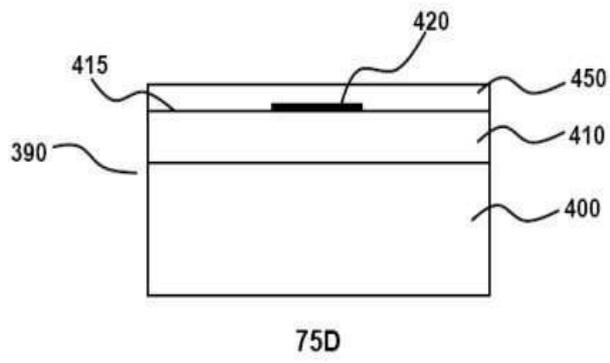
도면75



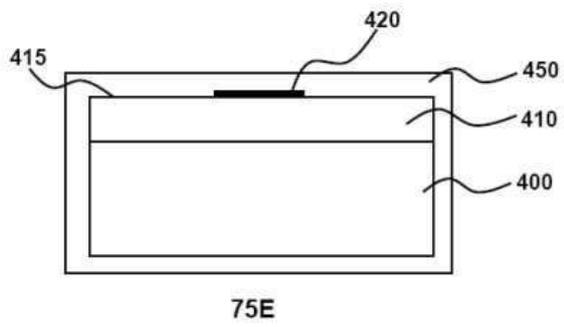
도면75c



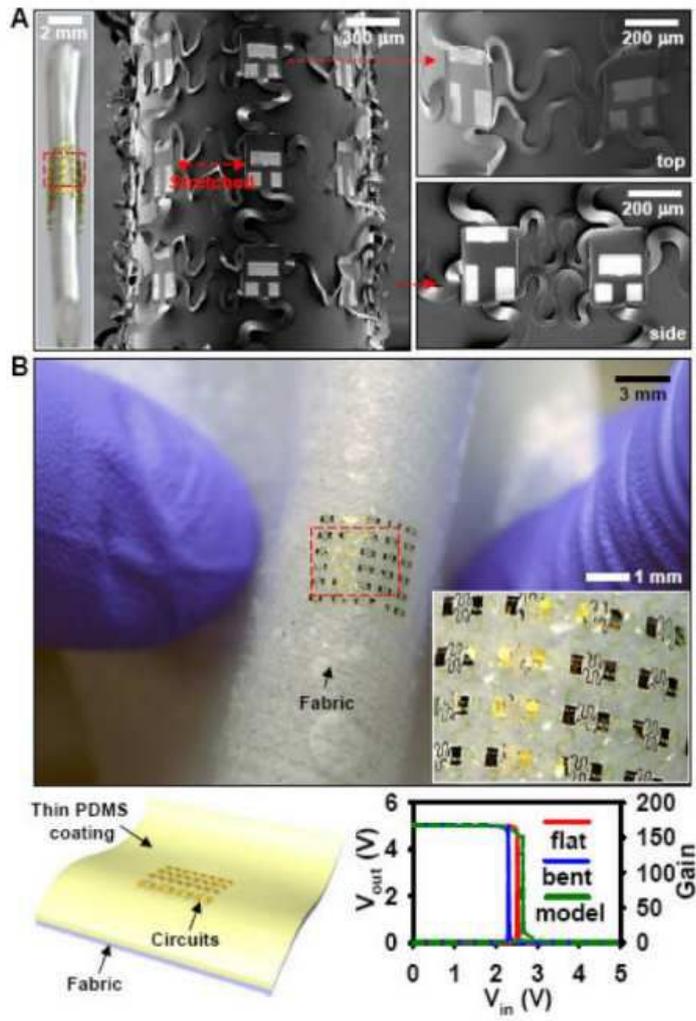
도면75d



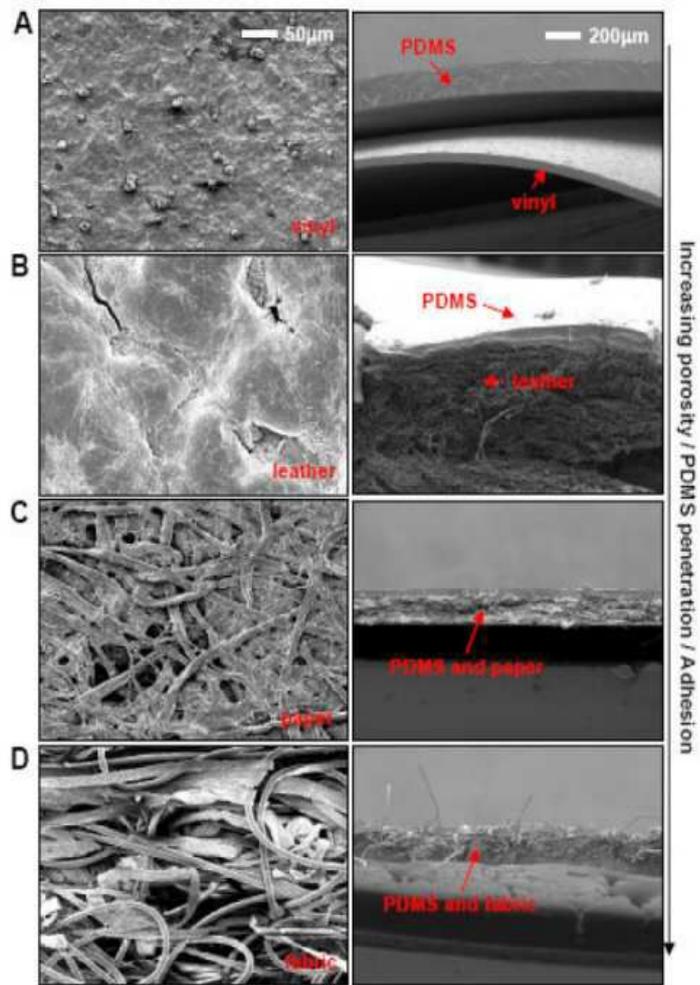
도면75e



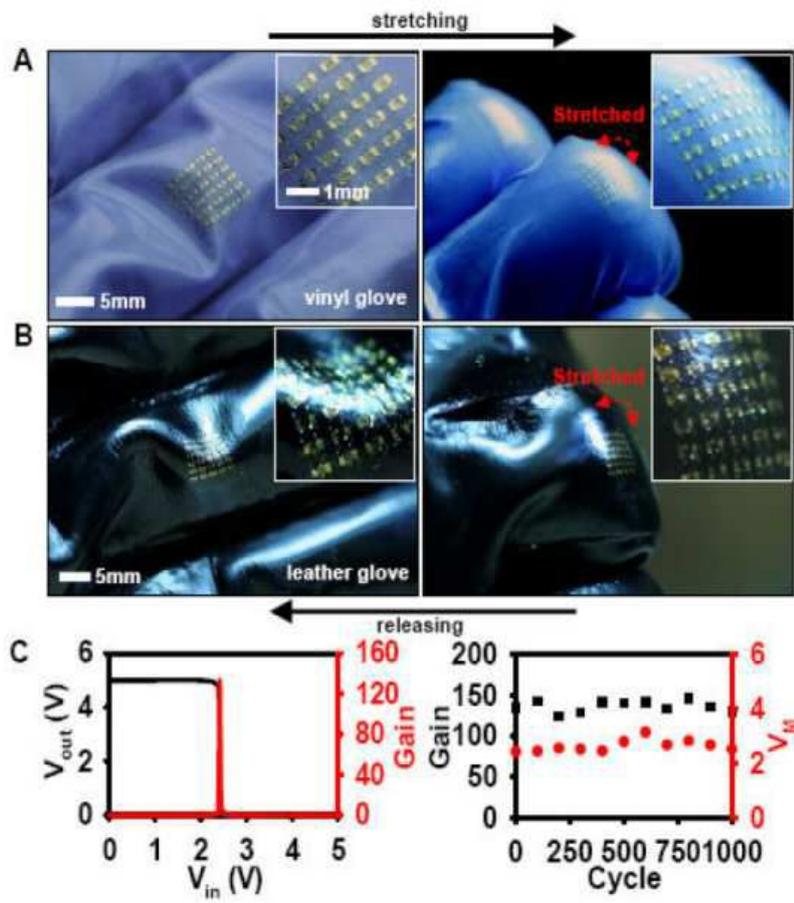
도면76



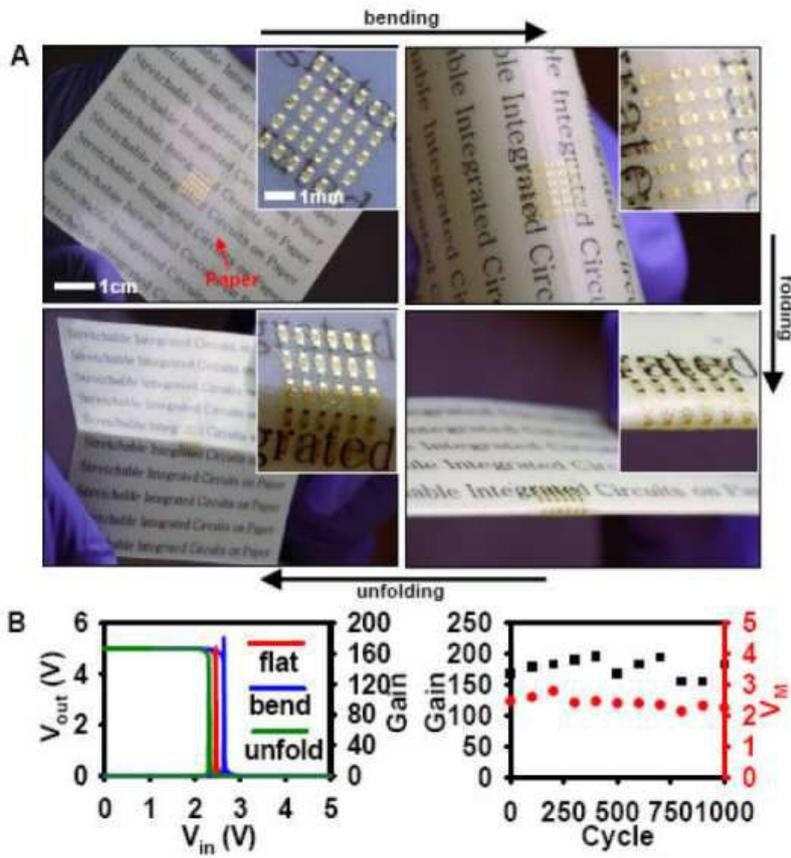
도면77



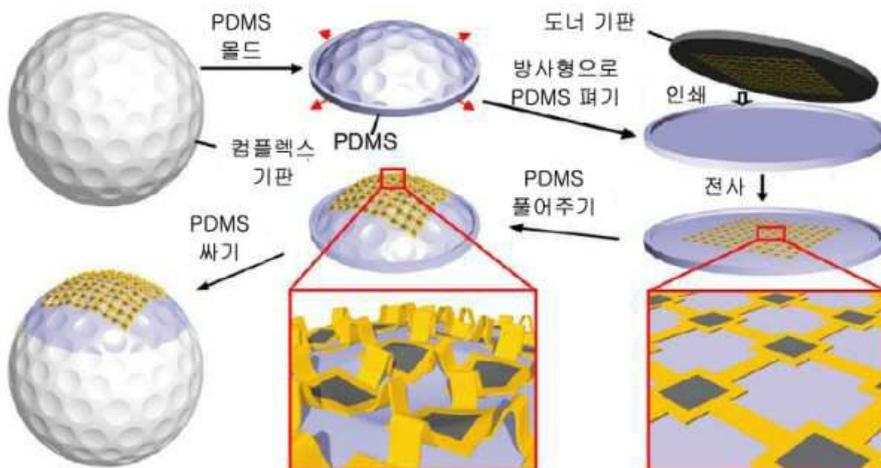
도면78



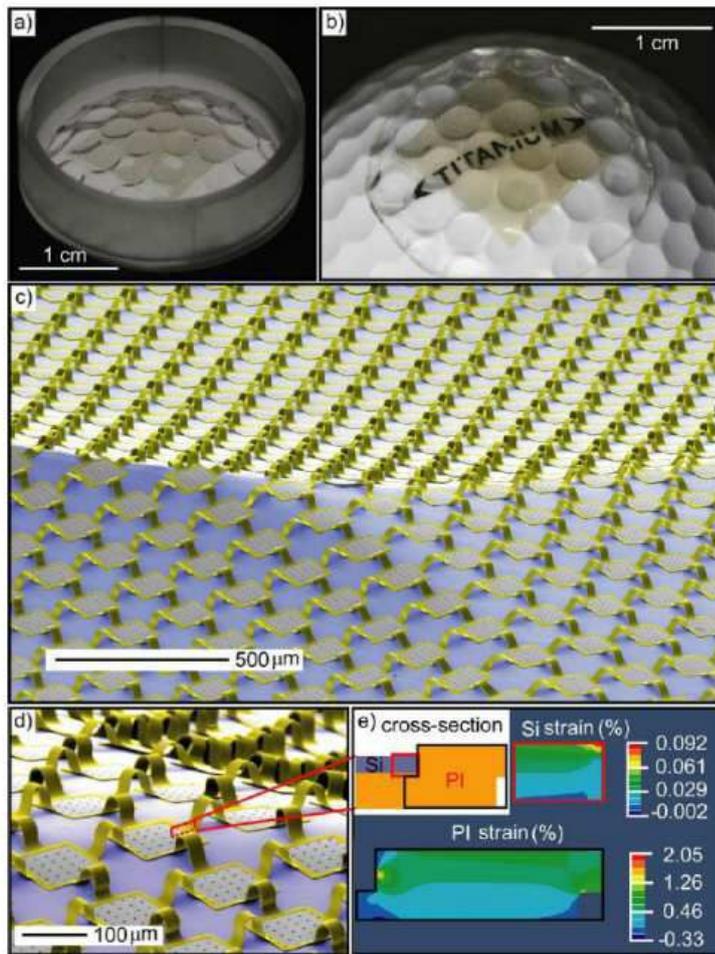
도면79



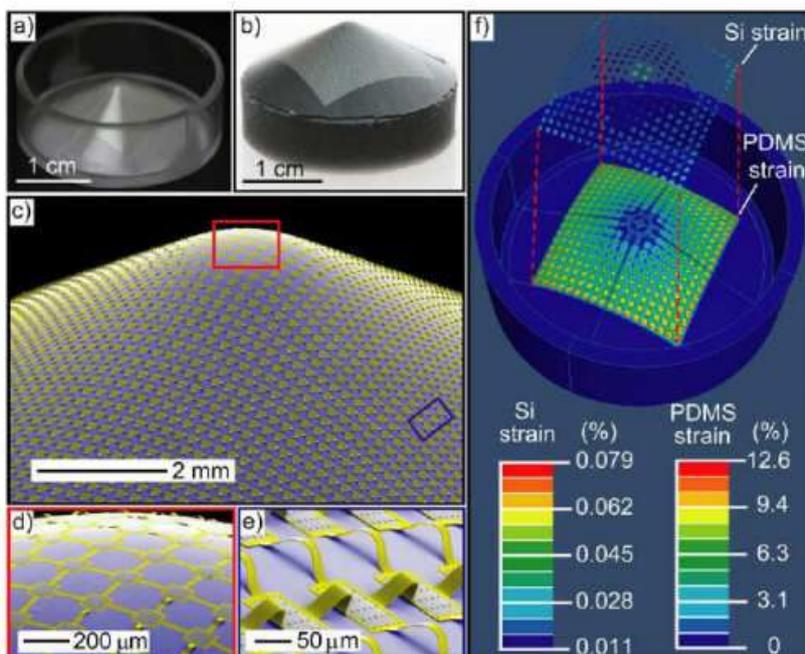
도면80



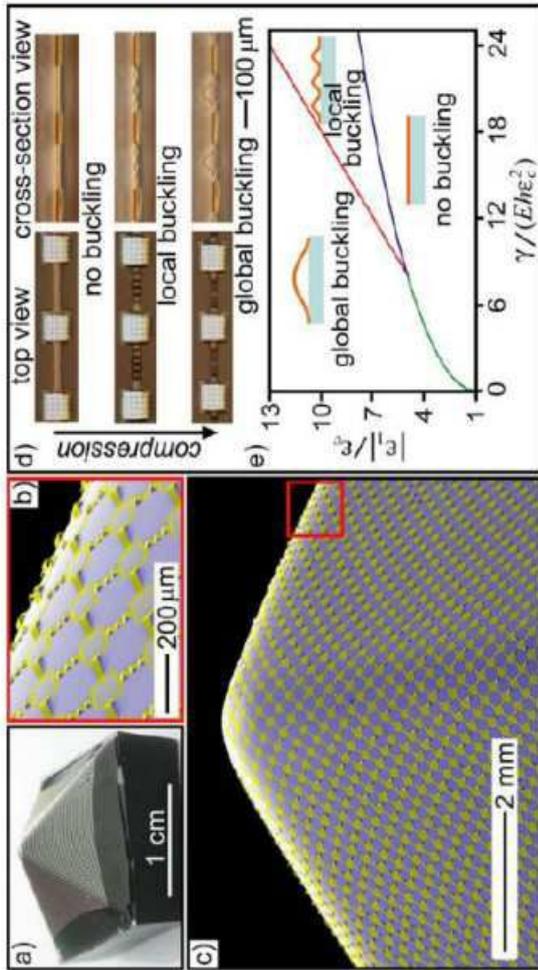
도면81



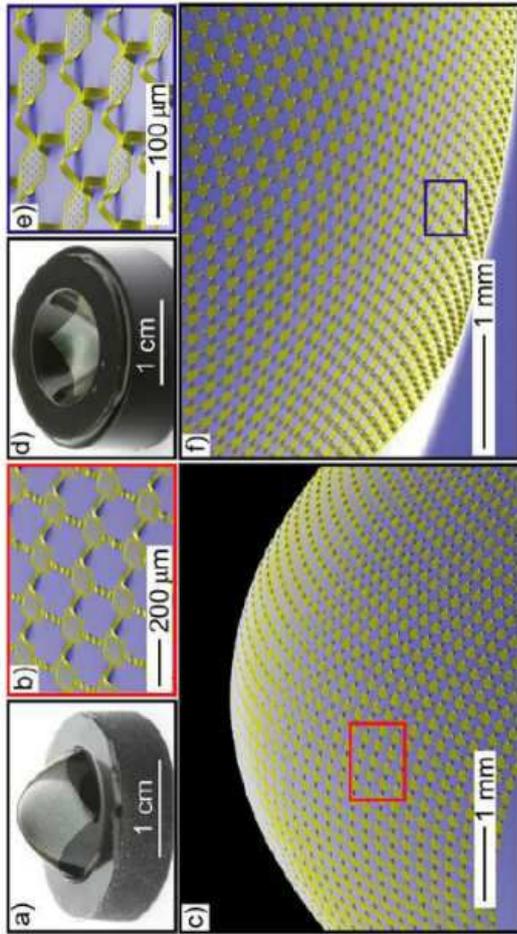
도면82



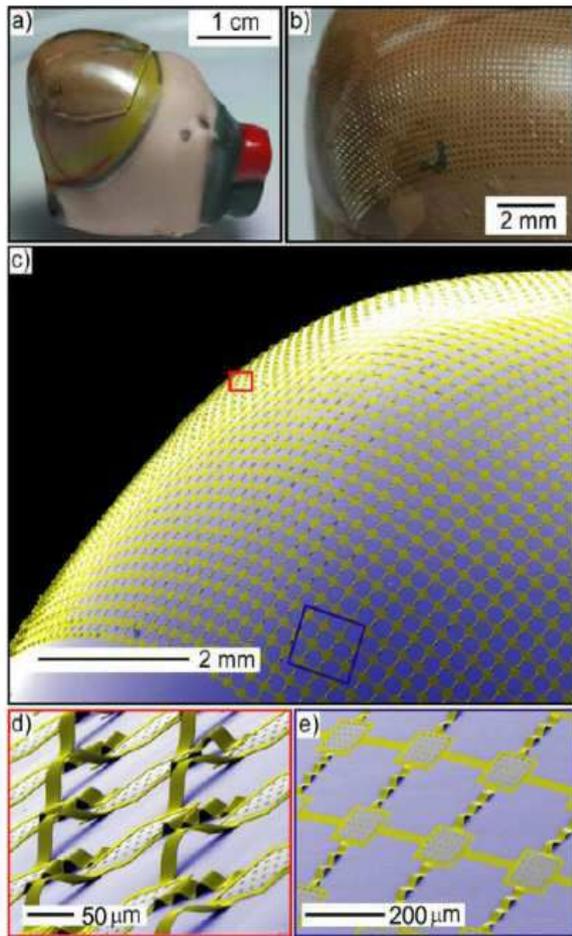
도면83



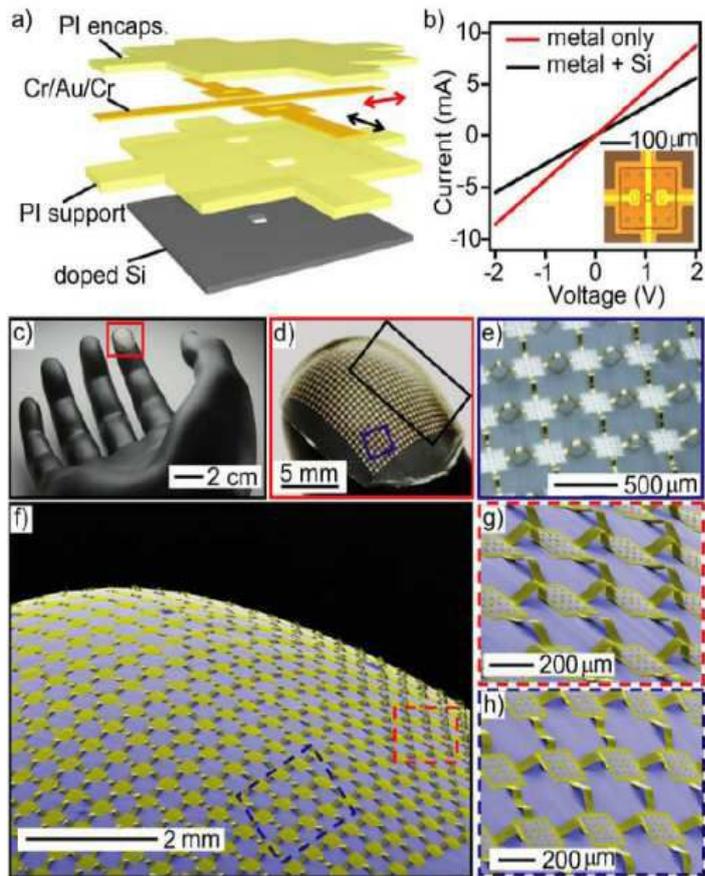
도면84



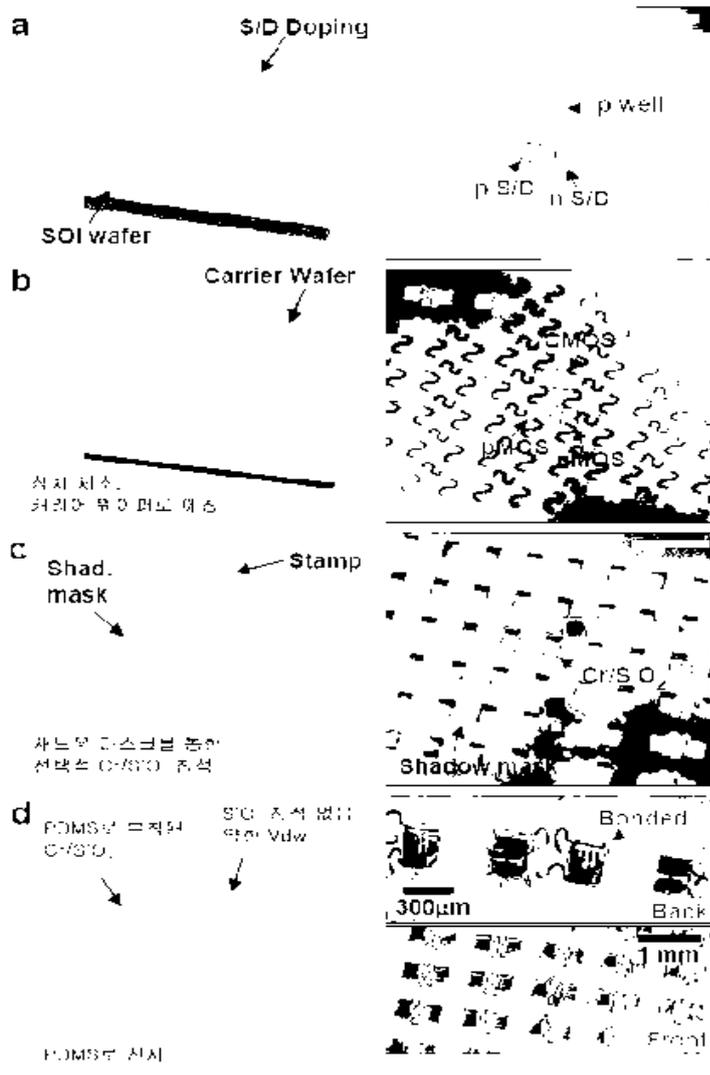
도면85



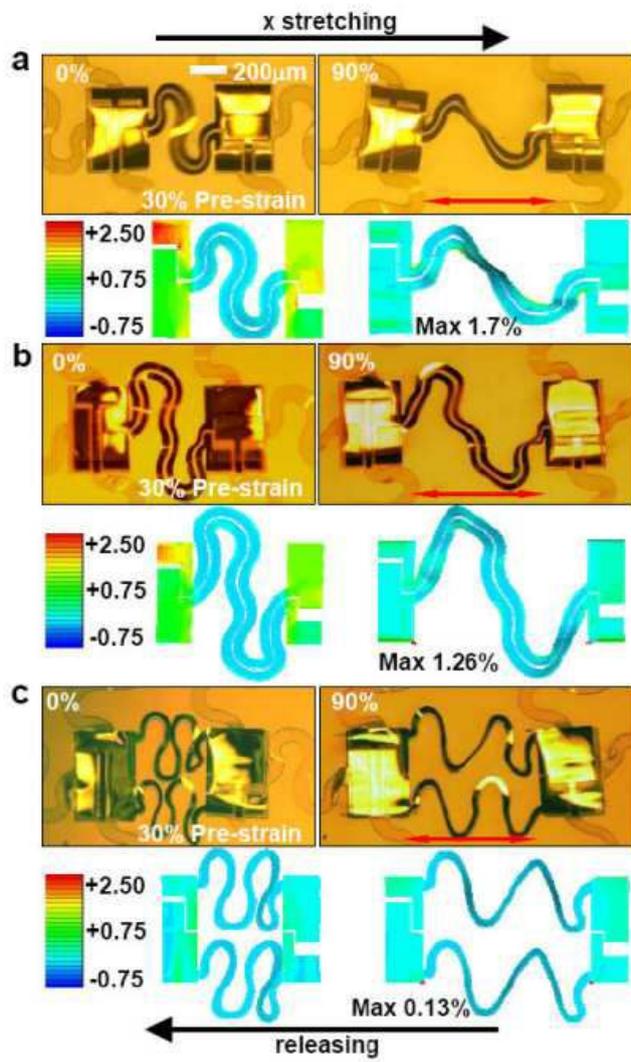
도면86



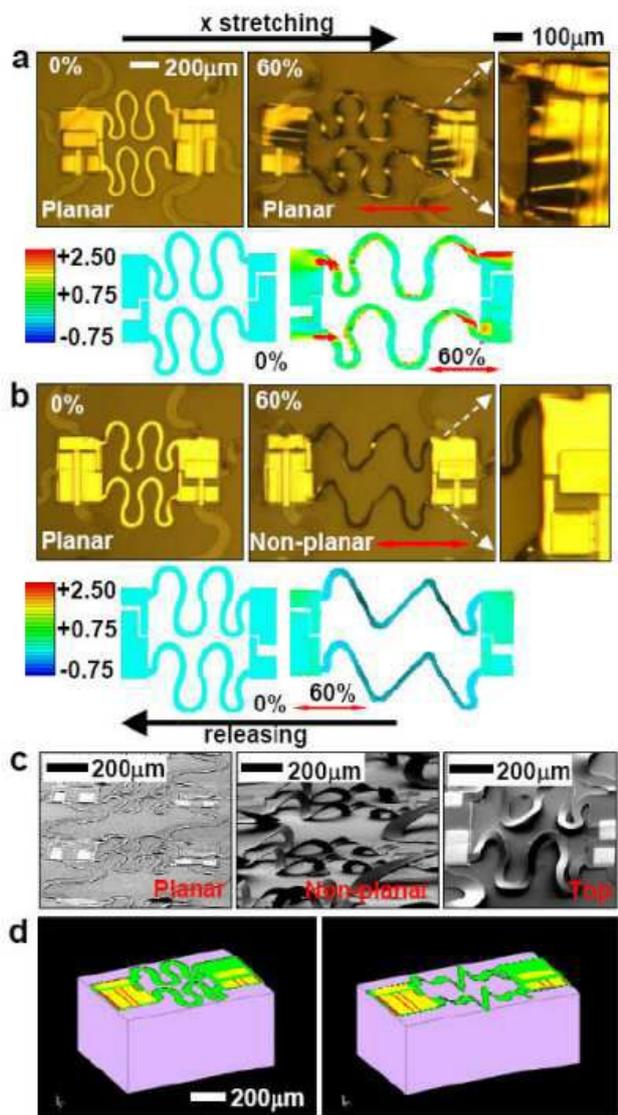
도면87



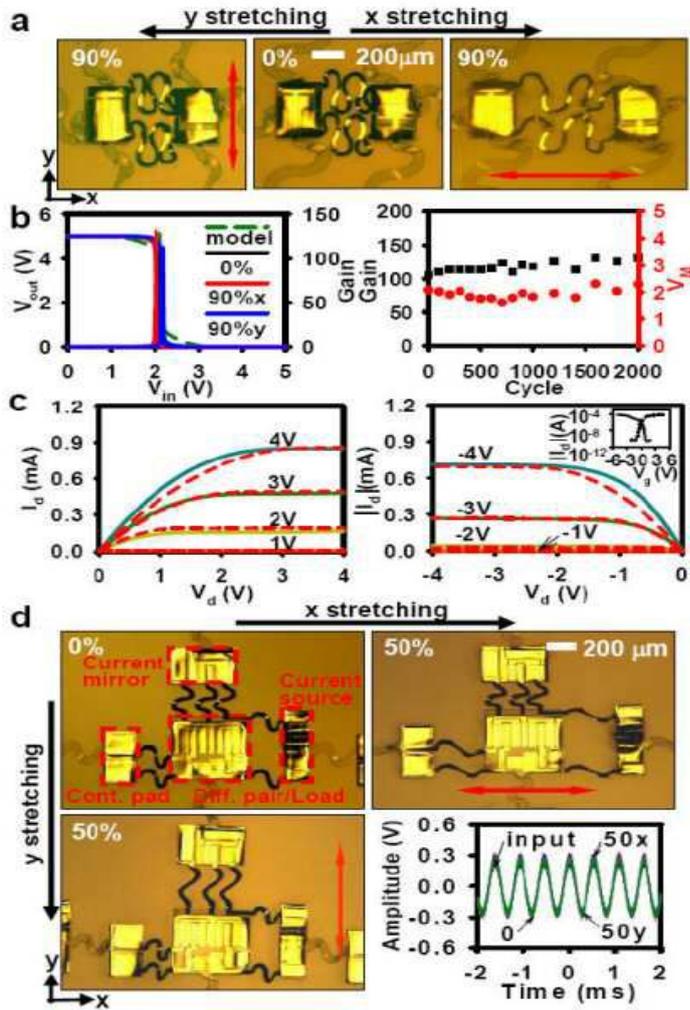
도면88



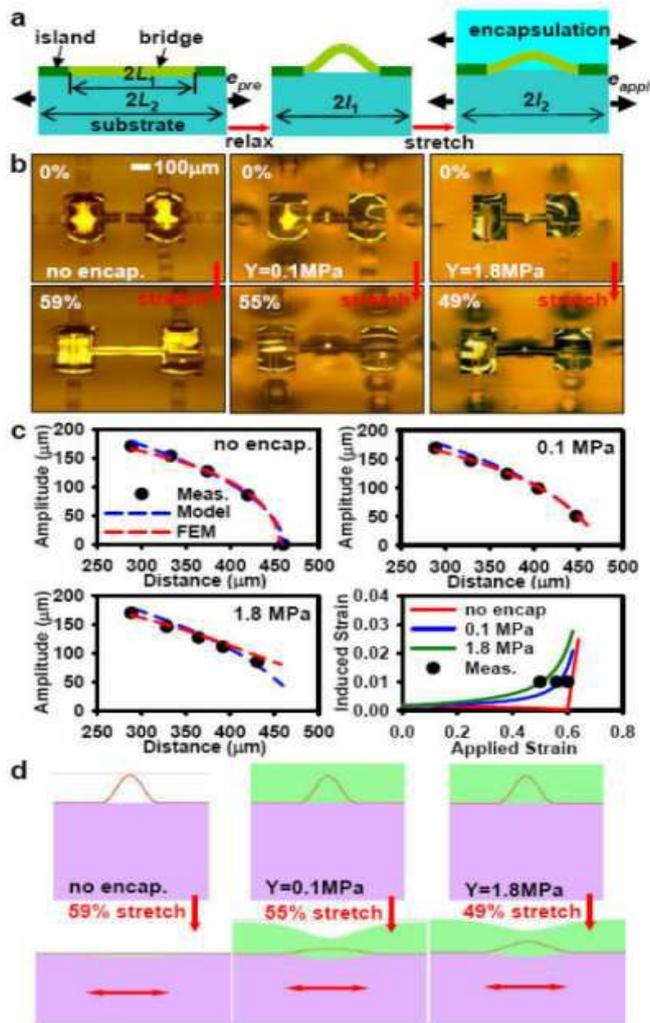
도면89



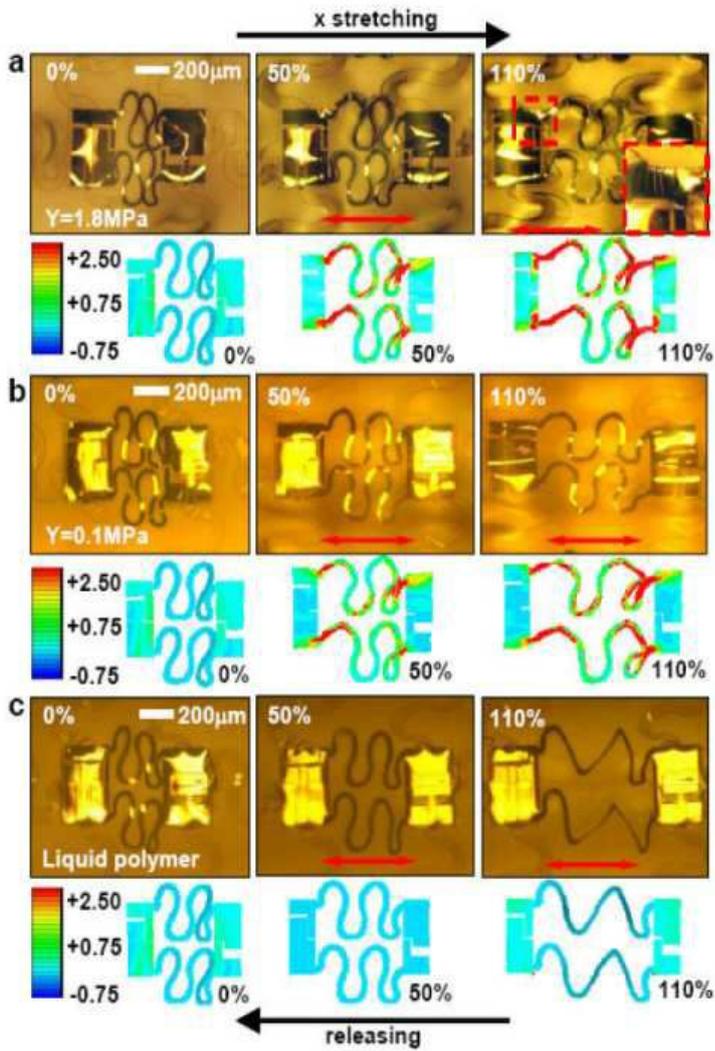
도면90



도면91



도면92



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 51, 64

【변경전】

상기 하나 이상의 움푹들어간 부분은

【변경후】

상기 움푹들어간 부분은