

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5524623号
(P5524623)

(45) 発行日 平成26年6月18日 (2014.6.18)

(24) 登録日 平成26年4月18日 (2014.4.18)

(51) Int. Cl.	F I		
G06F 15/78 (2006.01)	G06F 15/78	510P	
G06F 1/32 (2006.01)	G06F 1/00	332Z	
G06F 1/04 (2006.01)	G06F 1/04	301C	

請求項の数 12 (全 12 頁)

(21) 出願番号	特願2009-539228 (P2009-539228)	(73) 特許権者	500587067
(86) (22) 出願日	平成18年11月29日 (2006.11.29)		アギア システムズ インコーポレーテッド
(65) 公表番号	特表2010-511247 (P2010-511247A)		アメリカ合衆国, 18109 ペンシルヴァニア, アレンタウン, アメリカン パークウェイ エヌイー 1110
(43) 公表日	平成22年4月8日 (2010.4.8)	(74) 代理人	100094112
(86) 国際出願番号	PCT/US2006/061323		弁理士 岡部 譲
(87) 国際公開番号	W02008/066548	(74) 代理人	100085176
(87) 国際公開日	平成20年6月5日 (2008.6.5)		弁理士 加藤 伸晃
審査請求日	平成21年11月27日 (2009.11.27)	(74) 代理人	100104352
			弁理士 朝日 伸光
		(74) 代理人	100128657
			弁理士 三山 勝巳

最終頁に続く

(54) 【発明の名称】 動的電力制御及び適応的電力制御のためのスピード・ビニング

(57) 【特許請求の範囲】

【請求項1】

第1の集積回路を含むデバイスであって、前記第1の集積回路が、
プロセッサ・コアに印加されるVDD電圧を表す第1の電力供給信号を受信するように構成される前記プロセッサ・コアと、

前記第1の電力供給信号とは異なり、デジタル回路に印加されるVDD電圧を表す第2の電力供給信号を受信するように構成される前記デジタル回路と、

前記第1および第2の電力供給信号を制御するように適合された電力制御器と、

前記プロセッサ・コアおよび前記デジタル回路の性能を特徴づけるスピード・ビニング試験データを格納するように適合されたメモリとを含み、

前記スピード・ビニング試験データが前記第1の集積回路の生産試験中に生成され、前記メモリ内に格納されており、

前記電力制御器が、前記メモリに格納される前記スピード・ビニング試験データにアクセスし、前記第1の電力供給信号の適応的電力制御及び動的電力制御における使用のための前記第1の電力供給信号のレベルを設定するように構成されており、前記第1の集積回路は適応的電力制御及び動的電力制御の両方の影響を前記第1の電力供給信号に及ぼすように構成され、

前記電力制御器は、前記メモリに格納される前記スピード・ビニング試験データにアクセスし、前記第2の電力供給信号の適応的電力制御における使用のための前記第2の電力供給信号のレベルを設定するようにさらに構成されており、前記第1の集積回路は適応的

電力制御の影響を前記第 2 の電力供給信号に及ぼし、動的電力制御の影響を前記第 2 の電力供給信号に及ぼさないように構成される、デバイス。

【請求項 2】

前記スピード・ピニング試験データを使用して前記プロセッサ・コアに対する前記第 1 の電力供給信号の前記適応的電力制御及び前記動的電力制御をカスタマイズし、前記デジタル回路に対する前記第 2 の電力供給信号の前記適応的電力制御をカスタマイズするよう、前記電力制御器が適合されている、請求項 1 記載のデバイス。

【請求項 3】

前記スピード・ピニング試験データが、前記第 1 の電力供給信号及び第 2 の電力供給信号を約 6 MHz の動作スピードの刻みと対応する刻みで調節することを可能にする請求項 1 記載のデバイス。

10

【請求項 4】

前記スピード・ピニング試験データが、前記デジタル回路および前記プロセッサ・コアが 1 以上のそれぞれのスピード・ピニング試験ベクトルを使用する試験に合格した 1 以上の供給電圧値を含む、請求項 1 記載のデバイス。

【請求項 5】

前記メモリがワンタイムプログラマブルヒューズブロックであり、そして、前記第 1 の集積回路が携帯電話方式に対するデジタルベースバンド回路である、請求項 1 記載のデバイス。

【請求項 6】

前記電力制御器が、(1) 前記デジタル回路および前記プロセッサ・コアによって実行されるタスクに対するスピード制限を決定し、かつ (2) 前記スピード制限および前記スピード・ピニング試験データに基づいて前記タスクを実行するために、前記第 1 の電力供給信号の前記レベルを指定するように適合されている、請求項 1 記載のデバイス。

20

【請求項 7】

前記第 1 の集積回路が前記プロセッサ・コアの温度を検出するように適合されたセンサをさらに備え、前記電力制御器が、前記センサから得られる温度の読みおよび前記スピード・ピニング試験データに基づいて前記第 1 の電力供給信号の前記レベルを指定するように適合されている、請求項 1 記載のデバイス。

30

【請求項 8】

前記電力制御器から前記第 1 の電力供給信号の前記レベルと前記第 2 の電力供給信号の前記レベルに関する指示を受け、そして、前記指示に基づいて前記第 1 及び第 2 の電力供給信号を生成するように適合された電力管理ユニットをさらに備え、

前記電力制御器と前記電力管理ユニットとは Power Wise (登録商標) Interface Specification に準拠し、

前記デバイスが、第 2 の集積回路をさらに備え、

前記電力管理ユニットが前記第 2 の集積回路の一部である、請求項 1 記載のデバイス。

【請求項 9】

前記デジタル回路が位相ロックループを備え、前記デバイスが前記位相ロックループに給電するために前記第 2 の電力供給信号を印加するように構成される、請求項 1 記載のデバイス。

40

【請求項 10】

前記デジタル回路が基準発振器をさらに備え、前記デバイスが前記基準発振器に給電するために前記第 2 の電力供給信号を印加するようにさらに構成される、請求項 9 記載のデバイス。

【請求項 11】

集積回路を構成する方法であり、前記集積回路の性能を特徴づけるスピード・ピニング試験データを生産試験中に生成するステップと、

50

前記生産試験中に生成された前記スピード・ビニング試験データをメモリ内に格納するステップとを含む方法であって、

前記集積回路は、

プロセッサ・コアに印加されるVDD電圧を表す第1の電力供給信号を受信するように構成される前記プロセッサ・コアと、

前記第1の電力供給信号とは異なり、デジタル回路に印加されるVDD電圧を表す第2の電力供給信号を受信するように構成される前記デジタル回路と、

前記メモリと、

(1)前記メモリ内の前記スピード・ビニング試験データにアクセスし、前記第1の電力供給信号の適応的電力制御及び動的電力制御における使用のための前記第1の電力供給信号のレベルを設定することにより、および(2)前記メモリ内に格納される前記スピード・ビニング試験データにさらにアクセスし、前記第2の電力供給信号の適応的電力制御における使用のための前記第2の電力供給信号のレベルを設定することにより、前記第1および第2の電力供給信号を制御するように適合される電力制御器とを含み、

前記集積回路は、適応的電力制御及び動的電力制御の両方の影響を前記第1の電力供給信号に及ぼすように構成されるとともに、適応的電力制御の影響を前記第2の電力供給信号に及ぼし、動的電力制御の影響を前記第2の電力供給信号に及ぼさないように構成されるものである、方法

【請求項12】

前記生成するステップが、

前記デジタル回路を介して第1の電圧レベルにてスピード・ビニング試験ベクトルを実行するステップと、

前記デジタル回路が前記第1の電圧レベルにて前記スピード・ビニング試験ベクトルを使用する試験に合格したかどうかを決定するステップと、

前記デジタル回路が前記試験に合格した場合、次いで、前記第2の電力供給信号を第2の電圧レベルに設定するステップと、

複数の異なる第1および第2の電圧レベルに対して前記実行するステップ、決定するステップ、および設定するステップを繰り返し、前記デジタル回路がスピード・ビニング試験ベクトルを使用する試験に合格可能である電圧レベルの範囲を決定するステップとを含み、

前記スピード・ビニング試験データが、前記デジタル回路が前記スピード・ビニング試験ベクトルを使用する試験に合格した1以上の電圧レベルを含む請求項11記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は集積回路(IC)の電力管理に関し、より詳細には、ICのデジタル処理構成要素のための電力供給電圧の動的かつ/又は適応的調節に関する。

【背景技術】

【0002】

電子デバイスの性能を評価することにおける重要な基準はその電力消費である。携帯型電子デバイスにおいて多くのデータを必要とする機能に対する要求により、バッテリーの負担が著しく増加している。デバイスメーカーは、カラーディスプレイ、高品質サウンド、ウェブ閲覧、ビデオストリーミング、ゲームなどの新しい機能を、バッテリー寿命及びデバイスの形状要素を犠牲にすることなく提供することを要求されている。バッテリー及び電力変換の技術は、近い将来にほんのわずかな進歩しか提供できない安定期におおむね到達した。その結果、電子デバイスメーカーは、付加的な電力要求と消費者の期待の両方を満足することができるように、既存の電源能力を活用する「賢明な」電力管理によって新しい機能に給電することを追求している。

【0003】

賢明な電力管理の2つの主たる構成要素は、適応的電力制御及び動的電力制御である。適応的電力制御は、製造されるときに電子デバイスが影響を受けたプロセスコーナ及びデバイスが動作しているシリコン温度に基づいてクロックスピード及び/又は供給電圧を選択することに依拠する。例えば、相対的に高いシリコンスピードを特徴とする相対的に速いデバイスは、所望の動作スピードを実現するためにより低い供給電圧で実行するように構成されることができ、それによりバッテリーの過剰な電力ドレインが削減される。動的電力制御は、クロック周波数及び/又は供給電圧をそれぞれ、相対的に低い(好ましくは最低である)が、なおデバイスが未完了のタスクを予定の時間通りに完了することができる値に、オンザフライで変更することに依拠する。結果として得られる電力節減は、デジタル回路の電力消費の $C V^2 f$ 特性により生じる。ここにCはデジタル回路の実効キャパシタンスであり、Vは供給電圧であり、fはクロックスピードである。適応的電力制御の設定がデバイスごとに異なり、通常、デバイスごとに一度設定されるのに対して、それぞれ個別のデバイスに対する動的電力制御の設定は、そのデバイスの適応的電力制御設定に関連して、時間とともに変化する。デバイスの動作温度が供給電圧の決定の中に織り込まれる場合は、さらなる電力節減が実現可能となる。

10

【0004】

動的電力制御の代表的な例は、例えば、米国特許第7137013号に開示されており、その全体を本明細書に組み込む。適応的電力制御の代表的な例は、例えば、米国特許第7106040号及び米国特許第7117378号に開示されており、その両特許の全体を本明細書に組み込む。動的及び適応的複合電力制御の代表的な例は、例えば、英国のARM Limited及びカリフォルニア州サンタクララのNational Semiconductor Corporationから入手可能な白書に記載されるPowerWise™技術により具現される。

20

【0005】

賢明な電力管理の重要性により、適切なハードウェアアーキテクチャ及びハードウェア最適化の開発が、電子デバイスメーカーにとって継続的な関心事となっている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第7137013号

【特許文献2】米国特許第7106040号

【特許文献3】米国特許第7117378号

【非特許文献】

【0007】

【非特許文献1】英国のARM Limited及びカリフォルニア州サンタクララのNational Semiconductor Corporationから入手可能な白書

【非特許文献2】PowerWise™ Interface Specification

【非特許文献3】PowerWise™ Interface 2.0 Specification

【発明の概要】

【課題を解決するための手段】

【0008】

本発明の代表的なデジタル回路はオンチップの不揮発性メモリを有し、そのメモリに対して、デジタル回路の性能を特徴づけるチップ固有のスピード・ピニング・データが、生産試験中に書き込まれる。正常動作中は、デジタル回路に加えられる電力供給信号を制御する電力制御器は、デジタル回路における電力消費を最適にする(例えば、最小にする)動的供給電圧スケールリング、動的クロックスケールリング、及び/又は適応的電力制御のための入力パラメータとして使用するために、オンチップメモリからスピード・ピニング・データを読み出す。従来技術に対して有利には、チップ固有のスピード・ピニング試験ベクトルは、デジタル集積回路の個別のクリティカルパスに対して最適化されることができ、電力制御器が所与のデジタル回路に対する電力管理アルゴリズムをよりよくカスタマイズすることが可能になるので、動的及び/又は適応的電力制御の精度及び効

40

50

率が改善される。

【 0 0 0 9 】

一実施形態によれば、本発明は、デジタル回路に加えられる 1 以上の電力供給信号を制御するように適合された電力制御器と、前記デジタル回路の性能を特徴づけるスピード・ビニング試験データを格納するように適合されたメモリとを備え、電力制御器が前記スピード・ビニング試験データにアクセスし、前記 1 以上の電力供給信号の 1 以上のレベルを設定するように適合されたデバイスである。

【 0 0 1 0 】

別の実施形態によれば、本発明は、1 以上の電力供給信号をデジタル回路に加えるステップと、前記デジタル回路の性能を特徴づけるスピード・ビニング試験データをメモリから読み出して、前記 1 以上の電力供給信号の 1 以上のレベルを設定するステップとを含む電力管理方法である。

10

【 0 0 1 1 】

さらに別の実施形態によれば、本発明は、デジタル回路を試験する方法であって、デジタル回路の性能を特徴づけるスピード・ビニング試験データをメモリ内に格納するステップを含み、デジタル回路が、メモリ、及び(1)デジタル回路に加えられる 1 以上の電力供給信号を制御し、(2)前記スピード・ビニング試験データにアクセスして前記 1 以上の電力供給信号の 1 以上のレベルを設定するように適合された電力制御器を備える方法である。

【 0 0 1 2 】

本発明の他の側面、特徴、及び利点は、以下の詳細な説明、添付の特許請求の範囲、及び添付図面から、より完全に明らかとなるであろう。

20

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】本発明の一実施形態によるチップセットのブロック図である。

【 図 2 】本発明の一実施形態による、図 1 に示すチップセットのデジタル集積回路を試験し、かつ構成するために使用することができる試験装置のブロック図である。

【 図 3 】本発明の一実施形態による、図 2 の試験装置において使用することができる試験方法のフローチャートを示す図である。

【 図 4 】本発明の一実施形態による、図 1 のチップセットにおいて使用することができる電力管理方法のフローチャートを示す図である。

30

【 発明を実施するための形態 】

【 0 0 1 4 】

図 1 は、本発明の一実施形態によるチップセット 100 のブロック図を示す。チップセット 100 は、デジタル集積回路 (IC) 110 及びアナログ IC 130 を有し、両者はバッテリー (図示せず) により給電される。一実施形態では、IC 110 及び IC 130 はそれぞれ、携帯電話方式のためのデジタルベースバンド (DBB) 回路及びアナログベースバンド (ABB) 回路である。チップセット 100 は DBB 及び ABB の両回路機能を集積化する単一の混合 IC としても実現できるということは、当業者には理解されよう。

40

【 0 0 1 5 】

アナログ回路 130 は、バッテリーの電力をデジタル IC 110 のための複数の電力供給信号に変換する電力管理ユニット (PMU) 140 を有する。分かりやすくするために、それらのうちの 2 つの電力供給信号、即ち信号 142 及び信号 144 のみを示す。例示的には、信号 142 はデジタル IC 110 のプロセッサコア 116 に印加される VDD 電圧を表し、信号 144 はその IC 内で位相ロックループ (PLL)、基準発振器、及び種々のハウスキーピング機能に給電するために使用される VDD 電圧を表す。デジタル IC 110 の中に配置される電力制御器 (PC) 114 により生成される制御信号 120 に基づいて、PMU 140 は、信号 142 及び信号 144 の電圧レベルを調節することができ、前者の信号は動的電力制御及び適応的電力制御の両制御の影響を受け、後者の信号

50

は適応的電力制御のみの影響を受ける。

【 0 0 1 6 】

PC114は、このPCがデジタルIC110内の電力消費を最適にする（例えば、最小にする）供給電圧を決定することを可能にする電力管理ソフトウェアを実行するようにプログラムされるデジタルプロセッサである。この供給電圧の決定は、PC114及びPCインターフェース回路がそれぞれ、マスター及びスレーブとして動作しながら、制御信号120を介してPMU140のPCインターフェース回路148に伝達される。一実施形態では、PCインターフェース回路148は、電圧レギュレータ（個々には図示せず）の1セット146を制御する1セットのレジスタ（個々には図示せず）を含む。セット146中の各電圧レギュレータは、それぞれの電力供給信号を生成するようになされており、信号142及び144はそのような電力供給信号の2つの例である。各電力供給信号の電圧レベルは、PCインターフェース回路148の対応するレジスタの中に格納されたデータワードにより決定される。例えば、信号142の電圧レベルは、PCインターフェース回路148のそれぞれのレジスタの中に格納されたデータワードにより、それぞれの電圧レギュレータの定格出力電圧の最小値と最大値の間になるように、リニアに制御される。一実施形態では、PC114、PCインターフェース回路148、及び制御信号120は、PowerWise™ Interface Groupによりそれぞれ2003年及び2005年に発行された、PowerWise™ Interface Specification及び/又はPowerWise™ Interface 2.0 Specificationに準拠する。これら両仕様を参照によりその全体を本明細書に組み込む。

10

【 0 0 1 7 】

一般に、PC114により実行される電力管理ソフトウェアは、デジタルデバイスの動作スピードが供給電圧に実質的に比例するという事実に依拠する。このスピード対電圧曲線の傾きは、デバイスごとに、又はウェーハごとに観測される、シリコンプロセスに関連するスピードのばらつきから実質的に独立している。対照的に、スピード対電圧曲線の切片は、シリコンプロセスのスピードに高度に従属する。その結果、同じスピードで実行することができるためには、（シリコンプロセスの観点から）相対的に遅いデバイスは相対的に速いデバイスよりも高いVDD電圧を必要とする。しかしながら、VDDの変化に対する両デバイスの感度は、相対的に類似している。例えば、90-nmシリコン-プロセス技術を使用して実施されるデバイスにおけるVDDの変化に対する感度は、通常は、3~4mV/MHzの範囲内にある。一般に、スピード対電圧曲線の傾き及び切片の値は、従来技術で知られている通り、動的供給電圧スケールリング、動的クロックスケールリング、及び/又は適応的電力制御を実現するための入力パラメータとして、電力管理ソフトウェアに提供される。従って、電力管理ソフトウェアは、プロセッサコアを、相対的に低いがなお特定の用途/タスクの要求及びシリコンハードウェアの制約条件を満たすクロックスピードで実行させるために、プロセッサコア116に印加する電圧のレベルを制御する。相対的に低いクロックスピード、及びそれに対応して低い供給電圧を使用すると、結果として、バッテリーのドレインが最小になる。

20

30

【 0 0 1 8 】

チップ固有の入力パラメータを電力管理ソフトウェアに提供することへの従来技術のアプローチは、通常、デバイスの中のクリティカルパス（即ち、最長の信号伝播遅延を有するパス）に対するある種のエミュレーションに依拠する。例えば、従来技術のデジタルICは、専らスピード検出を可能にするためにシリコン内に構築されたサブ回路のスピードを検出するように適合されたアクティブループを組み込むことがある。スピード検出データは、その場合は、電力管理ソフトウェアのために必要な入力パラメータを生成するために使用される。しかし、この従来技術のアプローチの1つの問題は、内蔵サブ回路とデバイスの実際のクリティカルパスは、十分な相関関係にある必要があることである。クリティカルパスは、多くの場合、製品ごとに異なるため、万能サイズのアプローチは、製品群全体にわたる適応的電力制御には適さず、異なる製品には異なる専用のサブ回路を設計する必要がある。

40

【 0 0 1 9 】

50

従来技術における問題には、以下により詳細に説明するように、生産試験中に生成されたチップ固有の特性データを格納するように適合された不揮発性メモリ 112 を、デジタル IC 110 内に組み込むことにより対処する。正常動作中は、それらのチップ固有のデータは、PC 114 によりメモリ 112 から取り出され、電力管理ソフトウェアのための入力パラメータとしてその中で使用される。従来技術に対して有利には、(エミュレートされた、とは対照的に) 実際のクリティカルパスデータが電力管理ソフトウェアに提供されるため、動的及び適応的電力制御の精度と効率が改善される。この利点は、例えば、生産試験ベクトルは格納されたスピードデータを生成し、そのデータは高負荷/高電流動作中にデバイスの電源バス内で発生する供給電圧ドロップの影響を自動的に考慮するが、エミュレートされたクリティカルパスデータはその影響を考慮しない、という事実によつて実証される。

10

【0020】

デジタル IC 110 は、プロセッサコア 116 の温度を測定するように適合された任意選択の温度センサ 118 をさらに含む。温度の読み取り値は PC 114 に提供され、その中で、電力管理ソフトウェアのための追加の入力パラメータとして使用される。プロセッサコア 116 の動作に対する温度の影響は既知であるので、温度パラメータにより、PC 114 が信号 142 及び信号 144 の電圧レベルの決定の中で温度のばらつきを考慮することが可能になり、それによりチップセット 100 の電力効率がさらに改善される。

【0021】

一実施形態では、メモリ 112 はワнтаムプログラマブル (OTP) ヒューズブロックであり、PC インターフェース回路 148 内の信号 142 に対応するレジスタは 5 ビットを格納するように設計されており、セット 146 内のそれぞれの電圧レギュレータは 0.8 ~ 1.5 V の範囲にわたって 25 - mV のプログラミング性を有する降圧 (buck) スイッチング電源 (SMPS) である。25 - mV のプログラミング性が与えられ、かつプロセッサコア 116 に対して 4 mV / MHz の VDD 感度を仮定すると、本実施形態では、約 6.25 MHz (= 25 / 4) 刻みで約 32 x 6.25 MHz までの動作スピードの調節が可能である。

20

【0022】

図 2 は、本発明の一実施形態による、デジタル IC 110 (図 1) を試験しかつ構成するために使用することができる試験装置 200 のブロック図を示す。装置 200 は、製造後評価のためにインターフェース 212 を介してデジタル IC 110 が結合される生産試験器 210 を有する。この評価の間、デジタル IC 110 は、当技術分野で知られているように、1 セットの生産試験ベクトルを施される。これらの試験ベクトルのうちのいくつかは、専らデジタル IC 110 が属するモデルのチップをスピード・ビニングするように設計されており、そのベクトルを、以後、スピード・ビニング試験ベクトルと呼ぶ。より詳細には、スピード・ビニングとは、スイッチング・スピード試験における性能に基づいて、チップを特徴づけ、かつ/又は分類する操作のことである。たとえ、同じモデルのチップが、同じプロセスを使用し、かつ同じ母型の上で製造される場合でも、プロセス変動に起因するチップごとの性能のばらつきが存在することが知られている。スピード・ビニングは、それらのばらつきを定量化することを対象とする。一実施形態では、生産試験器 210 は、カリフォルニア、サンタクララの Agilent Technologies, Inc. から商業的に入手可能な、HP 93000 SOC Series 試験システムである。

30

40

【0023】

装置 200 を使用して、デジタル IC 110 は、適切な生産試験ベクトルの複数経路を用いて、相対的に高い分解能で (例えば、チップセット 100 において使用可能な最低の動作スピードの刻みに等しいか又はより細かく) スピード・ビニングされる。各パスの間、生産試験器 210 は、異なる供給電圧を使用して、デジタル IC 110 のクリティカルパスの合否を見るために試験する。次に、生産試験器 210 は、デジタル IC 110 が各試験ベクトルを通過した最低供給電圧など、試験結果をメモリ 112 に格納する。

50

チップセット100の一部としてのデジタルIC110の正常動作中は、メモリ112の中に格納された試験データはPC114によってアクセスされ、電力管理ソフトウェアのための入力パラメータとして使用され、そのソフトウェアが電力供給信号(例えば、信号142)の電圧レベルを、プロセッサコア116により実施されているタスクのタイプに対して適切な最適値に設定することが可能となる。

【0024】

図3は、本発明の一実施形態による、装置200(図2)において使用することができる試験方法300のフローチャートを示す。方法300は、生産試験器210がスピード・ピニング・アルゴリズムに入るときにステップ302で開始する。ステップ304で、試験器210は複数の使用可能なスピード・ピニング試験ベクトルから初期試験ベクトルを選択する。ステップ306で、試験器210は、試験されているデジタルIC110を有するチップに対して初期供給電圧を設定し、かつ印加する。ステップ308で、試験器210は、デジタルIC110を有するチップを介して現在設定されている供給電圧にて、選択された試験ベクトルを実行する。ステップ310で、チップがステップ308で実施された試験に合格したかどうかを判定する。チップが試験に合格した場合は、方法300の処理はステップ312に進み、そこで、選択された試験ベクトルを変更することなく、試験器210は供給電圧を変更する。既に上で記載した通り、ステップ312での動作スピードの増加又は減少の刻みは、好ましいことに、チップセット100において使用可能な最小の動作スピードの刻みに等しいか又はより細かい。次に、方法300の処理はステップ308に戻り、デジタルIC110を有するチップが、ある相対的に高いか 10
20
又は低い供給電圧において、現在選択されている試験ベクトルに対応する試験に失敗するまで、ステップ308~312が一回又は複数回繰り返される。デジタルIC110を有するチップが正常に試験に合格する、最高のかつ/又は最低の動作スピードが、そのチップがその試験ベクトルに関して属するスピード・ピンを指定する。

【0025】

ステップ310でデジタルIC110を有するチップが試験に失敗したと判定されると、方法300の処理はステップ314に進み、そこでチップのさらなる試験が実施されるべきかどうか判定される。ステップ314でさらなる試験が実施されると判定されると、方法300の処理はステップ316に進み、そこで試験器210は、複数の使用可能なスピード・ピニング試験ベクトルから次の試験ベクトルを選択する。次に、試験器210 30
は、上記一連のステップ306~312を、この、次の試験ベクトルを用いて繰り返す。ステップ306~314を有する処理ループは、試験器210が試験中のチップを通してすべての適切な試験ベクトルを実行するまで、1回又は複数回繰り返される。

【0026】

ステップ314でスピード・ピニング試験が完了したと判定されると、方法300の処理はステップ318に進む。ステップ318で試験器210は、チップセット100の一部としてのデジタルIC110の正常動作中にさらに使用するために、試験結果を不揮発性メモリ112(やはり図2参照)の中に保存する。そのような試験結果は、例えば、各生産試験ベクトルに対して、チップがそれぞれの試験に合格した最高のかつ/又は最低の動作スピード、あるいは供給電圧を含むことができる。方法300は、生産試験器210がスピード・ピニング・アルゴリズムを出るときに、ステップ320で終了する。総合的なチップ試験手続きに方法300を加えることにより、約200ms余分に試験時間が加わるものと推測される。現在のローディングレート(loading rates)においては、この余分の時間は、約0.5セント/チップ未満の生産コスト増に相当する。90-nmシリコン・プロセス技術に対しては、このコスト増は約0.06mm²より小さいシリコン面積のコストに等しい。

【0027】

一実施形態では、方法300は、それぞれの異なる温度、及びそれに対応するメモリ112内に格納された試験データにおいて、数回繰り返されることがあり得る。あるいは、方法300は1つの選択された温度で実行されることができ、電力管理は、チップレスポ 40
50

ンスをその選択された温度から他の温度に外挿するサブルーチンを組み込むことができる。この外挿は、例えば、動作中に実際のデバイス温度が方法300の実行において使用した温度からはずれるときに使用することができる。

【0028】

図4は、本発明の一実施形態による、チップセット100(図1)において使用することができる電力管理方法400のフローチャートを示す。方法400は、PC114が電力管理アルゴリズムを始動させる時、ステップ402で始まる。ステップ404でPC114は、メモリ112から、方法300(図3参照)を実行中にそこに格納されたスピード・ピニング・データを読み出す。既に上で説明した通り、スピード・ピニング・データは、チップ固有の入力パラメータとして、PC114により実行される電力管理ソフトウェアによって使用される。ステップ406でPC114はセンサ118からプロセッサコア116(図1参照)の温度を任意選択で読み取る。上記の通り、温度の値は、(追加の、かつ任意選択の)入力パラメータとして、電力管理ソフトウェアによって使用される。ステップ408でPC114は、プロセッサコア116により実施されるように予定されたタスクに対するスピード要求条件(制約条件)を決定する。例えば、携帯電話方式において、プロセッサコア116は、携帯電話呼び出し処理、MP3再生、基地局モニタリング、MP3再生、MP3再生のエンコード及びデコードなど、複数のタスクを実行する。これらのタスクのそれぞれは、例えばデジタルIC110を有するハンドセットと基地局の間で、コミュニケーション交換の完全性と継続性を確保するために、適当な時間枠内で完結されなければならない。各タスクに対する処理の内容、並びに目標設定された開始時間及び終了時間に基づいて、それに対応する最低の処理スピードが確認され、電力管理アルゴリズムによってさらに別の入力パラメータとして使用することができる。

10

20

【0029】

ステップ410で、ステップ404~408で提供された入力パラメータを使用して、PC114は、バッテリーの電力ドレインを最小にするために、予定されたタスクを実行する間に使用するための、プロセッサコア116にとって適切な供給電圧レベルを計算する。次に、PC114は、計算された供給電圧レベルをPCインターフェース回路148に信号120を介して伝達し、そこでその供給電圧レベルは適当なレジスタの中に格納される。ステップ412で、セット146のそれぞれの電圧レギュレータは、そのレジスタの中で指定されている電圧レベルを有する電力供給信号142を生成する。ステップ414で、適切にスケールされた(scaled)電力供給信号142を受けて、プロセッサコア116は予定されたタスクを実行する。次に、方法400の処理はステップ406に、又はもし適当であればステップ404に戻り、次に予定されているタスクの実行の間、プロセッサコア116への電力送出を管理する。

30

【0030】

本発明を、例示的实施形態に関連して説明してきたが、この説明が限定の意味で解釈されることを意図していない。本発明の実施形態は、供給電圧に関して説明されているが、本発明は、供給電圧の調節の代わりに、又は供給電圧の調節に加えて、クロックスピードを遅くすることを使用しても、実施することができる。説明した実施形態の種々の改変形態並びに本発明の他の実施形態は、本発明が関連する当業者には明らかであり、以下の特許請求の範囲で示される本発明の原理及び範囲の中に存在するものとみなされる。

40

【0031】

本発明は、方法、及びそれらの方法を実施する装置の形で具現することができる。本発明のある実施形態は、フロッピー(登録商標)ディスク、CD-ROM、ハードディスクドライブ、又は他の任意の機械読み取り可能な記憶媒体など、実体のある媒体の中に組み入れられたプログラムコードの形で具現することもでき、そこにおいて、そのプログラムコードがコンピュータ又は生産試験器などの機械の中にロードされかつ機械によって実行される場合は、その機械は本発明を実施するための装置となる。本発明は、プログラムコードの形で、例えば、記憶媒体中に格納され、機械の中にロードされかつ/又は機械により実行されるプログラムコード、あるいは、電氣的配線若しくはケーブル布線を介したり

50

、光ファイバを通したり、又は電磁放射を介するなど、ある伝送媒体又は搬送波を介して伝送されるプログラムコードの形で具現することもでき、そこにおいて、そのプログラムコードがコンピュータなどの機械にロードされかつ機械によって実行される場合は、その機械は本発明を実施するための装置となる。汎用プロセッサ上で実施される場合は、そのプログラムコードセグメントはプロセッサと一体となって、特定の論理回路に類似して動作する独自のデバイスを提供する。

【0032】

別段に明記しない限りは、それぞれの数字の値及び範囲は、その値又は範囲の数値の前に「約 (about)」又は「およそ (approximately)」という語があるかのように、近似値であるものと解釈されるべきである。

【0033】

本明細書で説明された例示的な方法のステップは、必ずしも説明された順番で実施されることを必要とせず、そのような方法のステップの順番は、単に代表的であるに過ぎないことを理解されたい。同様に、本発明の種々の実施形態と整合性のある方法においては、追加のステップがそのような方法の中に含まれてもよく、またあるステップが、省略されたり組み合わせられたりしてもよい。

【0034】

本明細書における「一実施形態 ("one embodiment" or "an embodiment")」という言葉及は、実施形態に関連して説明された特定の特徴、構造、又は特性が、本発明の少なくとも1つの実施形態の中に含まれることができることを意味する。本明細書中のいろいろな場所における「一実施形態では (in one embodiment)」という句の出現は、必ずしもすべて同じ実施形態に言及しているわけではなく、また、別の又は代替の実施形態が、必ずしも互いに他の実施形態と相容れないものではない。同じことが、「実施 (implementation)」という言葉に当てはまる。

【0035】

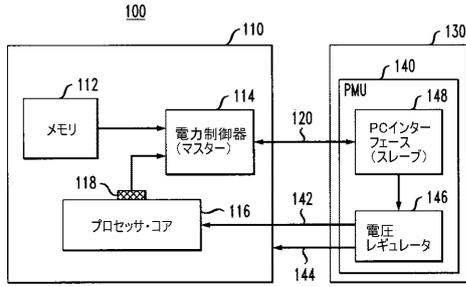
また、この説明のために、「結合する (couple)」、「結合している (coupling)」、「結合された (coupled)」、「接続する (connect)」、「接続している (connecting)」、又は「接続された (connected)」という言葉は、当技術分野で知られている任意の様式に、あるいはその後拡張される任意の様式に言及しており、そこではエネルギーが2つ以上の要素の間で伝達されることができ、1以上の追加の要素の介在物が、必要とはされないが、考えられる。反対に、「直接結合された (directly coupled)」、「直接接続された (directly connected)」などの言葉はそのような追加の要素が存在しないことを暗示する。

10

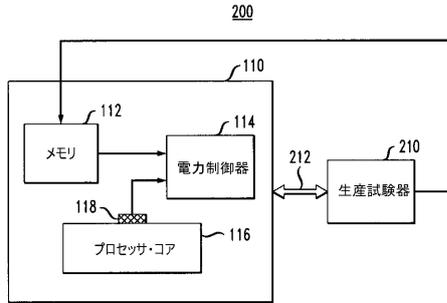
20

30

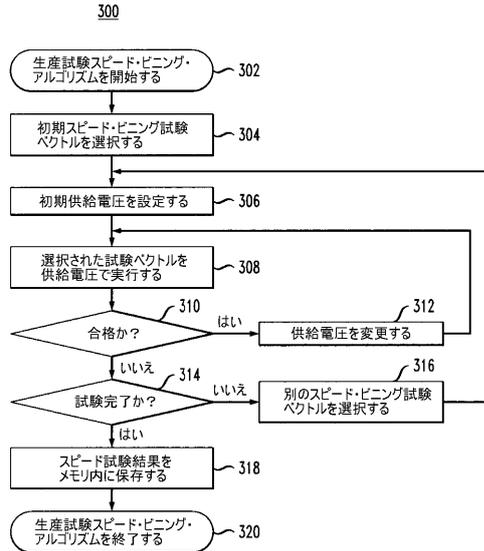
【図1】



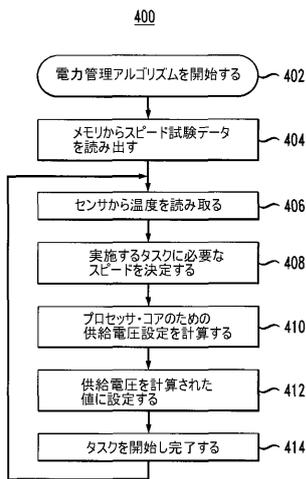
【図2】



【図3】



【図4】



フロントページの続き

(74)代理人 100160967

弁理士 濱 口 岳久

(72)発明者 ロバタ, ダグラス, デー.

アメリカ合衆国 19512 ペンシルヴァニア, ボイヤータウン, レッド シェイル ドライヴ
84

審査官 清木 泰

(56)参考文献 特表2006-512684(JP, A)
特開2005-149476(JP, A)
特開2005-071364(JP, A)
米国特許出願公開第2006/0020838(US, A1)
特開2000-112544(JP, A)
特開2003-280776(JP, A)
特表2006-513645(JP, A)
国際公開第2006/007139(WO, A1)
米国特許第07123995(US, B1)
国際公開第2005/050425(WO, A1)
英国特許出願公開第02408357(GB, A)
英国特許出願公開第02408356(GB, A)

(58)調査した分野(Int.Cl., DB名)

G06F15/78
G06F 1/26 - 1/32
G06F 1/04 - 1/14
G06F 9/30 - 9/355
G06F 9/40 - 9/42