



(12)发明专利

(10)授权公告号 CN 106712779 B

(45)授权公告日 2019.06.04

(21)申请号 201611165858.9

H04B 17/30(2015.01)

(22)申请日 2016.12.16

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 106712779 A

CN 105979545 A, 2016.09.28,

CN 105279133 A, 2016.01.27,

CN 103885919 A, 2014.06.25,

CN 102929756 A, 2013.02.13,

CN 102572911 A, 2012.07.11,

CN 101945490 A, 2011.01.12,

(43)申请公布日 2017.05.24

(73)专利权人 中国电子科技集团公司第四十一研究所

地址 233010 安徽省蚌埠市华光大道726号

审查员 马娟

(72)发明人 张黎明 凌云志 田元锁

(74)专利代理机构 济南舜源专利事务所有限公司 37205

代理人 王连君

(51)Int.Cl.

H04B 1/00(2006.01)

H04B 1/40(2015.01)

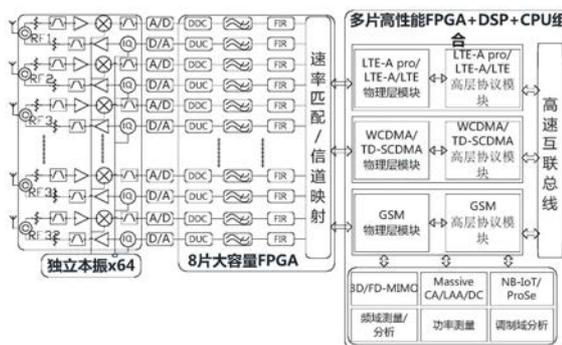
权利要求书2页 说明书4页 附图3页

(54)发明名称

一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构

(57)摘要

本发明公开了一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,具体涉及移动通信标准测试技术领域。该用于32天线多模射频一致性测试的FPGA+DSP硬件架构,包括独立32路射频发射通道和独立32路射频接收通道、全数字集成64路中频模块、并行32天线基带处理模块、物理层模块、高层协议栈处理模块和64路高纯合成本振模块;其中独立32路射频发射通道和独立32路射频接收通道共同实现高频段的射频信号与低频段中频输入信号和射频IQ直接调制与中频模块输出信号间的相互转换。



1. 一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,包括独立32路射频发射通道、独立32路射频接收通道、全数字集成64路中频模块、并行32天线基带处理模块、物理层模块、高层协议栈模块和独立64路高纯合成本振模块,独立64路高纯合成本振模块为独立32路射频发射通道和独立32路射频接收通道提供本振信号;

独立32路射频发射通道和独立32路射频接收通道共同实现高频段的射频信号与低频段中频输入信号和射频IQ直接与调制中频模块输出信号间的相互转换;

全数字集成64路中频模块包括8片FPAG,上述独立32路射频发射通道和独立32路射频接收通道,以每4路射频发射和4路射频接收为一组数据收发处理通道连接至1片FPGA,由8片FPGA构成全数字并行中频处理,其中接收部分为数据接收预处理,发送部分为数据发送后处理;

并行32天线基带处理模块通过高速串行接口采用点对点SRIO协议把8片FPGA构成的全数字集成64路中频模块与8片DSP构成的物理层硬件处理模块进行互联,同时8片DSP作为外设通过总线与1片CPU构成的高层协议栈模块进行互联;

物理层模块是基于DSP实现多模基带信号的物理层调制/解调、编码/解码并行32天线信息处理;

高层协议栈模块是基于CPU实现多模基带信号的高层协议栈的成员载波调度、无线资源管理多模协议处理。

2. 如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,独立32路射频发射通道/独立32路射频接收通道上设有32个天线端口,最高可以支持32组3D天线阵列,天线端口连接环形器,每个环形器的另一端同时连接射频发射通道和射频接收通道,其中射频发射部分:每一路均由120dB全数字可编程衰减器、多波段低插损模拟带通滤波器组、低失真功放和宽带模拟IQ调制器构成;射频接收部分:每一路均由60dB全数字可编程衰减器、多波段带通预选滤波器组、低噪声前置放大器、射频混频器和中频低插损带通滤波器构成;以上两部分共同实现了高频段400MHz~6000MHz的射频信号与153.6MHz的低频段中频载波中频模块输入信号和射频IQ直接调制中频模块输出信号间的相互转换;

其中,独立32路射频发射通道中的宽带模拟IQ调制器接收FPGA输出的信号并与本振射频信号混合,混合后的信号依次经过低失真功放、波段低插损模拟带通滤波器组和120dB全数字可编程衰减器;

独立32路射频接收通道通过天线接口接收输入信号,输入信号依次经过环形器、60dB全数字可编程衰减器、多波段带通预选滤波器组、低噪声前置放大器、射频混频器和中频低插损带通滤波器。

3. 如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,FPGA处理包括射频接收部分的“供时基免混频DDC”、“LTE-Advanced Pro多模基带信号多速率抽取”和射频发射部分的“LTE-Advanced Pro多模基带信号多速率插值”,此外,中频发射部分信号处理还包括模拟基带IQ直接调制。

4. 如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,32个天线端口分别为RF1~RF32。

5. 如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其

特征在于,FPGA采用XC6VSX315T。

6.如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,DSP采用TMS320TCI6614。

7.如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,CPU采用XLS416XD0800。

8.如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,还包括主控模块、显示模块以及开关电源模块。

9.如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,物理层模块是基于DSP实现多模基带信号3D/FD-MIMO、NB IoT信号的物理层调制/解调、编码/解码并行32天线信息处理。

10.如权利要求1所述的一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,其特征在于,高层协议栈模块是基于CPU实现多模基带信号MCA、DC、LAA、ProSe的高层协议栈的成员载波调度、无线资源管理多模协议处理。

一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构

技术领域

[0001] 本发明涉及移动通信标准测试技术领域,具体涉及一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构。

背景技术

[0002] 伴随着3GPP(3rd Generation Partnership Project)技术标准的不断发展,其关键技术已经由以OFDM、MIMO、帧结构和单双流波束赋形为特征的LTE标准(Release 8/9),发展到了以2~3载波聚合、256QAM和TM9/TM10为特征的LTE-Advanced标准(Release 10/11/12),再到最新的以3D/FD-MIMO、MCA、DC、NB-IoT、LAA、ProSe为代表的LTE-Advanced Pro标准(Release 13)。

[0003] 第四代半移动通信(LTE-Advanced Pro)网络很快将会在现网中得到商用部署,其将具备与现有LTE移动通信网络及用户终端设备的后向兼容性,并将得到规模化商用部署。与之成鲜明对比的是未来的5G(第五代移动通信)网络的部署将会采取全新型、非后向兼容的无线技术,将于计划时间开始进入场测阶段,并得到初步的商用部署。LTE移动通信将会演进至形成未来5G移动通信系统的一大组成部分,并以新的、非后向兼容的空口来更好地服务于各种新兴的应用场景及使用案例。

[0004] 移动通信国际标准组织3GPP有望对LTE-Advanced Pro与未来5G网络之间的紧密互操作/互联互通(相比此前任何技术系统间的互操作均要紧密)进行定义。其中一个发展方向是发生于LTE与5G无线接入网络之间“双连接”。未来5G的第一部署阶段将会基于LTE移动通信网络——广大用户的移动通信终端设备将会采取LTE双连接功能模块同时连接至LTE无线接入网以及5G无线接入网络。

发明内容

[0005] 本发明的目的就是提出了一种原理清晰、结构合理、易于扩展、成本低廉的用于32天线多模射频一致性测试的FPGA+DSP硬件架构。

[0006] 本发明具体采用如下技术方案:

[0007] 一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构,包括独立32路射频发射通道和独立32路射频接收通道、全数字集成64路中频模块、并行32天线基带处理模块、物理层模块、高层协议栈模块和64路高纯合成本振模块,独立64路高纯合成本振模块为独立32路射频发射通道和独立32路射频接收通道提供本振信号;

[0008] 独立32路射频发射通道和独立32路射频接收通道共同实现高频段的射频信号与低频段中频载波输入信号和射频IQ直接调制与中频模块输出信号间的相互转换;

[0009] 全数字集成64路中频模块包括8片FPGA,上述独立32路射频发射通道和独立32路射频接收通道,以每4路射频发射和4路射频接收为一组数据收发处理通道连接至1片FPGA,由8片FPGA构成全数字并行中频处理,其中接收部分为数据接收预处理,发送部分为数据发送后处理;

[0010] 并行32天线基带处理模块通过高速串行接口采用点对点SRIO协议把8片FPGA构成的全数字集成64路中频模块与8片DSP构成的物理层硬件处理模块进行并联,同时8片DSP作为外设通过总线与1片CPU构成的高层协议栈模块进行互联;

[0011] 物理层模块是基于DSP实现多模基带信号的物理层调制/解调、编码/解码并行32天线信息处理;

[0012] 高层协议栈模块是基于CPU实现多模基带信号的高层协议栈的成员载波调度、无线资源管理多模协议处理。

[0013] 优选地,独立32路射频发射通道/独立32路射频接收通道上设有32个天线端口,最高可以支持32组3D天线阵列,天线端口连接环形器,每个环形器的另一端同时连接射频发射通道和射频接收通道,其中射频发射部分:每一路均由120dB全数字可编程衰减器、多波段低插损模拟带通滤波器组、低失真功放和宽带模拟IQ调制器构成;射频接收部分:每一路均由60dB全数字可编程衰减器、多波段带通预选滤波器组、低噪声前置放大器、射频混频器和中频低插损带通滤波器构成;以上两部分共同实现了高频段(400MHz~6000MHz)的射频信号与153.6MHz的低频段中频载波中频模块输入信号和射频IQ直接调制中频模块输出信号间的相互转换;

[0014] 其中,独立32路射频发射通道中的宽带模拟IQ调制器接收FPGA输出的信号并与本振射频信号混合,混合后的信号依次经过低失真功放、波段低插损模拟带通滤波器组和120dB全数字可编程衰减器;

[0015] 独立32路射频接收通道通过天线接口接收输入信号,输入信号依次经过环形器、60dB全数字可编程衰减器、多波段带通预选滤波器组、低噪声前置放大器、射频混频器和中频低插损带通滤波器。

[0016] 优选地,FPGA处理包括射频接收部分的“供时基免混频DDC”、“LTE-Advanced Pro多模基带信号多速率抽取”和射频发射部分的“LTE-Advanced Pro多模基带信号多速率插值”。此外,中频发射部分信号处理还包括模拟基带IQ直接调制。

[0017] 优选地,32个天线端口分别为RF1~RF32。

[0018] 优选地,FPGA采用XC6VVSX315T。

[0019] 优选地,DSP采用TMS320TCI6614。

[0020] 优选地,CPU采用XLS416XD0800。

[0021] 优选地,还包括主控模块、显示模块以及开关电源模块。

[0022] 优选地,物理层模块是基于DSP实现多模基带信号3D/FD-MIMO、NB-IoT信号的物理层调制/解调、编码/解码并行32天线信息处理;

[0023] 优选地,高层协议栈模块是基于CPU实现多模基带信号MCA、DC、LAA、ProSe的高层协议栈的成员载波调度、无线资源管理多模协议处理。

[0024] 本发明具有的有益效果是:实现了多模射频一致性测试需求;可支持3D/FD-MIMO、MCA、DC、NB-IoT、LAA、ProSe等信号发生与解析实时处理,相对于其他测试方案,测试效率高;尤其是对32天线LTE-Advanced Pro多模射频一致性测试效率高。

附图说明

[0025] 图1为一种32天线LTE-Advanced Pro多模射频一致性测试硬件架构示意图;

- [0026] 图2为独立32路射频发射通道与独立32路射频接收通道原理架构示意图；
- [0027] 图3为全数字集成64路中频模块原理架构；
- [0028] 图4为并行32天线基带/物理层/高层协议处理原理架构示意图；
- [0029] 图5为一种32天线LTE-Advanced Pro多模射频一致性测装置的软件总体架构示意图。

具体实施方式

[0030] 下面结合附图和具体实施例对本发明的具体实施方式做进一步说明：

[0031] 如图1所示，一种用于32天线多模射频一致性测试的FPGA+DSP硬件架构，包括独立32路射频发射通道和独立32路射频接收通道、全数字集成64路中频模块、并行32天线基带处理模块、物理层模块、高层协议栈模块、64路高纯合成本振模块主控模块、显示模块以及开关电源模块，独立64路高纯合成本振模块为独立32路射频发射通道和独立32路射频接收通道提供本振信号；

[0032] 独立32路射频发射通道和独立32路射频接收通道共同实现高频段的射频信号与低频段中频载波输入信号和射频IQ直接调制与中频模块输出信号间的相互转换；

[0033] 全数字集成64路中频模块包括8片FPGA，上述独立32路射频发射通道和独立32路射频接收通道，以每4路射频发射和4路射频接收为一组数据收发处理通道连接至1片FPGA，由8片FPGA构成全数字并行中频处理，其中接收部分为数据接收预处理，发送部分为数据发送后处理；

[0034] 并行32天线基带处理模块通过高速串行接口采用点对点SRIO协议把8片FPGA构成的全数字集成64路中频模块与8片DSP构成的物理层硬件处理模块进行并联，同时8片DSP作为外设通过总线与1片CPU构成的高层协议栈模块进行互联；

[0035] 物理层模块是基于DSP实现多模基带信号的物理层调制/解调、编码/解码并行32天线信息处理；

[0036] 高层协议栈模块是基于CPU实现多模基带信号的高层协议栈的成员载波调度、无线资源管理多模协议处理。

[0037] 如图2所示，独立32路射频发射通道/独立32路射频接收通道上设有32个天线端口，最高可以支持32组3D天线阵列，天线端口连接环形器，每个环形器的另一端同时连接射频发射通道和射频接收通道，其中射频发射部分：每一路均由120dB全数字可编程衰减器、多波段低插损模拟带通滤波器组、低失真功放和宽带模拟IQ调制器构成；射频接收部分：每一路均由60dB全数字可编程衰减器、多波段带通预选滤波器组、低噪声前置放大器、射频混频器和中频低插损带通滤波器构成；以上两部分共同实现了高频段（400MHz~6000MHz）的射频信号与153.6MHz的低频段中频载波中频模块输入信号和射频IQ直接调制中频模块输出信号间的相互转换。

[0038] 如图3所示，FPGA处理包括射频接收部分的“供时基免混频DDC”、“LTE-Advanced Pro多模基带信号多速率抽取”和射频发射部分的“LTE-Advanced Pro多模基带信号多速率插值”。此外，中频发射部分信号处理还包括模拟基带IQ直接调制。

[0039] 其中，32个天线端口分别为RF1~RF32，FPGA采用XC6VVSX315T，DSP采用TMS320TCI6614，CPU采用XLS416XD0800。

[0040] 如图4所示,物理层模块是基于DSP实现多模基带信号3D/FD-MIMO、NB IoT信号的物理层调制/解调、编码/解码并行32天线信息处理;

[0041] 高层协议栈模块是基于CPU实现多模基带信号MCA、DC、LAA、ProSe的高层协议栈的成员载波调度、无线资源管理多模协议处理。

[0042] 如图5所示,本方案中的“射频收发通道”原理如下:RF1~RF32为本系统装置的射频输出/输入端口(COM口),最高可以连接32组天线,其中环形器内侧两端分别连接发射通道与接收通道。采用直接上变频方式的发射部分(其中一路):信号发送需依次经过“宽带IQ调制器”、“多段带通滤波器”、“功放”以及“120dB程控衰减器”实现基带信号从122.88MHz采样率直接调制到RF上。采用超外差下变频方式的接收部分(其中一路):信号接收需依次经过“60dB程控衰减器”、“前置放大”、“多段带通滤波器”、“混频器”和“带通滤波器”,实现射频载波信号下变频到固定中频153.6MHz进行采样。

[0043] 本方案中的“数字中频模块”原理如下:信号接收链路包括“高速A/D”、“DDC”、“HB/CIC抽取”、“FIR匹配滤波”;信号发射链路包括“FIR成型滤波”、“HB/CIC插值”、“高速D/A”。其中除了A/D、D/A外其他功能子模块全部在FPGA中实现。FPGA中包括:DDC、HB/CIC、FIR、频率测量、频谱分析、功率测量、调制域分析和嵌入式系统总线。

[0044] 本方案中的“基带模块”原理如下:基带处理模块的硬件处理平台包括FPGA+DSP+PowerPC构成。基带信号处理主要包括:多模物理层子模块、多模高层协议子模块和Release 13的关键技术模块。FPGA中包括:LTE-Advanced Pro/LTE-Advanced/LTE物理层子模块、WCDMA/TD-SCDMA物理层子模块、GSM物理层子模块。DSP中包括:LTE-Advanced Pro/LTE-Advanced/LTE层2子模块、WCDMA/TD-SCDMA层2子模块、GSM层2子模块。PowerPC(CPU)中包括:LTE-Advanced Pro/LTE-Advanced/LTE层3子模块、WCDMA/TD-SCDMA层3子模块、GSM层3子模块。其中3D/FD-MIMO、MCA、DC、NB IoT、LAA、ProSe六种新标准的关键功能模块同样基于该基带的硬件处理平台实现。

[0045] 本方案中的“软件总体架构”原理如下:主要由8个子模块,“核心控制模块”、“多模协议处理模块”、“射频一致性测试处理模块”、“GPIB通信模块”、“参数表”、“远程控制结果输出”、“本地控制结果显示”等。以上各模块通过驱动与射频、中频和基带平台进行数据和命令的控制,软硬件相结合共同实现一种32天线多模射频一致性测装置。

[0046] 当然,上述说明并非是对本发明的限制,本发明也并不仅限于上述举例,本技术领域的技术人员在本发明的实质范围内所做出的变化、改型、添加或替换,也应属于本发明的保护范围。

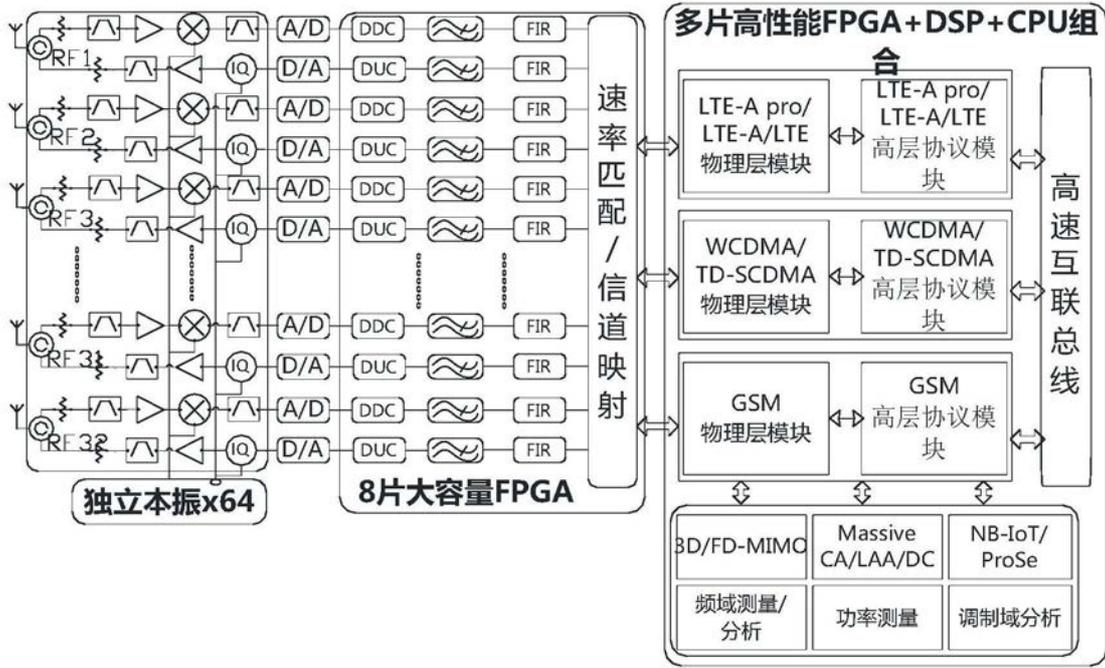


图1

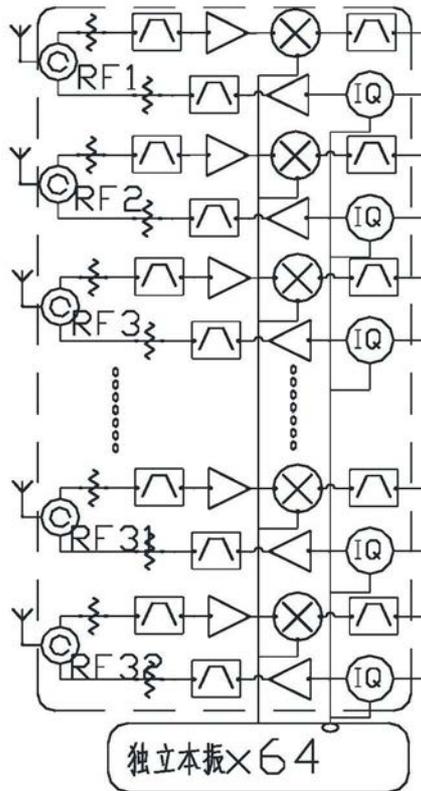


图2

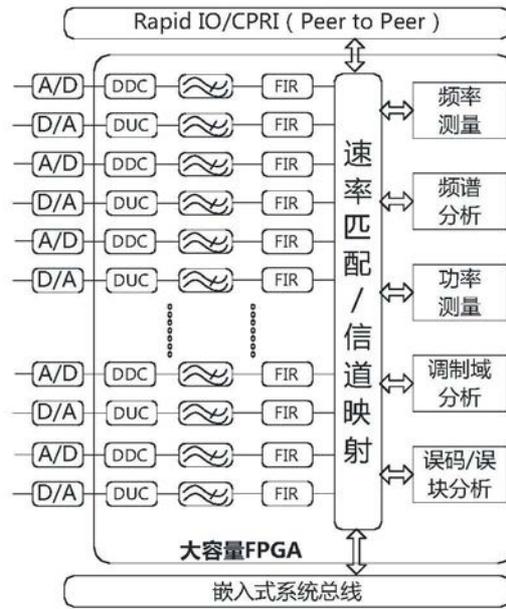


图3

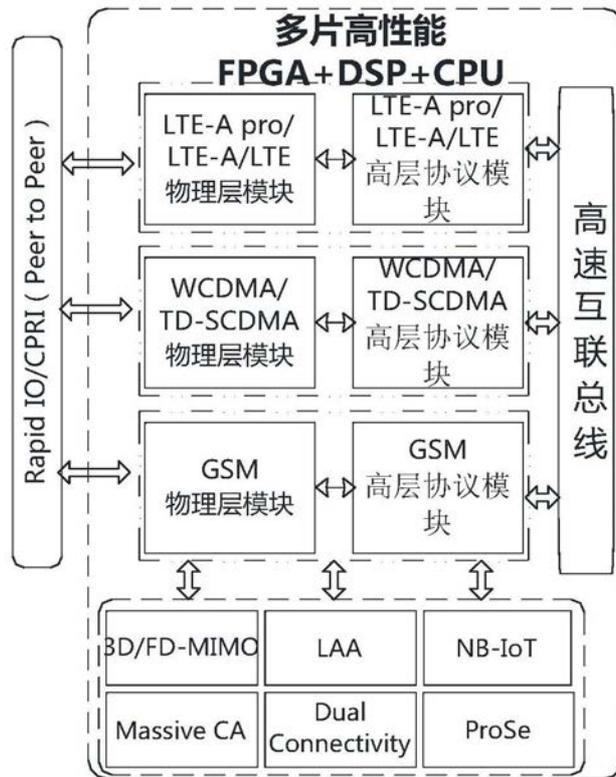


图4

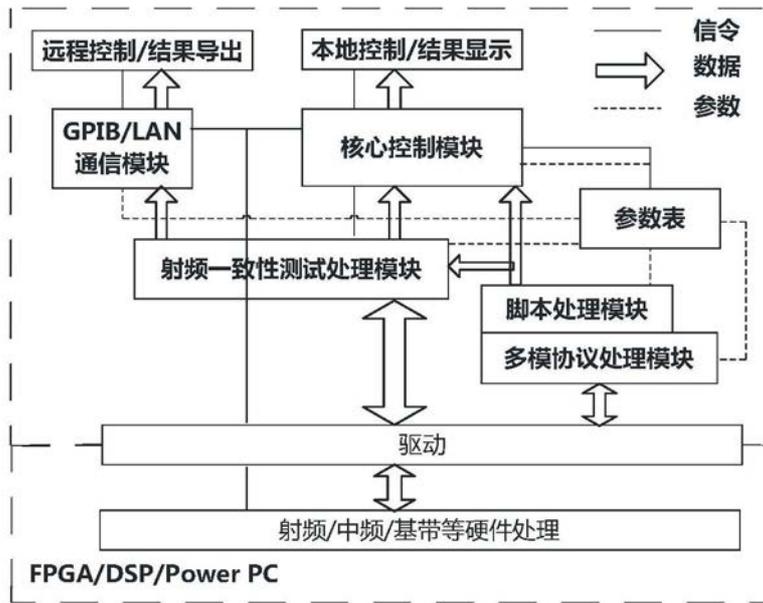


图5