

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ H01L 29/786 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년01월31일 10-0547543 2006년01월23일
---	-------------------------------------	--

(21) 출원번호	10-2004-0111761(분할)	(65) 공개번호	10-2005-0004758
(22) 출원일자	2004년12월24일	(43) 공개일자	2005년01월12일
(62) 원출원	특허10-2002-0003086 원출원일자 : 2002년01월18일	심사청구일자	2002년01월18일

(30) 우선권주장 JP-P-2001-00257127 2001년08월28일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 호리꼬시가즈히코
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

오가따기요시
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

다무라다꾸오
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

나카하라미와코
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

오쿠라마꼬또
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

오리쯔끼료우지
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

나카노야스시
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

시바다께오
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 가부시킴가이샤 히타치세
이사쿠쇼 지적재산권본부 내

(74) 대리인 장수길

구영창

심사관 : 임동우

(54) 박막 트랜지스터

요약

염가인 무어닐링 유리를 기판으로 하여, 붕소(B) 또는 인(P)을 도핑한 다결정 실리콘막 표면을 500°C 이하의 프로세스 온도에서 오존을 이용하여 산화 처리함으로써, 다결정 실리콘 표면에 4~20nm의 실리콘 산화막을 형성한다. 이에 따라, 게이트 절연층/채널층의 계면에서의 준위 밀도를 저감시킬 수 있고, 무어닐링 유리 기판 상에 특성 변동이 작은 박막 트랜지스터를 제작할 수 있다.

대표도

도 1

색인어

박막 트랜지스터, 무어닐링, 오존, 레이저 광

명세서

도면의 간단한 설명

도 1은 제1 실시예인 박막 트랜지스터를 설명하기 위한 개략 단면도.

도 2는 제1 실시예인 박막 트랜지스터의 제조 방법을 설명하기 위한 공정도.

도 3은 열 산화막 두께와 플랫 밴드(flat band) 전압과의 관계를 나타내는 설명도.

도 4는 제2 실시예인 박막 트랜지스터를 설명하기 위한 개략 단면도.

도 5는 제3 실시예인 박막 트랜지스터의 제조 방법을 설명하기 위한 공정도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 유리 기판

2 : 확산 방지층

3 : 비정질 실리콘막

4 : 다결정 실리콘층

5 : 엑시머 레이저 광

6 : 게이트 절연층

7 : 게이트 영역

8 : 소스 영역

9 : 드레인 영역

10 : 층간 절연층

11 : 전극

12 : 채널 영역

13 : 붕소 이온

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 이용되는 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

최근, 노트북형 퍼스널 컴퓨터나 휴대 기기 등의 표시 장치로서 이용되는 액정 디스플레이에 있어서, 그 구동 방식은 단순 매트릭스 방식으로부터 액티브 매트릭스 방식으로 진행하고, 특히, 유리 기판 상에 많은 박막 트랜지스터(이하, TFT: Thin Film Transistor)를 형성한 TFT 액티브 매트릭스 구동 방식이 주류가 되고 있다.

TFT 구동 방식 중에서, 다결정 실리콘층을 이용한 TFT는 비정질 실리콘층의 경우와 비교하여 전자 이동도가 크기 때문에, 표시용 화소부의 트랜지스터로서 뿐만 아니라, 구동용 트랜지스터로서 유리 기판 상에 만들어 넣을 수 있다.

종래, 다결정 실리콘의 형성에는 1000℃ 정도의 고온을 필요로 하기 때문에, 기판에는 고가의 석영 유리 기판의 사용이 필수적이었다. 최근에는 약 600℃의 프로세스 온도에서 다결정 실리콘을 형성할 수 있는 기술 개발이 진행되고, 석영 기판 이외의 유리 소재가 사용 가능하게 되었다. 이 방법에서는 유리 기판 상에 형성된 비정질 실리콘막으로의 레이저 조사 등에 의해, 기판 온도를 상승시키지 않고 비정질 실리콘막만을 가열하여 결정화시킬 수 있다.

한편, 단결정 실리콘 기판을 이용한 집적 회로 소자에 있어서는 실리콘의 열 산화막(막 두께, 수 nm~수 10nm)이 게이트 절연막으로서 사용되고 있다. 그러나, 이 실리콘의 열 산화막의 형성에는 약 1000℃의 열 처리가 필요하여, 이 프로세스를 상기한 600℃ 이하의 프로세스 온도를 필요 조건으로 하는 다결정 폴리실리콘 TFT의 제조 프로세스에는 이용할 수 없다.

TFT의 제조 프로세스에서는 통상, TEOS(Tetraethoxysilane)를 원료로 하여, 플라즈마 CVD법 등에 의해 형성된 SiO₂막(막 두께: 약 100nm)을 게이트 절연막으로 하고 있다. 그러나, 이 플라즈마 CVD법에 의한 SiO₂막은 계면 준위 밀도가 크다. 따라서, 그 막을 게이트 절연막으로서 이용한 경우에는 임계치 전압의 변동 등에서 볼 수 있는 듯한 TFT 특성의 현저한 성능 저하를 초래하게 된다. 또한, TFT의 내압이 시간이 경과함에 따라 심하게 열화를 초래하고, 그 결과로서 TFT의 절연 파괴를 일으키는 경우도 있다. 따라서, TFT용 게이트 절연막과 실리콘층과의 계면에는 실리콘의 열 산화에 의해 형성시킨 열 산화막에 필적하는 계면 준위 밀도가 작은 산화막의 형성이 요망된다.

상기한 과제에 대하여, 예를 들면 특개평8-195494호 공보에 따르면, 통상의 고내열 유리 기판을 이용한, 600℃ 이하의 프로세스 온도에서 다결정 실리콘 TFT의 제조 방법이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

상기한 특개평8-195494호 공보에 따르면, 다결정 실리콘층의 형성은 약 600℃의 온도에서 행해지기 때문에, 사용 가능한 유리 기판으로서 사전에 열 처리를 실시한, 소위 어닐링 유리 기판에 한정된다. 따라서, 어닐링 유리 기판 대신에 무어닐링 유리 기판을 사용한 경우에는 약 600℃라는 온도 조건이 유리 기판의 수축을 야기하고, 이것이 유리 기판의 휨이나 변형을 발생시키며, 최악의 경우에는 유리 기판 자신의 균열이나 막 박리 등의 문제점을 초래한다.

일반적으로, 유리의 변형점이 높을수록 열적 안정성은 높아지지만, 유리 기관 제조 공정에서 용융, 성형, 가공이 곤란하게 되고, 제조 비용이 비싸게 된다. 따라서, 비용을 억제하기 위해서는 변형점이 낮고, 염가의 유리 사용을 가능하게 하는 제조 방법이 필수적이다.

통상, 박막 트랜지스터의 기관으로서 이용되는 무알카리 유리 기관의 변형점은 약 600℃이고, 변형점보다 약간 낮은 온도 이상의 열 이력에 의해, 유리의 컴팩션(열수축)은 급격하게 커진다. 예를 들면, 무어닐링의 코닝사 제품의 코닝 7059F(변형점 593℃)는 600℃, 1시간, 냉각 속도 1℃/분의 열 이력에 의해 약 800ppm의 컴팩션이 있다. 또한, 변형점이 높은 코닝 1735F(변형점 665℃)의 경우, 상기와 마찬가지로의 열 이력이 가해지면 173ppm의 컴팩션을 나타낸다. 그리고, 사전에 660℃ /1hr의 어닐링 처리를 행함으로써, 마찬가지로의 열 이력에 의한 컴팩션을 약 10ppm까지 저하시킬 수 있게 된다.

다결정 TFT 패널용 기관에는 통상 20ppm 이하의 열수축률이 요구되기 때문에, 지금까지는 어닐링 유리 기관의 사용이 필수적으로 되어 왔다. 따라서, 프로세스 온도의 상한을 단순하게 무어닐링 유리 기관의 수축을 무시할 수 있을 정도의 온도, 예를 들면 450~500℃로 내린 경우, 이하에 진술하는 문제가 발생한다.

즉, 다결정 실리콘층 상에 형성되는 게이트 절연층으로서, 일반적으로는 TEOS를 원료 가스로서 플라즈마 CVD(Chemical Vapor Deposition)법 등을 이용하여 SiO₂막을 약 100nm의 두께로 형성한다. 그러나, 다결정 실리콘층과 TEOS로 이루어지는 절연층과의 계면에서는 계면 단위 밀도가 크기 때문에, TFT로서의 임계치 전압이 변동하기 쉽고, 또한 게이트 절연층으로서의 절연 내압 특성이 시간 경과함에 따라 현저히 열화하는 등, TFT의 신뢰성에 있어서 큰 문제가 존재한다.

따라서, 무어닐링 유리 기관의 사용을 전제로 한 경우, 프로세스 온도의 상한을 450~500℃ 정도로 하고, 또한 다결정 실리콘층과 게이트 절연층과의 계면 준위 밀도를 열 산화법에 의한 실리콘 산화층에 준하는 정도로 저감시키는 고안이 중요하다.

상기한 과제에 대하여 본 발명은 무어닐링 유리 기관을 사용해도 컴팩션이 문제가 되지 않는 프로세스 온도에서 고신뢰도를 갖는 다결정 실리콘 박막 트랜지스터를 형성하는 것을 목적으로 한다.

또한, 본 발명에 있어서, 유리 기관을 600℃, 1시간의 열 처리 후, 1℃/분으로 냉각한 경우, 그 컴팩션이 30ppm 이상인 유리 기관을 무어닐링 유리 기관으로 정의하였다.

상기한 목적을 달성하기 위해서, 본 발명에서는 무어닐링 유리 기관의 상방에 채널 영역과 소스 영역과 드레인 영역을 형성하기 위한 폴리실리콘 결정층과, 제1 절연층과 제2 절연층을 형성한다. 그리고, 채널 영역에 대응하는 위치에 있어서 제2 절연층 상에 게이트 영역을, 또한 게이트 영역, 소스 영역, 드레인 영역의 각 영역과 전기적인 접속을 행하기 위한 게이트 전극, 소스 전극, 드레인 전극을 형성하였다.

이 때, 제1 절연층이 3b족의 원소(예를 들면, 붕소(B)) 또는 5b족의 원소(예를 들면, 인(P))가 도핑되어 있는 채널 영역의 다결정 실리콘 표면을 500℃ 이하의 온도에서 산화시켜 구성한 실리콘 산화층이고, 적어도 채널 영역의 표면을 덮도록 하여 형성되어 있으며, 또한 그 막 두께가 4nm 이상 20nm 이하이도록 하였다.

또한, 본 발명은 적어도 오존을 함유하는 분위기 중에서 다결정 실리콘층의 표면을 산화시킴으로써, 제1 절연층인 실리콘 산화층을 형성하도록 하였다.

그리고, 본 발명은 상기한 제1 절연층 상방에 배치된 제2 절연층이 적어도 화학 퇴적법, 물리 퇴적법, 또는 스피ن 도포법을 이용하여 형성하였다.

상기한 바와 같이 오존 분위기 속에서, 3b족의 원소 또는 5b족의 원소를 도핑한 다결정 실리콘층의 표면을 산화시킴으로써, 종래보다 두꺼운 실리콘 산화층을 고속으로 형성할 수 있다. 또한, 다결정 실리콘 표면을 산화함으로써, 다결정 실리콘층과 실리콘 산화층과의 계면을 양호한 상태로 유지할 수 있다. 또한, 종래보다 낮은 프로세스 온도에서 실리콘 산화막의 형성을 행할 수 있기 때문에, 비교적 염가인 무어닐링 유리를 기관으로서 사용할 수 있다.

다시 말하면, 상기한 방법에 의해 제작된 박막 트랜지스터는 실리콘 다결정을 포함하는 채널 영역의 표면과 그 위에 형성된 게이트 절연층과의 계면이 양호하기 때문에, 거기에서의 계면 준위 밀도에 밀접하게 관계하는 박막 트랜지스터의 특성,

예를 들면 임계치 전압의 변동을 저감시킬 수 있기 때문에, 결과적으로 우수한 TFT 특성을 발휘할 수 있다. 그리고, 기판으로서 무어닐링 유리 기판의 사용이 가능하기 때문에, 석영 유리 등에 비하여 큰 면적으로, 또한 염가로 TFT를 제작할 수 있다.

또, 본 발명의 TFT와 유사한 구조를 갖는 공지예로서, 특개2000-164885호 공보에는 유리 기판 등으로부터의 Na 이온의 확산 방지를 목적으로, 인 또는 붕소를 포함하는 게이트 절연층을 스퍼터링에 의해 형성한 절연 게이트형 반도체 장치, 및 그 제조 방법이 개시되어 있다. 그러나, 상기한 공보에 기재된 구성에서는 게이트 절연막의 형성 방법으로서 퇴적법(스퍼터링)을 이용하고 있기 때문에 게이트 절연층/반도체의 계면으로부터 핫 캐리어가 주입되기 쉬워 경시(經時) 열화를 야기한다.

또한, 특개평10-261801호 공보에는 유리 기판 등으로부터의 Na 이온의 확산 방지를 목적으로, 게이트 절연막이 인 또는 붕소를 함유하는 산화 실리콘막으로 이루어지는 박막 트랜지스터 장치가 개시되어 있다. 그러나, 상기한 공보에 기재된 게이트 절연막은 퇴적법(CVD)을 이용하여 형성되기 때문에, 전술한 특개2000-164885호 공보의 경우와 마찬가지로 게이트 절연층/반도체 계면의 핫 캐리어에 의한 열화가 문제가 된다.

본 발명에서는 실리콘 다결정을 포함하는 채널 영역 상에 형성하는 절연막을 상기한 퇴적법과는 다른 방법, 즉, 폴리실리콘막의 표면을 산화함으로써 SiO₂를 형성하기 때문에, SiO₂/p-Si 계면에서 불순물 등에 의한 준위가 적고, 또한 경시 열화가 작은 박막 트랜지스터를 형성할 수 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예를, 첨부 도면을 이용하여 상세하게 설명한다.

도 1은 제1 실시예인 박막 트랜지스터의 주요부 단면을 나타내는 구조도이다. 무어닐링 유리 기판(1) 상에 형성된 확산 방지층(2) 상에, 다결정 실리콘층을 포함하는 소스 영역(8), 드레인 영역(9), 채널 영역(12)이 형성되어 있다. 그리고, 채널 영역(12) 상에는 3b족 원소 또는 5b족 원소, 구체적으로는, 예를 들면 3b족 원소인 붕소(B) 또는 5b족 원소인 인(P)이 도핑된 다결정 실리콘층을 산화하여 형성된 SiO₂층(6a)이 형성되고, 또한 퇴적법에 의해 형성된 절연층(6b)으로 이루어지는 게이트 절연층(6)이 배치되어 있다.

게이트 절연층(6)의 상부에는 채널 영역(12)에 대응하는 위치에 게이트 영역(7)이 형성되고, 이 게이트 영역(7)의 표면의 일부를 덮도록 하여 층간 절연층(10)이 형성되어 있다. 그리고, 이 층간 절연층(10)에 설치된 개구부를 통해 소스 영역(8), 드레인 영역(9) 및 게이트 영역(7)이 각각의 전극(11)에 의해 전기적으로 접속되어 있다.

다음으로, 상기한 도 1에 도시한 구조의 제조 방법을 도 2에 도시한 프로세스 플로우를 이용하여 설명한다.

우선, 무어닐링 유리 기판(1) 상에, 통상의 플라즈마 CVD(Chemical Vapour Deposition)법을 이용하여 SiN막 또는 SiO₂막을 포함하는 확산 방지층(2: 막 두께 50~200nm)을 형성한다. 그 목적은 무어닐링 유리 기판에 포함되는 불순물, 예를 들면 나트륨 이온이 후술하는 기판 상에 형성한 박막 트랜지스터에 확산하여 나쁜 영향을 미치게 하는 것을 방지하기 위함이다. 그 후, 계속하여 모노실란 또는 디실란을 원료로 하여 처리 온도 300~500℃의 조건에서 플라즈마 CVD법을 이용하여 비정질 실리콘막(3: 막 두께 50nm)을 형성한다(도 2의 (a)).

다음으로, 비정질 실리콘막(3)의 표면에 3b족 원소인 붕소(B) 이온(13)을 가속 전압: 0.5~100keV, 도우즈량: 1E10~1E16/cm²의 조건으로 이온 주입을 행한다(도 2 (b)). 이 이온 주입에 의해, 적어도 후에 채널이 되는 게이트 바로 아래의 다결정 실리콘층에 붕소가 주입된다. 또한, 확산 방지층(2)에도 붕소(B)가 일부 주입됨으로써, 유리 기판으로부터 나트륨 이온 등이 소자 중에 확산하는 것을 방지하는 효과를 높일 수 있다. 붕소를 주입할 때의 가속 전압 및 도우즈량은 TFT 특성을 저하시키지 않고 산화 촉진 효과를 얻을 수 있는 범위를 선택하면 좋다.

이 때, 주입된 붕소는 비정질 실리콘막(3)의 표면으로부터 깊이 방향으로 농도 분포를 형성한다. 따라서, 붕소의 피크 농도는 표면으로부터 1~20nm 정도의 깊이에 위치시키는 것이 바람직하다. 그리고, 그 피크 농도는 1E18~1E21/cm³ 정도가 바람직하다. 그 이유는 후 공정에서 실리콘 표면을 산화할 때, 산화 속도의 증속 효과를 얻기에 적당한 값이기 때문이다.

그 후, 비정질 실리콘막(3)의 표면에 엑시머 레이저 광(5)을 조사하고, 비정질 실리콘막(3)의 일부 또는 전부를 결정화시켜서 다결정 실리콘층(4)을 형성한다(도 2 (c)). 엑시머 레이저 광(5)의 조사 조건은 예를 들면 300~600mJ/cm²으로, 펄스 광

에 의한 10~20회의 조사를 행하고 있다. 이 때, 엑시머 레이저 광(5)은 비정질 실리콘막(3)에 흡수되고, 그리고 가열 및 결정화가 행해지기 때문에, 이 엑시머 레이저 광(5)의 조사에 의해 무어닐링 유리 기판(1) 전체가 500℃ 이상으로 가열되지 않는다. 도 2의 (c)에서는 편의상, 유리 기판(1)의 전면에 레이저 광이 조사되어 있는 것처럼 도시되어 있지만, 실제로는 단층 형상(직사각형 형상)으로 집광시킨 엑시머 레이저 광(5)이 주사되도록 하여 조사된다.

다음으로, 붕소(B)가 도핑된 다결정 실리콘층(4)에 450~500℃, 대기압 하에서, 50~100g/m³(약 2~5%)의 오존 가스를 0.1~1SLM/cm² 공급하고, 그 표면을 산화시키고, 제1 절연막인 실리콘 산화층(6a: 제1 절연층)을 형성한다. 여기서 후술하지만, 제1 절연층의 막 두께는 적어도 4nm 이상이 필요하다. 그리고, 또한 CVD 등의 퇴적법을 이용하여 약 50~100nm의 실리콘 산화층(6b: 제2 절연층)을 형성하고, 막 두께가 합계 약 50~100nm의 게이트 절연층(6)을 형성한다(도 2의 (d)).

그리고, 게이트 절연층(6) 상에 통상 잘 알려진 방법을 이용하여 게이트 영역(7)을 형성하고, 원하는 형상으로 가공한다(도 2의 (e)). 게이트 영역의 재료로서는 불순물 도핑 실리콘막, 금속, 금속 화합물(TiN, TiW 등) 등의 도전성 재료를 이용한다.

다음으로, 가공된 게이트 영역(7)을 마스크로 하여, 다결정 실리콘층(4)에 5b족 원소인 인(P) 이온의 주입을 행하고, 소스 영역(8), 드레인 영역(9)을 형성하였다. 다결정 실리콘층(4)에 인 이온을 주입할 때의 조건은 가속 전압 1~100keV, 도우즈량: 1E10~1E16/cm²이다. 그 후, 주입한 인 이온을 활성화시키기 위해서, 다결정 실리콘층(4)의 RTA(Rapid Thermal Annealing) 처리를 행하였다. 이 때의 조건은 1~50kW/cm², 1~5s이다. 또, 이 RTA 처리에서도 다결정 실리콘층(4)만이 가열되기 때문에, 기초의 무어닐링 유리 기판 전체의 온도가 적어도 550℃ 이상으로 상승하지 않는다.

다음으로, 도 2의 (e)에 도시한 게이트 영역(7)의 표면을 덮도록 하여 게이트 절연막(6) 상에, TEOS를 원료로 하여 처리 온도 300~500℃에서 플라즈마 CVD법에 의해 형성한 SiO₂를 포함하는 층간 절연층(10)을 통상의 방법을 이용하여 형성하였다. 그리고, 이 층간 절연층(10)의 소정의 위치에 게이트 영역(7), 소스 영역(8), 드레인 영역(9)과 전기적 접속을 행하기 위한 개구부를 형성하고, 이 개구부를 통해 게이트 영역(7), 소스 영역(8), 드레인 영역(9)과 접속한 각 전극(11)을 형성하고, 도 1에 도시한 박막 트랜지스터가 완성한다.

한편, 도 2의 (d)에 도시한 제1 절연막의 막 두께에 대하여 설명한다. 도 3은 열 산화막/TEOS의 2층 게이트 절연막 구조인 MOS 트랜지스터에서의 열 산화막(제1 절연막)의 막 두께와 플랫폼 밴드 전압과의 관계를 나타낸 것이다. 이 도면에서 분명한 바와 같이 열 산화막 두께가 4nm 미만인 경우에는 MOS 트랜지스터에서의 플랫폼 밴드 전압이 저하한다. 이 현상은 열 산화막과 기초막인 실리콘층과의 계면에서의 계면 준위 밀도가 크고, 이 계면 준위에 전자가 포획됨으로써 원하는 트랜지스터 특성을 발휘시킬 수 없게 되기 때문이다. 한편, 열 산화막 두께가 4nm 이상이면 플랫폼 밴드 전압은 거의 일정치를 나타내고, 원하는 트랜지스터 특성을 확보할 수 있게 된다.

또한, 열 산화막 두께의 상한은 굳이 규정할 필요는 없지만, 게이트 절연막을 열 산화막/TEOS의 2층 구조로 할 경우에는 필요 이상으로 두껍게 할 필요는 없다. 즉, 박막 트랜지스터의 생산성을 고려하면, 열 산화라는 방법은 산화막의 형성 속도가 작은 방법인 것을 상정하여, 그 막 두께의 상한으로서, 예를 들면 20nm 정도가 적당하다.

다음으로, 제2 실시예에 대하여 도 4를 이용하여 설명한다. 붕소(B) 이온을 주입한 비정질 실리콘막(3)을 엑시머 레이저 광(5)에 의해 결정화하는 공정까지는 앞의 제1 실시예와 마찬가지로이다(도 2의 (c)).

다음으로, 붕소(B)가 도핑된 다결정 실리콘층(4)의 표면을 산화시켜서, 4nm 이상의 실리콘 산화층을 형성한다. 그리고, 이 실리콘 산화층을 게이트 절연층(6)으로서 기능시킨다. 그 후, 게이트 영역(7)을 형성하는 공정 이후의 공정은 먼저 나타낸 제1 실시예의 경우와 마찬가지로이다. 상기한 공정을 거쳐, 도 4에 도시한 게이트 절연층(6)이 1층 구조인 박막 트랜지스터가 완성된다.

제2 실시예에 있어서, 게이트 절연층(6)을 1층의 구조로 하고, 그 막 두께를 예를 들면 20nm 정도로 함으로써, 제1 실시예에 비하여 저전압으로 박막 트랜지스터를 안정적으로 동작시킬 수 있게 된다.

다음으로, 제3 실시예에 대하여 도 5를 이용하여 설명한다.

도 5는 박막 트랜지스터의 형성 프로세스 플로우이다. 유리 기판(1) 상에 비정질 실리콘막(3)을 형성하는 공정까지는 먼저 나타낸 제1 실시예의 경우와 마찬가지로이다(도 5의 (a)).

다음으로, 비정질 실리콘막(3)에 엑시머 레이저 광(5)을 조사하여 결정화 처리를 행하고, 다결정 실리콘막(4)을 형성한다(도 5의 (b)). 그 후, 다결정 실리콘막(4)에 가속 전압: 0.5~100keV, 도우즈량: 1E10~1E16/cm²의 조건에서 3b족 원소인 붕소(B) 이온(13)을 주입한다(도 5의 (c)). 이 이온 주입에 의해, 적어도 후에 채널이 되는 게이트 바로 아래의 다결정 실리콘층에 붕소가 주입된다. 또한, 확산 방지층(2)에도 붕소(B)가 일부 주입됨으로써, 유리 기판으로부터 나트륨 이온 등이 소자 중에 확산하는 것을 방지하는 효과를 높일 수 있다.

다음으로, 붕소(B) 이온이 주입된 다결정 실리콘막(4) 상에 제1 절연층(6a) 및 제2 절연층(6b)을 형성한다(도 5의 (d)). 이때, 앞의 제1 실시예에서는 비정질 실리콘에 붕소(B) 이온 주입을 행한 후에 엑시머 레이저 광(5)에 의해 결정화를 행했지만, 본 실시예에 도시한 바와 같이 엑시머 레이저 광(5)에 의한 결정화의 공정과 붕소(B) 이온 주입의 공정을 행하는 순서를 반대로 해도, 다결정 실리콘막(4) 상에 형성되는 산화막(제1 절연층(6a))의 형성 속도가 저하하지 않는다.

다음으로, 게이트 절연막(6) 상에 채널 영역(12)에 대응시킨 위치에 게이트 영역(7)을 형성하고(도 5의 (e)), 층간 절연막(10) 및 전극(11)을 형성하여 도 1에 도시한 경우와 마찬가지로의 박막 트랜지스터가 완성된다.

상기한 실시예에서는 제2 절연층 실리콘 산화막의 형성 방법은 제1 실시예와 마찬가지로 CVD법을 이용했지만, 스퍼터 등의 물리 퇴적법, 스핀 도포법 등을 이용하여 형성해도 마찬가지로의 효과가 얻어진다.

그런데, 상기한 제1 실시예 또는 제3 실시예에서는 N 채널 MOS형 박막 트랜지스터를 구성하지만, 소스 영역(8), 드레인 영역(9)에 주입하는 이온의 종류를 적절하게 선택함으로써 P 채널 MOS형 박막 트랜지스터를 형성할 수도 있다. 또한, 이들 이온 주입을 구분하여 사용함으로써, 동일 기판 상에 N 채널 MOS형과 P 채널 MOS형을 만들어 넣은 CMOS형 박막 트랜지스터를 형성할 수도 있다.

다음으로, 다결정 실리콘층(4)의 표면을 산화하여 얻어지는 실리콘 산화층(6a)의 형성 방법에 대하여, 이하에 상세하게 설명한다.

무어닐링 유리 기판(1) 상에 다결정 실리콘층(4)이 형성된 샘플을 제1 처리실에 반입하고, 무어닐링 유리 기판(1)에 대하여 열적인 나쁜 영향을 주지 않을 정도의 온도, 예를 들면 약 450℃로 가열한다. 한편, 제1 처리실과는 격리되어 인접한 제2 처리실에, 100g/Nm²의 오존(약 1SLM/cm²: 오존의 전체 유량을 유효 처리 면적에서 제외한 값)을 도입하고, 제2 처리실 내를 약 700Torr로 제어한다. 오존은 순산소 가스(10SLM)와 미량의 N₂ 가스(55 SCCM)와의 혼합 가스를 원료로 하고, 잘 알려진 무성 방전형 오조나이저를 이용하여 100g/Nm²(오존 농도 약 5%)의 오존을 생성하였다.

상기한 오존 분위기에 있는 제2 처리실에, 제1 처리실로부터 450℃로 가열된 샘플을 반입한다. 이러한 처리를 행함으로써 다결정 실리콘층(4)의 표면이 산화된다. 제2 처리실에서의 처리 시간을, 예를 들면 10분으로 하면, 다결정 실리콘층(4)의 표면에 약 4nm의 막 두께를 갖는 제1 절연층(6a), 즉 SiO₂층이 형성된다. 여기서, 다결정 실리콘층(4)에는 붕소(B) 이온이 주입되어 있기 때문에, 붕소(B) 이온이 주입되어 있지 않는 경우(종래 방법)에 비하여 산화 속도가 크고, 결과적으로는 막 두께가 두꺼운 SiO₂층을 형성할 수 있다.

다음으로, 실리콘층의 산화 메카니즘에 대하여 간단하게 설명한다.

실리콘의 표면이 산화종(種)이 분위기에 노출되었을 때, 우선 이 산화종이 실리콘의 표면에 흡착하고, 산화 반응이 개시된다. 또한, 실리콘의 표면에 실리콘 산화막을 갖는 경우에는 실리콘 산화막의 표면에 흡착한 산화종이 실리콘 산화막 속으로 확산한다. 그리고, 산화종의 확산이 진행하여 실리콘 산화막/실리콘의 계면에 도달하면, 그곳에서 실리콘과 산화종과의 반응이 발생하여, 실리콘 산화막이 성장한다.

종래, 실리콘의 산화는 800℃ 이상의 고온 프로세스를 필요로 하고 있었지만, 오존 가스를 이용함으로써 산화막 형성 온도의 저온화가 가능하게 된다. 또한, 다결정 실리콘에 붕소(B)나 인(P) 등의 불순물이 도핑되어 있으면, 이들 불순물이 도핑되어 있지 않는 경우보다 산화막 형성 속도가 빨라진다.

그 이유는 다음과 같은 메카니즘에 의한다.

다결정 실리콘층에 인(P)이 도핑되어 있는 경우의 산화 메카니즘은 단결정 실리콘으로 널리 이용되고 있는 선형-포물선형에 근사하게 모델화할 수 있다. 즉, 산화막 두께 d 와 시간 t 사이에는 $d^2 + A \cdot d = B/(t + \tau)$ 의 관계식이 성립한다. 여기서, τ , A , B 는 상수이다.

인을 도핑한 실리콘의 산화에서는 인이 실리콘층에 편석하고, 실리콘 영역에 산화종과 Si의 반응 사이트가 되는 보이드 농도를 높이기 때문에 산화 속도가 증대한다. 다시 말하면, 실리콘층에의 인의 편석에 의해 Si/SiO₂ 계면에서의 반응 속도가 빨라지고, 선형 상수 B/A가 가장 현저하게 영향을 받아 커진다. 또한, 다결정 실리콘에서는 인은 입계에 편석하기 때문에, 입계를 통해 산화막 형성 속도는 보다 빠르게 된다.

한편, 다결정 실리콘 중에 붕소(B) 이온을 도핑한 경우에는 붕소는 SiO₂층에 편석하고, SiO₂의 결합 구조를 약하게 한다. 따라서, 약해진 구조를 갖는 산화막 중에서는 산화종의 확산이 촉진되어, 결과적으로 산화 속도가 증대한다. 즉, 붕소 이온을 도핑한 실리콘층에서는 전술한 관계식에 있어서의 상수 B의 값이 증대하게 된다.

다결정 실리콘층(4)의 표면을 산화하여 형성한 제1 절연층(6a: SiO₂층) 상에 형성한 제2 절연층(6b)은, 예를 들면 CVD법, PVD법, 또는 스�핀 도포법에 의해 형성한다. CVD법의 경우, TEOS를 원료 가스로서 열 분해 반응을 이용하는 방법, 또한 모노실란이나 디실란을 원료 가스로서 열 분해를 이용하는 방법 등이 있다. 또한, PVD법의 경우, 스퍼터법, 증착법 등이 있다. 예를 들면, SiO₂ 타겟을 이용하고, Ar/O₂ 혼합 가스 중에서 RF 스퍼터를 행함으로써, 치밀한 SiO₂막이 얻어진다. 또한, 스�핀 도포법에서는 SOG(Spin On Glass)법 등이 있다.

이상 전술한 방법에 의해 게이트 절연층(6)이 완성된다.

이상 전술한 프로세스를 이용하여, 무어닐링 유리 기판 상에 500℃ 이하의 저온에서 형성된 TFT는 다결정 실리콘층인 채널 영역 상에 약 4nm 이상의 게이트 절연막을 갖고, 그 절연막으로서 다결정 실리콘층을 산화시켜서 형성시킨 SiO₂층을 이용함으로써, 그 계면 준위 밀도를 낮출 수 있다. 그리고, 그 결과로서 TFT의 중요한 특성의 하나인 임계 전압 V_{th}의 경시적 변동을 작게 억제할 수 있는 것을 확인하였다.

발명의 효과

이상 설명한 바와 같이 오존 산화를 이용한 다결정 실리콘막의 표면 처리를 이용함으로써, 염가인 무어닐링 유리 기판 상에 액정 표시용 박막 트랜지스터를 형성할 수 있다.

이상, 본 발명에 따른 여러가지 실시예를 예시하여 설명했지만, 본 발명의 영역을 벗어남없이 다양한 변화 및 변경이 실시될 수 있음을 이해하여야 한다. 따라서, 본 발명은 본 명세서에 예시되고 설명된 실시예만으로 한정되는 것이 아니며, 첨부한 특허 청구 범위 내에 속하는 모든 변경 및 변화를 포함하는 것으로 의도되어야 한다.

(57) 청구의 범위

청구항 1.

유리 기판의 상부에 다결정 실리콘으로 된 채널 영역과 드레인 영역을 구비하되, 적어도 상기 채널 영역의 표면을 덮도록 하여 제1 절연층이 형성되고, 상기 제1 절연층 상에 제2 절연층과 전극이 순차적으로 형성되며, 상기 제1 절연층이 상기 다결정 실리콘 표면을 산화시켜서 형성되는 두께가 4 내지 20 nm인 실리콘 산화막이고, 또한 상기 제1 절연층과 상기 다결정 실리콘으로 된 적어도 상기 채널 영역에는, 상기 제1 산화막의 형성 속도를 증가시키는 불순물로서 붕소(B) 및 인(P) 중 적어도 1 종류의 원소가 포함되는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

유리 기판 상에 형성된 확산 방지막 상에 다결정 실리콘으로 된 채널 영역과 소스 영역과 드레인 영역을 구비하되, 적어도 상기 채널 영역의 표면을 덮도록 하여 절연층이 형성되고, 상기 절연층 상에 전극이 형성되며, 상기 절연층이 상기 다결정

실리콘 표면을 산화시켜서 형성되는 두께가 4 내지 20 nm인 실리콘 산화막이고, 또한 상기 절연층과 상기 다결정 실리콘으로 된 적어도 상기 채널 영역에는, 상기 산화막의 형성 속도를 증가시키기 위해 붕소(B) 및 인(P) 중 적어도 1 종류의 원소가 포함되는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제1항 또는 제2항에 있어서,

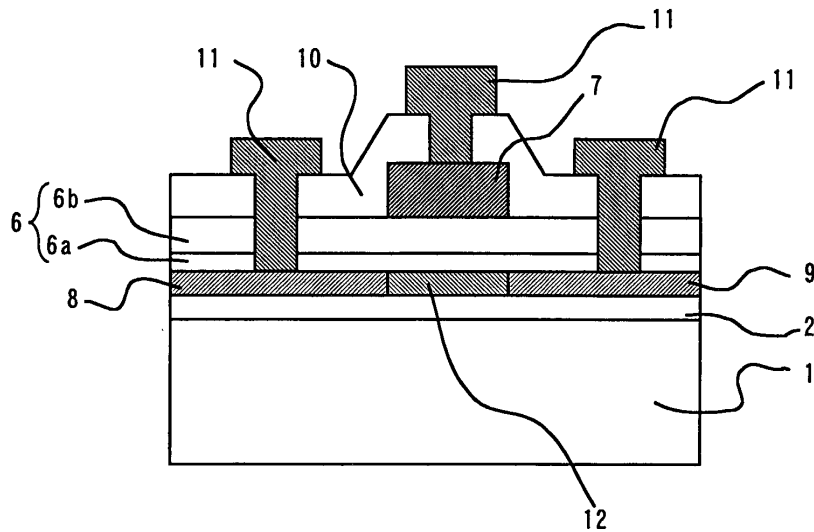
상기 유리 기판이 무어닐링 유리 기판인 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

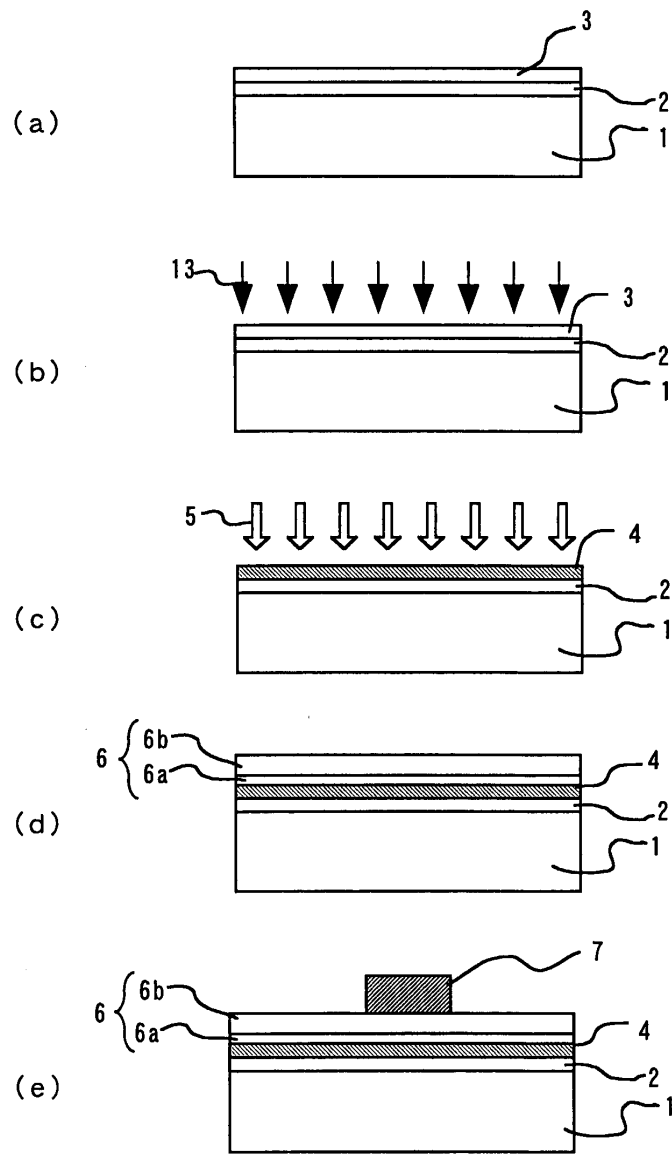
제1항 또는 제2항에 있어서, 상기 붕소(B) 또는 상기 인(P)의 농도가 $1E18 \sim 1E21/cm^3$ 인 것을 특징으로 하는 박막 트랜지스터.

도면

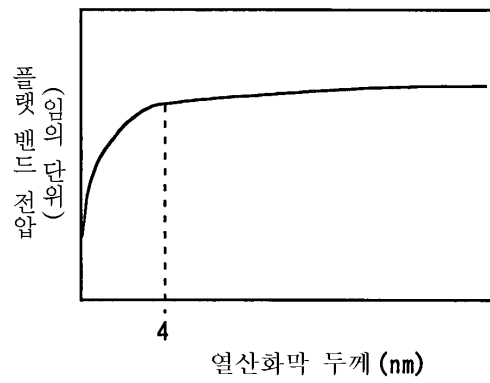
도면1



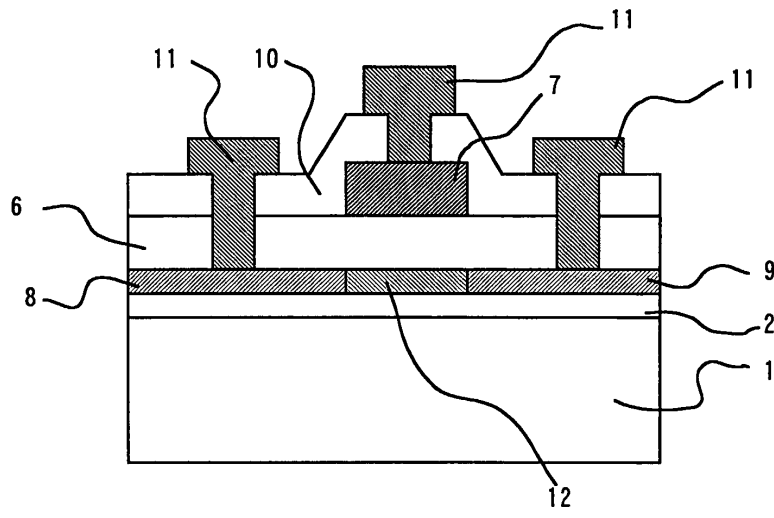
도면2



도면3



도면4



도면5

