



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0065992
(43) 공개일자 2010년06월17일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2008-0124604

(22) 출원일자 2008년12월09일

심사청구일자 없음

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

서광유

서울특별시 관악구 봉천본동 905-11번지 201호

(74) 대리인

김용인, 박영복

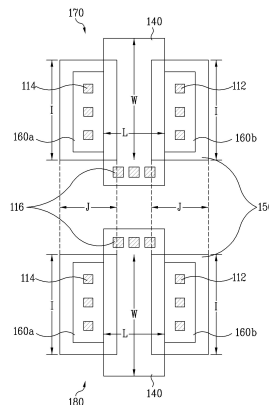
전체 청구항 수 : 총 6 항

(54) 반도체 소자의 레이아웃

(57) 요약

본 발명은 반도체 소자의 레이아웃에 관한 것으로, 게이트 영역, 드리프트 영역, 상기 드리프트 영역 내의 드레인 영역 및 소스 영역을 포함하는 반도체 소자의 제 1 및 제 2 트랜지스터의 레이아웃에 있어서, 상기 제 1 및 제 2 트랜지스터는 상기 게이트 영역을 중심으로 서로 마주보도록 수직 방향으로 수직 매칭 구조로 배열되는 것을 특징으로 한다. 그러므로, 트랜지스터의 채널 폭 뿐만 아니라 채널 길이의 변화에 따른 두 트랜지스터 사이에서 발생하는 캐리어 침투 현상을 방지할 수 있는 효과를 가진다.

대표도 - 도4



특허청구의 범위

청구항 1

게이트 영역, 드리프트 영역, 상기 드리프트 영역 내의 드레인 영역 및 소스 영역을 포함하는 반도체 소자의 제 1 및 제 2 트랜지스터의 레이아웃에 있어서,

상기 제 1 및 제 2 트랜지스터는 상기 게이트 영역을 중심으로 서로 마주보도록 수직 방향으로 수직 매칭 구조로 배열되는 것을 특징으로 하는 반도체 소자의 레이아웃.

청구항 2

제 1 항에 있어서,

상기 드리프트 영역은 상기 트랜지스터의 채널 길이 방향인 가로 폭이 4 μ m~6 μ m의 폭으로 고정되어 형성되는 것을 특징으로 하는 반도체 소자의 레이아웃.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 트랜지스터는 상기 게이트 영역을 중심으로 드리프트 영역이 대칭되어 형성되는 것을 특징으로 하는 반도체 소자의 레이아웃.

청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 트랜지스터는 상기 게이트 영역을 중심으로 드리프트 영역이 비대칭되어 형성되는 것을 특징으로 하는 반도체 소자의 레이아웃.

청구항 5

제 1 항에 있어서,

상기 게이트 영역에 형성된 게이트 콘택홀과,

상기 드레인 영역에 형성된 드레인 콘택홀과,

상기 소스 영역에 형성된 소스 콘택홀을 추가로 구비하는 것을 특징으로 하는 반도체 소자의 레이아웃.

청구항 6

제 5 항에 있어서,

상기 제 1 및 제 2 트랜지스터의 게이트 콘택홀을 통해 제 1 및 제 2 트랜지스터의 게이트 영역을 공통으로 연결시키는 공통 게이트 단자와,

상기 제 1 트랜지스터의 드레인 콘택홀을 통해 제 1 트랜지스터의 드레인 영역과 접속되는 제 1 드레인 단자와,

상기 제 2 트랜지스터의 드레인 콘택홀을 통해 제 2 트랜지스터의 드레인 영역과 접속되는 제 2 드레인 단자와,

상기 제 1 및 제 2 트랜지스터의 소스 콘택홀을 통해 제 1 및 제 2 트랜지스터의 소스 영역을 공통으로 연결시키는 공통 소스 단자를 추가로 구비하는 것을 특징으로 하는 반도체 소자의 레이아웃.

명세서

발명의 상세한 설명

기술분야

본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 트랜지스터 간의 캐리어 침투 현상을 방지할 수 있는 반도체 소자의 레이아웃에 관한 것이다.

[0001]

배경 기술

- [0002] 최근 시장이 크게 확장되고 있는 LCD, PDP, OLED 등의 평판 디스플레이용 구동 LSI, 자동차용 LSI, OA 및 주변 기기용 LSI, 및 모터 구동 LSI에 사용되는 회로는 고전압 소자와 저전압 소자를 한 칩 내에 집적하고 있다. 이러한 회로를 고전압 집적회로라고 하며, 고전압 집적회로를 설계하기 위해서는 저전압 CMOS 회로뿐만 아니라 고전압 MOS 소자에 대한 모델도 필요하다.
- [0003] 도 1은 일반적인 고전압 반도체 소자의 레이아웃을 나타내고, 도 2는 도 1의 고전압 반도체 소자를 나타낸 단면도이다.
- [0004] 도 1 및 도 2를 참조하면, 반도체 소자의 트랜지스터(70, 80)는 게이트 영역(40), 드리프트(drift) 영역(50) 내의 드레인 영역(60a) 및 소스 영역(60b)을 포함하며, 각 영역은 디자인 룰(design rule)을 근거로 하여 적어도 하나 이상의 콘택(12, 14, 16)을 통하여 회로에 연결되는 메탈들과 접촉되어 있다.
- [0005] 도 2의 반도체 기판(10) 상에는 활성 영역들을 정의한 후 활성 영역들 간에 격리를 위하여 형성된 소자 분리막(shallow trench Process, STI; 36)과, 게이트 전극(40), 게이트 절연막(38) 및 게이트 전극 양측벽에 형성된 측벽 스페이서(42)를 포함하는 트랜지스터가 수평으로 평행하게 배열되며, 트랜지스터 간 매칭 특성을 비교한다.
- [0006] 고전압 트랜지스터에서는 동작 전압을 높이기 위해 트랜지스터의 타입에 따라 N-드리프트 또는 P-드리프트 공정을 진행하게 되는데, 급속 열처리(Rapid Thermal Annealing; RTA) 공정과 소자 분리막(shallow trench Process, STI; 36) 표면 에너지 상태에 따라 캐리어 열확산율(carrier diffusivity) 정도가 달라져 두 트랜지스터(70, 80) 사이(A)에서 캐리어 침투(carrier penetration) 현상이 일어나게 된다.
- [0007] 여기서, 두 트랜지스터(70, 80)는 전류(I_d) 및 전압(V_t)값의 차이를 특성화하여 사용하게 되는데, 트랜지스터의 채널 폭(channel width; W)이 커질수록 N-드리프트 또는 P-드리프트 영역(50) 또한 채널 폭(W)에 비례하여 커지게 되며 고전압 트랜지스터에서는 동작 전압이 크기 때문에 두 트랜지스터(70, 80)에서 간섭이 발생하여 트랜지스터 특성이 나빠지게 된다.
- [0008] 도 3은 여러 개의 트랜지스터 사이즈를 가지고, 각각의 사이즈별 트랜지스터 간의 매칭을 계산하여 사이즈에 따른 전체 매칭 경향이 어떠한가를 나타낸 그래프이다. 구체적으로, 0.18 μ m 공정에서 25V의 NMOS에서 채널 폭(W)이 달라짐에 따라 기울기가 달라짐을 알 수 있다. 즉, 두 트랜지스터의 매칭 특성이 채널 폭(W)에 따라 달라지며, 채널 폭(W)이 커질수록 매칭 특성이 나빠짐을 알 수 있다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명이 이루고자 하는 기술적 과제는 두 트랜지스터 간의 캐리어 침투 현상을 방지할 수 있는 반도체 소자의 레이아웃을 제공하는데 있다.

과제 해결수단

- [0010] 상기와 같은 과제를 달성하기 위한 본 발명의 실시 예에 따른 반도체 소자의 레이아웃은 게이트 영역, 드리프트 영역, 상기 드리프트 영역 내의 드레인 영역 및 소스 영역을 포함하는 반도체 소자의 제 1 및 제 2 트랜지스터의 레이아웃에 있어서, 상기 제 1 및 제 2 트랜지스터는 상기 게이트 영역을 중심으로 서로 마주보도록 수직 방향으로 수직 매칭 구조로 배열되는 것을 특징으로 한다.

효과

- [0011] 본 발명의 실시 예에 따른 반도체 소자의 레이아웃은 다음과 같은 효과가 있다.
- [0012] 게이트 영역을 중심으로 수직으로 대칭되도록 트랜지스터를 배열함으로써, 채널 길이(L) 및 채널 폭(W)의 변화에 따른 캐리어 침투 현상을 공정 조건의 변화없이도 최소한으로 줄일 수 있으며 모든 트랜지스터 타입(NMOS, PMOS)과, 트랜지스터 구조(시메트릭, 어시메트릭)에도 모두 적용할 수 있는 효과를 가진다.

발명의 실시를 위한 구체적인 내용

- [0013] 이하, 본 발명의 기술적 과제 및 특징들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 본 발명을 구체적으로 살펴보면 다음과 같다.
- [0014] 도 4는 본 발명에 따른 고전압 트랜지스터의 레이아웃을 나타낸 도면이다.
- [0015] 도 4는 고전압 트랜지스터의 시메트릭(Symmetric) 구조에서 트랜지스터의 채널 폭(W) 및 채널 길이(L)의 변화에 따라 캐리어 침투 현상이 나타나는 범위를 최소한으로 고정시켜 실제 트랜지스터 미스매칭 값이 채널 폭(W) 및 채널 길이(L)의 변화에 영향을 미치지 않도록 배열한 매칭 구조이다.
- [0016] 구체적으로, 반도체 소자의 트랜지스터(170, 180)는 게이트 영역(140), 드리프트(drift) 영역(150) 내의 드레인 영역(160a) 및 소스 영역(160b)을 포함하며, 각 영역은 디자인 룰(design rule)을 근거로 하여 적어도 하나 이상의 콘택(112, 114, 116)을 통하여 회로에 연결되는 메탈들과 접촉되어 있다.
- [0017] 또한, 반도체 기판 상에는 활성 영역들을 정의한 후 활성 영역들 간에 격리를 위하여 소자 분리막(shallow trench Process, STI)이 형성된다.
- [0018] 게이트 영역(140)에서는 게이트 콘택홀(116)을 통해 게이트 단자(도시하지 않음)와 접속되고, 드레인 영역(160a)에서는 드레인 콘택홀(114)을 통해 드레인 단자(도시하지 않음)와 접속되며, 소스 영역(160b)에서는 소스 콘택홀(112)을 통해 소스 단자(도시하지 않음)가 접속된다.
- [0019] 고전압 트랜지스터에서는 동작 전압을 높이기 위해 트랜지스터의 타입에 따라 N-드리프트 또는 P-드리프트 공정을 진행하게 되는데 즉, 반도체 기판의 활성 영역에 N형 불순물을 주입하여 N-드리프트 영역 또는 P형 불순물을 주입하여 P-드리프트 영역을 형성한다.
- [0020] 여기서, 트랜지스터(170, 180)의 채널 폭(W)이 증가하게 되면 디자인 룰에 의해 드리프트 영역(150) 또한 채널 폭(W) 방향인 세로축 방향(I)으로 채널 폭(W)의 증가에 따라 비례하여 커지게 된다. 따라서, 종래와 같이 두 트랜지스터(170, 180)를 수평 방향으로 배열할 경우 드리프트 영역(150)의 세로축 방향(I)이 커짐으로써 두 트랜지스터(170, 180) 사이에서의 캐리어 침투 현상이 발생하게 되지만, 두 트랜지스터(170, 180)를 게이트 영역(140)의 게이트 콘택홀(116)을 중심으로 서로 마주보도록 수직 방향으로 수직 매칭 구조로 배열함으로써 채널 폭(W)이 커지게 되더라도 트랜지스터(170, 180) 간의 캐리어 침투 현상에 아무런 영향을 미치지 않게 된다.
- [0021] 또한, 트랜지스터(170, 180)의 채널 길이(L)의 크기가 변하더라도 게이트 영역(140)의 채널 길이(L) 방향이 길어지게 될 뿐, 두 트랜지스터(170, 180) 간의 드리프트 영역(150)의 채널 길이 방향인 가로축 방향(J)은 고정되어 변하지 않는다. 따라서, 채널 폭(W) 뿐만 아니라 채널 길이(L)의 변화에 대해서도 두 트랜지스터(170, 180) 사이에서 발생하는 캐리어 침투 현상을 방지할 수 있다.
- [0022] 드리프트 영역(150)의 가로축 방향(J)은 4 μ m~6 μ m의 폭으로 고정되어 형성된다.
- [0023] 시메트릭(Symmetric) 구조의 트랜지스터(170, 180)의 매칭 구조는 소스 및 드레인 패턴이 동일하기 때문에 주위의 회로 형태에 따라 임의의 하나를 소스라 지정하면, 반대편은 드레인이 된다. 도 4에서는 임의로 소스는 게이트 영역의 우측 영역을, 드레인은 게이트의 좌측 영역으로 지정한다.
- [0024] 도 5는 도 4에 따른 시메트릭(Symmetric) 구조를 갖는 트랜지스터 매칭 구조의 금속 픽업과 라우팅된 도면이다.
- [0025] 도 5를 참조하면, 수직 매칭 구조의 두 트랜지스터(170, 180)는 소스 및 드레인 영역(160a, 160b), 드리프트 영역(150)이 서로 대칭되어 형성된 시메트릭 구조를 갖는다.
- [0026] 두 트랜지스터(170, 180)의 게이트 영역(140)의 게이트 콘택홀(116)은 서로 마주보도록 인접하게 형성되어 있으며, 공통 게이트 단자(146)는 두 트랜지스터(170, 180)들의 게이트 콘택홀(116) 각각과 접속되어 공통으로 연결된다.
- [0027] 제 1 트랜지스터(170)의 드레인 영역(160a)에는 드레인 콘택홀(114)을 통해 제 1 드레인 단자(140)와 접속되며, 제 2 트랜지스터(180)의 드레인 영역(160a)에는 드레인 콘택홀(114)을 통해 제 2 드레인 단자(142)와 접속되어 제 1 및 제 2 트랜지스터(170, 180)가 각각 구동된다.
- [0028] 제 1 트랜지스터(170)의 소스 영역(160b)의 소스 콘택홀(112)과 제 2 트랜지스터(180)의 소스 영역(160b)의 소스 콘택홀(112)을 통해 제 1 및 제 2 트랜지스터(170, 180)의 소스 영역(160b)은 공통 소스 단자(144)와 접속되어 제 1 및 제 2 트랜지스터(170, 180)의 소스 영역(160b)들을 공통으로 연결한다.
- [0029] 제 1 및 제 2 트랜지스터(170, 180)의 소스 영역(160b)을 공통으로 접속시키는 공통 소스 단자(144)는 공통 게

이트 단자(146)와 서로 다른 층에서 중첩되도록 형성된다.

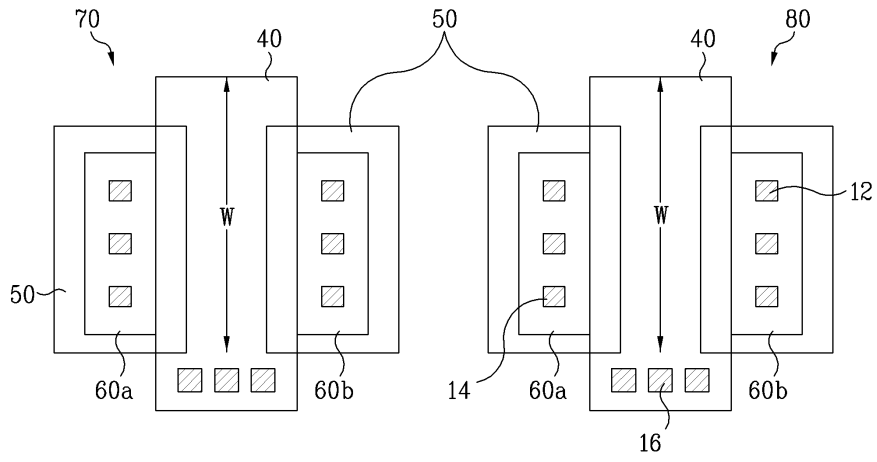
- [0030] 이와 같이 제 1 및 제 2 트랜지스터(170, 180)를 공통으로 연결하는 공통 게이트 단자(146) 및 공통 소스 단자(144)를 형성함으로써 공정이 단순해지고 반도체 소자 면적을 최소화할 수 있다.
- [0031] 이와 같은 매칭 구조의 메탈 픽업시 두 트랜지스터(170, 180) 간 금속 단자들 라우팅 면적의 크기를 같게 하여 금속 저항에서 발생하는 전압 드롭(voltage drop)의 크기를 같게 해준다. 예를 들어, 제 1 드레인 단자(140)와 제 2 드레인 단자(142)의 면적이 달라지게 되면 금속의 면적에 따라 저항이 달라지게 되므로 두 트랜지스터(170, 180)의 저항이 달라지게 되므로 매칭 특성이 저하된다. 따라서, 두 트랜지스터(170, 180)의 각 단자들의 면적이 서로 동일하도록 형성하여 매칭 특성을 개선시킨다.
- [0032] 이와 같이 두 트랜지스터(170, 180)를 게이트 영역(140)을 중심으로 서로 마주보도록 수직 방향으로 대칭되도록 배열한 수직 매칭 구조는 시메트릭 구조뿐만 아니라 도 6과 같이 어시메트릭(비대칭) 구조를 갖는 트랜지스터 매칭 구조에서도 적용 가능하다.
- [0033] 도 6의 어시메트릭 구조를 갖는 트랜지스터 매칭 구조에서는 N-드리프트 영역 또는 P-드리프트 영역 중 어느 한 쪽만 존재하며, 나머지 구조는 도 5와 동일하므로 생략하기로 한다.
- [0034] 이와 같이 게이트 영역(140)을 중심으로 수직으로 대칭되도록 배열된 트랜지스터(170, 180) 매칭 구조는 채널 길이(L) 및 채널 폭(W)의 변화에 따른 캐리어 침투 현상을 공정 조건의 변화없이도 최소한으로 줄일 수 있으며 모든 트랜지스터 타입(NMOS, PMOS)과, 트랜지스터 구조(시메트릭, 어시메트릭)에도 모두 적용 가능하다.
- [0035] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

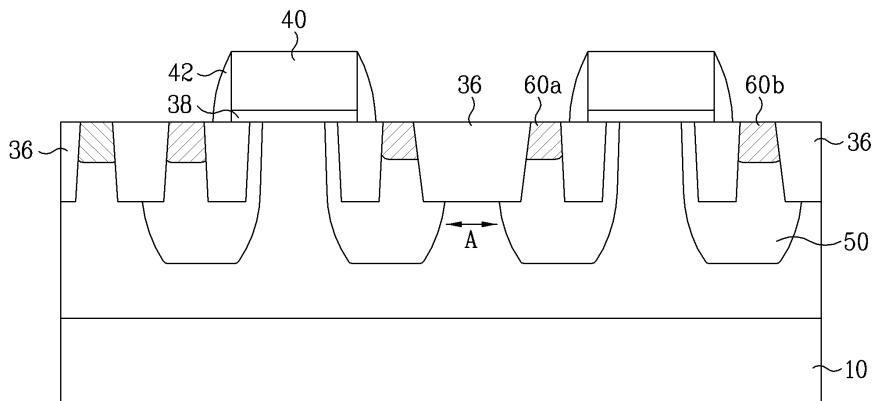
- [0036] 도 1은 일반적인 고전압 반도체 소자의 레이 아웃을 나타내는 도면이다.
- [0037] 도 2는 도 1의 고전압 반도체 소자를 나타낸 단면도이다.
- [0038] 도 3은 여러 개의 트랜지스터 사이즈를 가지고, 각각의 사이즈별 트랜지스터 간의 매칭을 계산하여 사이즈에 따른 전체 매칭 경향을 나타낸 그래프이다.
- [0039] 도 4는 본 발명에 따른 고전압 트랜지스터의 레이아웃을 나타낸 도면이다.
- [0040] 도 5는 도 4에 따른 시메트릭 구조를 갖는 트랜지스터 매칭 구조의 금속 픽업과 라우팅된 도면이다.
- [0041] 도 6의 도 4에 따른 어시메트릭 구조를 갖는 트랜지스터 매칭 구조의 금속 픽업과 라우팅된 도면이다.
- [0042] < 도면의 주요 부분에 대한 부호의 설명 >
- [0043] 112, 114, 116 : 콘택홀 140 : 게이트 영역
- [0044] 150 : 드리프트 영역 160a, 160b : 소스, 드레인 영역
- [0045] 170 : 제 1 트랜지스터 180 : 제 2 트랜지스터

도면

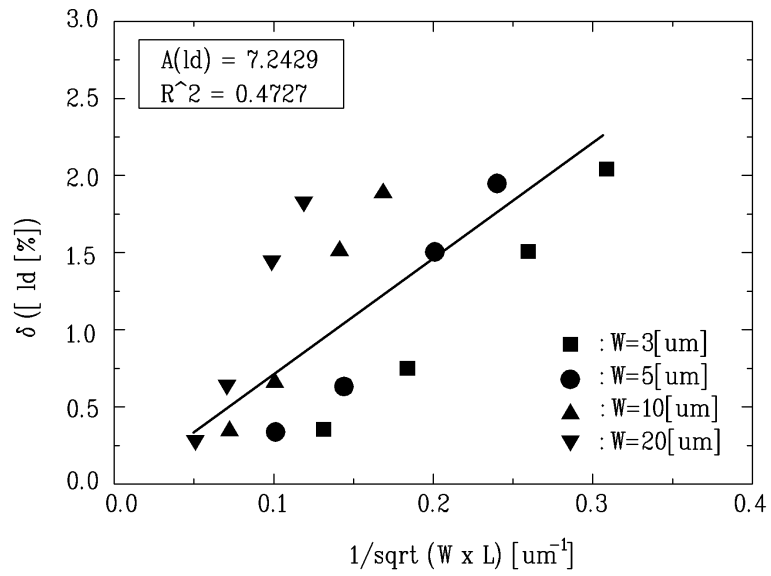
도면1



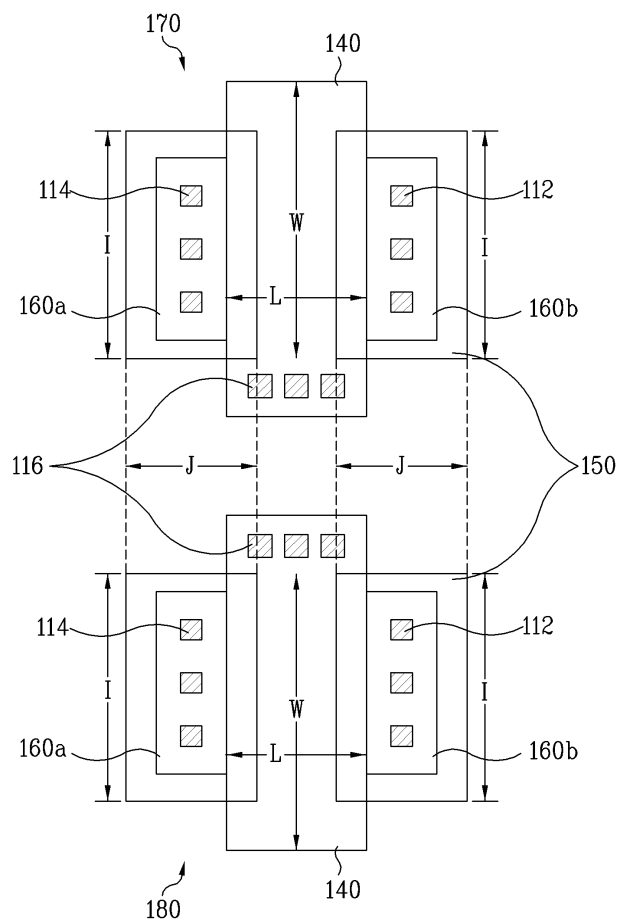
도면2



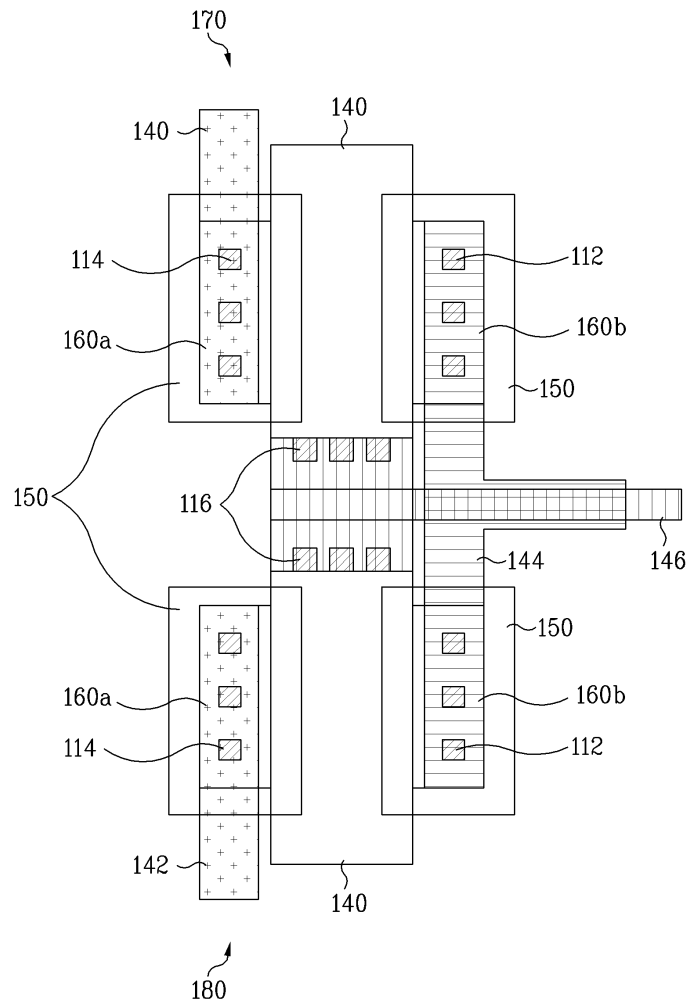
도면3



도면4



도면5



도면6

