

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G05F 3/16	(45) 공고일자 1998년 12월 15일	(11) 등록번호 특0152161
(21) 출원번호 특 1995-046226	(65) 공개번호 특 1997-055464	(24) 등록일자 1998년 06월 25일
(22) 출원일자 1995년 12월 02일	(43) 공개일자 1997년 07월 31일	
(73) 특허권자 삼성전자주식회사 김광호		
(72) 발명자 장경희 김동희		
(74) 대리인 임창현		
심사관 : 고준호		

(54) 밴드갭 기준 전압 발생 회로

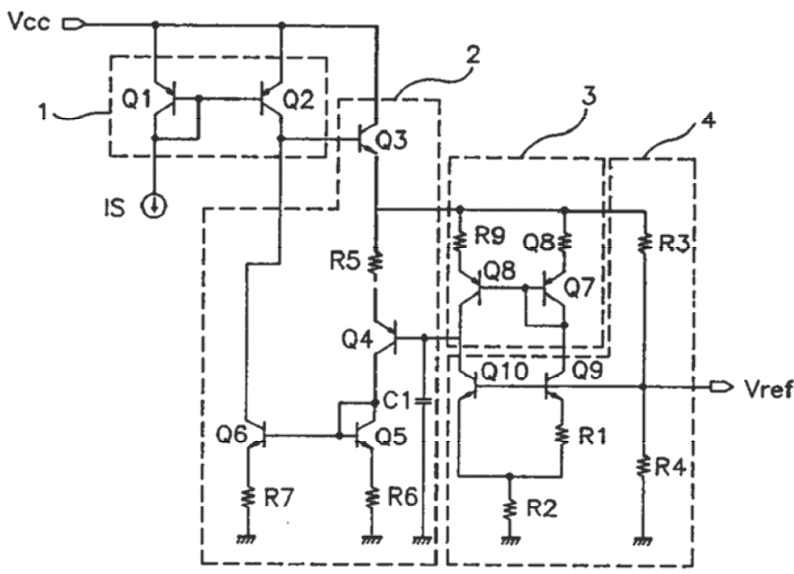
요약

본 발명은 일정한 밴드갭(Bandgap) 기준 전압을 발생 및 유지시켜 주기 위한 밴드갭 기준 전압 발생 회로에 관한 것이다.

본 발명은 전류 입력단에 일단이 연결되고 타단으로 기준 전압(Vref)이 출력되는 제1저항(R3), 상기 제1저항(R3)의 타단과 접지에 양단이 연결된 제2저항(R4), 및 상기 제1저항(R3)의 타단에 베이스가 각각 연결된 제1 및 제2npn트랜지스터(Q9, Q10)를 포함하여 구성되어 밴드갭 기준 전압을 발생하는 밴드갭 기준 전압 발생회로에 있어서, 상기 제1 및 제2 npn트랜지스터(Q9, Q10)의 베이스에 양단이 연결되어 공정 산포에 따른 베이스-에미터 전압(Vbe)의 변화를 보상하는 제2저항(R10)을 더 포함하여 구성된다.

따라서 본 발명은 공정 산포에 의한 전류 증폭율(β)을 저항에 의해 보상함으로써 퓨징이나 재핑의 필요성이 줄어들어 EDS 테스트 시간을 줄이고, 칩 크기를 줄임으로써 제조 원가를 줄일 수 있으며, 원하는 정확한 기준 전압(Reference Voltage)을 유지할 수 있는 효과가 있다.

대표도



명세서

[발명의 명칭]
밴드갭 기준 전압 발생 회로
[도면의 간단한 설명]

제1도는 종래의 밴드갭 기준 전압 발생 회로의 구성도.
 제2도는 포화 전류의 변화에 따른 기준 전압(Vref)의 변화를 나타낸 도면.
 제3도는 본 발명에 의한 밴드갭 기준 전압 발생 회로의 구성도.
 제4도는 포화 전류와 저항의 변화에 따른 기준전압의 변화를 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------|-------------------|
| 1 : 전류 미러 | 2 : 기준 전압 안정화부 |
| 3 : 액티브 전류 발생부 | 4 : 기준 전압 발생부 |
| 41 : 기준 전류 발생부 | Q1 내지 Q10 : 트랜지스터 |
| R1 내지 R10 : 저항 | C1 : 캐패시터 |

[발명의 상세한 설명]

본 발명은 일정한 밴드갭(Bandgap) 기준 전압을 발생 및 유지시켜 주기 위한 밴드갭 기준 전압 발생 회로에 관한 것이다.

제1도는 종래의 밴드갭 기준 전압 발생 회로의 구성도이고, 제2도는 포화 전류(Isat)의 변화에 따른 기준 전압(Vref)의 변화를 나타낸 도면이다.

종래의 밴드갭 기준 전압 발생 회로는 제1도에 도시한 바와 같이 밴드갭 기준 전압(Vref)을 발생하는 기준 전압 발생부(4), 기준 전압 발생부(4)에서 기준 전압(Vref)을 발생시킬 수 있도록 액티브 전류를 발생하여 기준 전압 발생부(4)로 공급하는 액티브 전류 발생부(3), 기준 전압 발생부(4)에서 발생된 기준 전압(Vref)을 안정화시키는 기준 전압 안정화부(2), 및 밴드갭 기준 전압 발생 회로의 동작시키기 위해 전류를 공급하는 전류 미러(1)로 구성된다.

여기서, 전류 미러(1)는 전원(Vcc)에 에미터가 연결되고 전류 소오스(Is)에 콜렉터와 베이스가 연결된 pnp트랜지스터(Q1)와, 전원(Vcc)에 에미터가 연결되고 전류 소오스(Is)에 베이스가 연결되고 기준 전압 안정화부(2)에 콜렉터가 연결된 pnp트랜지스터(Q2)로 이루어진다.

또한, 기준 전압 안정화부(2)는 전류미러(1)의 pnp트랜지스터(Q2)의 콜렉터에 베이스가 연결되고 전원(Vcc)에 콜렉터가 연결된 npn트랜지스터(Q3), npn트랜지스터(Q3)의 에미터에 저항(R5)을 통해 에미터가 연결되고 액티브 전류 발생부(3)와 기준 전압 발생부(4)에 베이스가 연결된 pnp트랜지스터(Q4), pnp트랜지스터(Q4)의 베이스와 접지에 연결된 캐패시터(C1), pnp트랜지스터(Q4)의 콜렉터에 콜렉터와 베이스가 연결되고 접지에 저항(R6)을 통해 에미터가 연결된 npn트랜지스터(Q5), 및 전류 미러(1)의 pnp트랜지스터(Q2)의 콜렉터에 콜렉터가 연결되고 pnp트랜지스터(Q4)의 콜렉터에 베이스가 연결되고 접지에 저항(R7)을 통해 에미터가 연결되어 npn트랜지스터(Q5)와 함께 전류 미러를 형성하는 npn트랜지스터(Q6)로 구성된다.

또한, 액티브 전류 발생부(3)는 기준 전압 안정화부(2)의 npn트랜지스터(Q3)의 에미터에 저항(R8)을 통해 에미터가 연결되고 기준 전압 발생부(4)에 콜렉터와 베이스가 연결된 pnp트랜지스터(Q7)와, npn트랜지스터(Q3)의 에미터에 저항(R9)을 통해 에미터가 연결되고 pnp트랜지스터(Q7)의 콜렉터에 베이스가 연결되고 기준 전압 안정화부(2)의 pnp트랜지스터(Q4)의 베이스와 기준 전압 발생부(4)에 콜렉터가 연결되어 pnp트랜지스터(Q7)와 전류 미러를 형성하는 pnp트랜지스터(Q8)로 구성된다.

또한, 기준 전압 발생부(4)는 기준 전압 안정화부(2)의 npn트랜지스터(Q3)의 에미터에 일단이 연결되고 타단으로 기준 전압(Vref)을 출력하는 저항(R3), 저항(R3)의 타단과 접지에 양단이 연결된 저항(R4), 저항(R3)의 타단에 베이스가 연결되고 액티브 전류 발생부(3)의 pnp트랜지스터(Q7)의 콜렉터에 콜렉터가 연결된 npn트랜지스터(Q9), npn트랜지스터(Q9)의 에미터에 일단이 연결된 저항(R1), 저항(R1)에 타단과 접지에 양단이 연결된 저항(R2), 및 저항(R3)의 타단에 베이스가 연결되고 액티브 전류 발생부(3)의 pnp트랜지스터(Q8)의 콜렉터에 콜렉터가 연결되고 저항(R1)의 타단에 에미터가 연결된 npn트랜지스터(Q10)로 구성된다.

이와 같이 구성되는 종래의 기준 전압 발생 회로의 동작을 설명한다.

전류 미러(1)의 pnp트랜지스터(Q1, Q2)를 통해 전류가 공급되면 기준전압 안정화부(2)의 npn트랜지스터(Q3)를 통해 기준 전압 발생부(4)와 액티브 전류 발생부(3)로 인가된다. 기준 전압 안정화부(2)의 npn트랜지스터(Q3)를 통해 공급되는 전류는 전류 미러로 이루어진 액티브 전류 발생부(3)의 pnp트랜지스터(Q7, Q8)를 동작시켜 액티브 전류가 기준 전압 발생부(4)의 npn트랜지스터(Q9, Q10)로 인가되도록 한다. 또한 기준 전압 발생부(4)의 npn트랜지스터(Q9, Q10)와 저항(R1)으로 루프가 형성되고 이 루프는 기준 전류를 결정하게 된다. 이때, 액티브 전류 발생부(3)의 전류 미러로 이루어진 pnp트랜지스터(Q7, Q8)는 npn트랜지스터(Q9, Q10)와 저항(R1)에 의해 결정된 기준 전류가 npn트랜지스터(Q9, Q10)에 동일하게 흐르게 한다.

한편, 설정된 기준 전압은 기준 전압 안정화부(2)의 캐패시터(C1)에 의해 설정된 기준 전압이 안정화된다.

종래의 밴드갭 기준 전압 발생 회로는 온도에 따라 일정한 기준 전압을 유지하였다. 그런데, 기준 전압(Vref)은

$$V_{ref} = V_{be} + KVt \quad \text{----- 식(1)}$$

이 되고, 제2도에 도시한 바와 같이 공정에 따른 포화(Saturation) 전류(Is)의 변화에 따라 베이스-에미터 전압(Vbe)이 변화되어 기준 전압(Vref)이 변화하게 된다.

이와 같이 공정 산포에 따라 변화되는 기준 전압은 트리밍(Trimming) 방법으로 퓨징(Fusing) 이나 제너 재핑(Zener Zapping)을 이용하여 일정하게 유지되었다.

그런데, 종래의 밴드갭 기준 전압 발생 회로는 포화 전류(Isat)의 변화에 따라 기준 전압(Vref) 변화의 값이 크게 되면 퓨징이나 재핑에 의해 설계된 저항값들이 크게 되어 기준 전압(Vref)의 최종 산포가 크게 되는 문제점이 있었다. 또한, 종래의 밴드갭 기준 전압 회로는 퓨징이나 재핑 저항 설계에 의해 칩의 크기가 크게 되어 원가가 상승되고 EDS 테스트시 퓨징이나 재핑으로 테스트 시간의 손실을 가져오는 문제점이 있었다.

상기 문제점을 개선하기 위한 본 발명은 칩의 크기 및 EDS시 퓨징이나 재핑을 해야함에 따라 원가가 상승되는 요인을 제거하고, 공정 산포에 의한 변화를 감소시켜, 정확한 기준 전압을 유지시키기 위한 밴드갭 기준 전압 발생 회로를 제공함에 그 목적이 있다.

상기 목적을 달성하기 위해 본 발명에 의한 밴드갭 기준 전압 발생 회로는 전류 입력단에 일단이 연결되고 타단에 기준 전압이 출력되는 제1저항, 상기 제1저항의 타단과 접지에 양단이 연결된 제2저항, 및 상기 제1저항의 타단에 베이스가 각각 연결된 제1 및 제2 npn트랜지스터를 포함하여 구성되어 밴드갭 기준 전압을 발생하는 밴드갭 기준 전압 발생 회로에 있어서, 상기 제1 및 제2 npn트랜지스터의 베이스에 양단이 연결되어 공정 산포에 다른 베이스-에미터 전압의 변화를 보상하는 제3저항을 더 포함하여 구성되는 것을 특징으로 한다.

이하 첨부한 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다.

제3도는 본 발명에 의한 밴드갭 기준 전압 발생 회로의 구성도이고, 제4도는 포화 전류(Isat)와 저항(R10)의 변화에 따른 기준 전압의 변화를 나타낸 도면이다.

본 발명에 의한 밴드갭 기준 전압 발생 회로는 제3도에 도시한 바와 같이 종래의 밴드갭 기준 전압 발생 회로의 기준 전압 발생부(4)에서 기준전류를 발생하는 기준 전류 발생부(41)내의 npn트랜지스터(Q9, Q10)의 베이스에 양단이 연결되어 공정 산포에 따른 베이스-에미터 전압(Vbe)의 변화를 보상하는 저항(R10)을 더 포함시켜 구성한다.

즉, 본 발명에 의한 밴드갭 기준 전압 발생회로는 제3도에 도시한 바와 같이 전류 미러(1), 기준 전압 안정화부(2), 액티브 전류 발생부(3), 및 기준 전압 발생부(4)로 구성되며, 전류 미러(1), 기준 전압 안정화부(2), 및 액티브 발생부(3)의 구성 및 동작은 제1도의 종래의 기준 전압 발생 회로와 동일하므로 설명은 생략하기로 한다. 또한, 기준 전압 발생부(4)는 종래의 기준 전압 발생 회로의 기준 전압 발생부(4)와 동일하게 직렬 연결되어 기준 전압을 출력하는 저항(R3, R4), 및 기준 전류를 발생하는 기준 전류 발생부(41)로 구성된다.

여기서, 기준 전류 발생부(41)는 종래와 동일하게 저항(R3)에 베이스가 연결되고 액티브 전류 발생부(3)의 pnp트랜지스터(Q7)의 콜렉터에 콜렉터가 연결된 npn트랜지스터(Q9), npn트랜지스터(Q9)의 에미터에 일단이 연결된 저항(R1), 저항(R1)의 타단과 접지에 양단이 연결된 저항(R2), 저항(R3)의 타단에 베이스가 연결되고 액티브 전류 발생부(3)의 pnp트랜지스터(Q8)의 콜렉터에 콜렉터가 연결되고 저항(R1)의 타단에 에미터가 연결된 npn트랜지스터(Q10), 및 npn트랜지스터(Q9, Q10)의 베이스에 양단이 연결되어 공정 산포에 따른 베이스-에미터 전압(Vbe)의 변화를 보상하는 저항(R10)으로 구성된다.

이와 같이 구성되는 본 발명에 의한 밴드갭 기준 전압 발생 회로의 동작을 설명한다.

제3도에 도시한 바와 같이 npn트랜지스터(Q9, Q10)의 베이스 사이에 저항 (R10)을 연결하므로써 베이스-에미터 전압(Vbe)의 변화에 따른 기준 전압(Vref)의 변화를 줄일 수 있다. 이때, 저항(R10)에 의한 관계식은

$$V_{ref} = V_{be} + 2V_t \frac{R_2}{R_1 + \frac{R_{10}}{\beta}} \ln A \quad \text{--- 식 (2)}$$

이 된다. 여기서, A는 npn트랜지스터(Q9, Q10)의 면적비이고, Vt는 서멀전압(Thermal Voltage)으로, 25℃에서 26mV 이며, KT/q로 나타낼 수 있다. 이때, K는 볼츠만(Voltzman) 상수이고, T는 절대 온도이고, q는 전하량(1.602e-19)이다.

또한, 베이스-에미터 전압(Vbe)과 포화 전류(Isat)는

$$V_{be} = V_t \ln \frac{I_c}{I_s}, \quad I_{sat} = \frac{qAeD_{nni}}{Q_b} \quad \text{--- 식 (3)}$$

이다. 여기서, q는 전하량(1.602e-19)이고, Ae는 에미터의 면적이고, Dn은 에미터 전자의 확산 상수이고, ni는 진성 캐리어의 농도이고, Qb는 베이스에 도핑(Dopping)되는 전하수(Wb*NA)이다.

고정된 공정에서 위의 식(3)에서 q, Ae, Dn, 및 ni의 값은 일정하게 정해져있는 상수이므로 공정 산포에 따라 변화할 수 있는 인자는 베이스의 폭(Wb)이다. 그런데, 위의 식(3)에 나타낸 바와 같이 베이스의

폭(Wb)이 변화하게 되면 베이스에 돌핑되는 전하의 수(Qb)가 변화하게 되어 포화전류(Isat)가 변화하게 된다. 또한, 포화 전류(Isat)의 변화는 위의 식(3)에 나타난 바와 같이 베이스-에미터 전압(Vbe)에 영향을 주어 기준 전압(Vref)의 값을 변화시키게 된다. 또한, 베이스 폭(Wb)의 변화는 공정 산포에 의한 전류 증폭율(β)에 직접적인 영향을 준다. 즉, 베이스의 폭(Wb)이 줄어들면 그만큼 에미터 전자의 유입을 많이 가져오므로 전류 증폭율(β)이 증가하게 되고, 베이스의 폭(Wb)이 늘어나면 그만큼 전류 증폭율(β)은 감소하게 된다. 따라서, 전류 증폭율(β)의 변화는 위의 식(2)에 나타난 바와 같이 기준 전압(Vref)의 변화를 가져오게 된다.

이와 같이 기준 전압(Vref)이 포화 전류(Isat)의 변화에 따라 변화하는 베이스-에미터 전압(Vbe)에 따라 변화하므로, 이러한 변화량을 상쇄시키기 위해 위의 식(2)에서 보는 바와 같이 제2항에 베이스-에미터 전압(Vbe)의 변화를 보상하는 $R10/\beta$ 의 성분을 포함시킨다.

즉, 베이스 폭(Wb)이 작아짐에 따라 전류 증폭율(β)이 증가하게 되고 포화 전류(Isat)가 증가하여 베이스-에미터 전압(Vbe)은 위의 식(3)에 따라 감소한다. 그러나, $R10/\beta$ 에 의해 위의 식(2)의 제2항이 전류 증폭율(β)의 증가에 따라 증가하므로 기준 전압(Vref)은 일정하게 유지된다. 또한, 베이스 폭(Wb)이 커짐에 따라 전류 증폭율(β)이 감소하게 되고 포화 전류(Isat)가 감소하여 베이스-에미터 전압(Vbe)의 위의 식(3)에 따라 증가한다. 그러나, $R10/\beta$ 에 의해 위의 식(2)의 제2항이 전류 증폭율(β)의 감소에 따라 감소하므로 기준 전압(Vref)은 일정하게 유지된다.

따라서 공정 산포에 따른 전류 증폭율(β)의 변화량이 기준 전압(Vref)에 미치는 영향이 위의 식(2)에서 보는 바와 같이 상쇄되어 나타나므로 제4도에 도시한 바와 같이 일정한 기준 전압(Vref)을 얻을 수 있게 된다. 즉, 제4도에 도시된 바와 같이 공정 산포에 의한 전류 증폭율(β)을 저항(R10)에 의해 보상하여 일정한 기준 전압(Vref)을 유지시켜 준다.

이상에서 설명한 바와 같이 본 발명에 의한 밴드갭 기준 전압 보상 회로는 공정 산포에 의한 변화 전류 증폭율(β)을 저항(R10)에 의해 보상하므로써 퓨징이나 재핑의 필요성이 줄어들어 EDS 테스트 시간을 줄이고, 칩 크기를 줄임으로써 제조 원가를 줄일 수 있으며, 원하는 정확한 기준 전압(Reference Voltage)을 유지할 수 있는 효과가 있다.

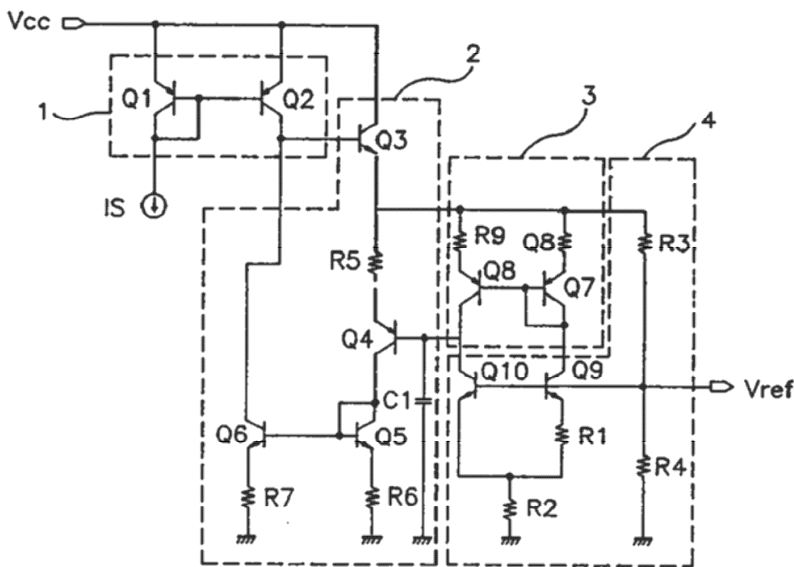
(57) 청구의 범위

청구항 1

전류 입력단에 일단이 연결되고 타단으로 기준 전압(Vref)이 출력되는 제1저항(R3), 상기 제1저항(R3)의 타단과 접지에 양단이 연결된 제2저항(R4), 및 상기 제1저항(R3)의 타단에 베이스가 각각 연결된 제1 및 제2npn트랜지스터(Q9, Q10)를 포함하여 구성되며 밴드갭 기준전압을 발생하는 밴드갭 기준 전압 발생 회로에 있어서, 상기 제1 및 제2npn트랜지스터(Q9, Q10)의 베이스에 양단이 연결되어 공정 산포에 따른 베이스-에미터 전압(Vbe)의 변화를 보상하는 제3저항(R10)을 더 포함하여 구성되는 것을 특징으로 하는 밴드갭 기준 전압 발생회로.

도면

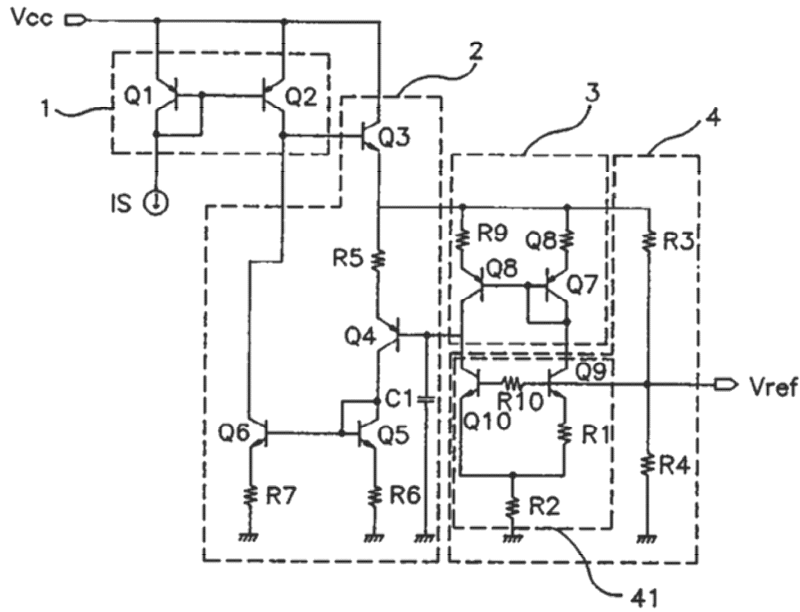
도면1



도면2

Is	1.38e-16	3.38e-16	5.38e-16	Δ Vref
β	50	150	250	
Vbe	0.650	0.6269	0.6148	35.2mV
Vref	1.3105	1.2864	1.2740	35.5mV

도면3



도면4

Is	1.38e-16	3.38e-16	5.38e-16	Δ Vref	비 고
β	50	150	250		
Vbe	0.650	0.6269	0.6148	35.2mV	R5=0
Vref	1.3176	1.3030	1.2930	24.6mV	R5=R1
	1.3034	1.2979	1.2904	13.0mV	R5=2R1
	1.2929	1.2898	1.2878	5.1mV	R5=3R1