



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I667774 B

(45)公告日：中華民國 108 (2019) 年 08 月 01 日

(21)申請案號：108105912

(22)申請日：中華民國 108 (2019) 年 02 月 22 日

(51)Int. Cl. : H01L27/11551 (2017.01) H01L27/11553 (2017.01)

(30)優先權：2019/01/02 世界智慧財產權組織 PCT/CN2019/070009

(71)申請人：大陸商長江存儲科技有限責任公司(中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72)發明人：魏勤香 WEI, QINXIANG (CN) ; 孫堅華 SUN, JIAN HUA (CN) ; 夏季 XIA, JI (CN)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 9455268B2

US 2014/0327067A1

審查人員：劉人維

申請專利範圍項數：37 項 圖式數：6 共 50 頁

(54)名稱

具有貫穿階梯接觸的立體儲存裝置及其形成方法

3 DIMENSION STORAGE DEVICE WITH THROUGH STAIR CONTACT AND METHOD OF FORMING SAME

(57)摘要

公開了具有貫穿階梯接觸 (through stair contact, TSC) 的立體 (3D) 儲存裝置及其形成方法的實施例。在示例中，公開了一種用於形成 3D 儲存裝置的方法。在基底上形成包括多個交錯的介電層和犧牲層的介電疊層。在介電疊層的一側上形成階梯結構。形成垂直延伸穿過階梯結構並到達基底的虛設孔。在虛設孔中形成具有中空芯的側壁子。透過在側壁子的中空芯中沉積導體層來形成與基底接觸的 TSC。TSC 垂直延伸穿過階梯結構。

Embodiments of a three-dimensional (3D) storage device having a through stair contact (TSC) and a method of forming the same are disclosed. In an example, a method for forming a 3D storage device is disclosed. A dielectric stack comprising a plurality of interleaved dielectric layers and sacrificial layers is formed on the substrate. A stepped structure is formed on one side of the dielectric stack. A dummy hole is formed that extends vertically through the stepped structure and to the substrate. A spacer having a hollow core is formed in the dummy hole. The TSC in contact with the substrate is formed by depositing a conductor layer in the hollow core of the spacer. The TSC extends vertically through the stepped structure.

指定代表圖：

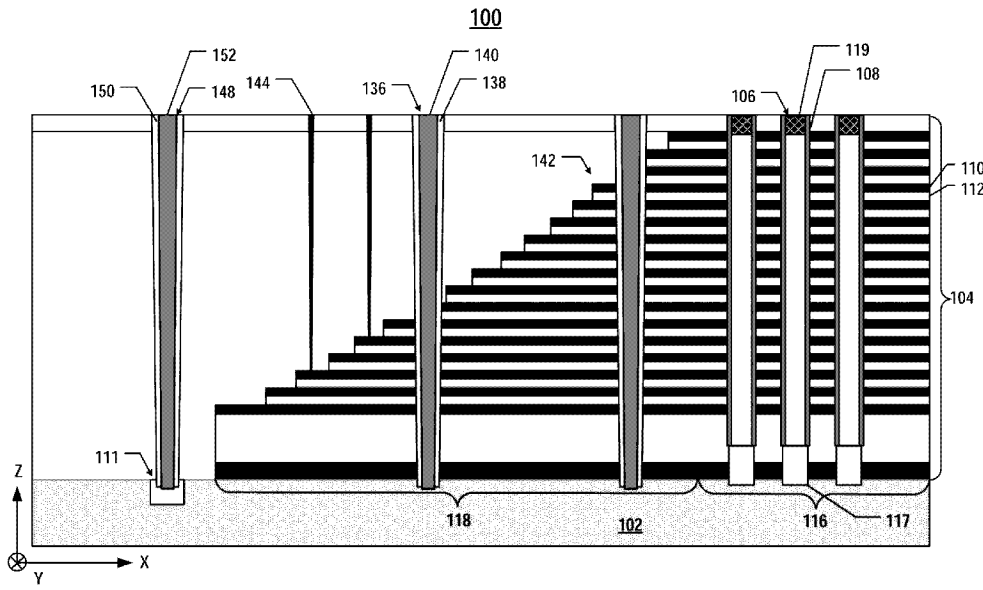


圖1

符號簡單說明：

- 100 . . . 3D 儲存裝置
- 102 . . . 基底
- 104 . . . 記憶體疊層
- 106 . . . NAND 記憶體串
- 108 . . . 溝道結構
- 110、140、152 . . . 導體層
- 111 . . . 週邊設備
- 112 . . . 介電層
- 116 . . . 內部區域
- 117、119 . . . 插塞
- 118 . . . 外部區域
- 136 . . . 貫穿階梯接觸
- 138、150 . . . 側壁子
- 142 . . . 階梯結構
- 144 . . . 字元線接觸
- 148 . . . 週邊接觸

【發明說明書】

【中文發明名稱】 具有貫穿階梯接觸的立體儲存裝置及其形成方法

【英文發明名稱】 3 DIMENSION STORAGE DEVICE WITH THROUGH STAIR CONTACT AND METHOD OF FORMING SAME

【技術領域】

【0001】 本發明內容的實施例涉及立體（3D）儲存裝置及其製造方法。

【先前技術】

【0002】 透過改進製程技術、電路設計、程式設計演算法和製造製程，將平面儲存單元縮小到更小的尺寸。然而，隨著儲存單元的特徵尺寸接近下限，平面製程和製造技術變得具有挑戰性且成本高。結果，平面儲存單元的儲存密度接近上限。

【0003】 3D記憶體架構可以解決平面儲存單元中的密度限制問題。3D記憶體架構包括記憶體陣列和用於控制信號進出記憶體陣列的週邊設備。

【發明內容】

【0004】 本文公開了3D儲存裝置及其製造方法的實施例。

【0005】 在一個示例中，提供了一種用於形成3D儲存裝置的方法。在基底上形成包括多個交錯的介電層和犧牲層的介電疊層。在介電疊層的一側上形成階梯結構。形成垂直延伸穿過階梯結構並到達基底的虛設孔。在虛設孔中形成具

有中空芯的側壁子。透過在側壁子的中空芯中沉積導體層來形成與基底接觸的貫穿階梯接觸(through stair contact, TSC)。TSC垂直延伸穿過階梯結構。

【0006】 在另一示例中，提供了一種用於形成3D儲存裝置的方法。在基底上形成包括多個交錯的介電層和犧牲層的介電疊層。在介電疊層的一側上形成階梯結構。形成到達基底的虛設溝道結構。虛設溝道結構垂直延伸穿過階梯結構。透過去除部分虛設溝道結構來形成側壁子。側壁子具有中空芯。透過在側壁子的中空芯中沉積導體層來形成與基底接觸的TSC。TSC垂直延伸穿過階梯結構。

【0007】 在不同的示例中，提供了一種3D儲存裝置。3D儲存裝置包括基底、基底上包括多個交錯的導體層和介電層的記憶體疊層、在記憶體疊層的一側上的階梯結構、以及垂直延伸穿過記憶體疊層的階梯結構的TSC。TSC與基底接觸。

【圖式簡單說明】

【0008】

併入本文並形成說明書的一部分的附圖示出了本發明內容的實施例，並且附圖與說明書一起進一步用於解釋本發明內容的原理並且使得相關領域技術人員能夠製作和使用本發明內容。

圖1示出了根據本發明內容的一些實施例的示例性3D儲存裝置的截面。

圖2A-2C示出了根據本發明內容的一些實施例的用於形成3D儲存裝置的溝道結構和階梯結構的示例性製造製程。

圖3A-3E示出了根據本發明內容的各種實施例的用於形成3D儲存裝置的TSC、週邊接觸和字元線接觸的示例性製造製程。

圖4A-4D示出了根據本發明內容的一些實施例的用於形成3D儲存裝置的TSC、週邊接觸和字元線接觸的另一示例性製造製程。

圖5A-5C是根據一些實施例的用於形成3D儲存裝置的示例性方法的流程圖。

圖6示出了使用不同圖案以在分開的製造步驟中形成虛設溝道結構和TSC的相關技術。

將參考附圖來描述本發明內容的實施例。

【實施方式】

【0009】 儘管討論了具體的配置和排列，但應該理解，這僅僅是為了說明的目的而進行的。相關領域的技術人員將認識到，在不脫離本發明內容的精神和範圍的情況下，可以使用其他配置和排列。對於相關領域的技術人員顯而易見的是，本發明內容還可以用於各種其他應用中。

【0010】 應當注意到，在說明書中對“一個實施例”、“實施例”、“示例性實施例”、“一些實施例”等的引用指示所描述的實施例可以包括特定的特徵、結構或特性，但是各個實施例可能不一定包括該特定的特徵、結構或特性。而且，這樣的短語不一定指代相同的實施例。此外，當結合實施例描述特定特徵、結構或特性時，無論是否明確描述，結合其他實施例來實現這樣的特徵、結構或特性都在相關領域的技術人員的知識範圍內。

【0011】 通常，可以至少部分地透過上下文中的用法來理解術語。例如，至少部分取決於上下文，如本文所使用的術語“一個或多個”可用於以單數意義描述任何特徵、結構或特性，或可用於以複數意義描述特徵、結構或特性的組

合。類似地，至少部分取決於上下文，例如“一”、“一個”或“所述”等術語同樣可以被理解為表達單數用法或表達複數用法。另外，術語“基於”可以被理解為不一定旨在傳達排他性的因素集合，而是可以允許存在不一定明確描述的其他因素，這同樣至少部分地取決於上下文。

【0012】 應當容易理解的是，本發明內容中的“在……上”、“在……之上”和“在……上方”的含義應以最寬泛的方式來解釋，使得“在……上”不僅意味著“直接在某物上”，而且更包括其間具有中間特徵或層的“在某物上”的含義，並且“在……之上”或“在……上方”不僅意味著“在某物之上”或“在某物上方”的含義，而且還可以包括其間沒有中間特徵或層的“在某物之上”或“在某物上方”的含義（即，直接在某物上）。

【0013】 此外，為了便於描述，可以在本文使用例如“在……之下”、“在……下方”、“下”、“在……之上”、“上”等空間相對術語來描述如圖所示的一個元件或特徵與另一個（或多個）元件或特徵的關係。除了附圖中所示的取向之外，空間相對術語旨在涵蓋設備在使用或操作步驟中的不同取向。裝置可以以其他方式定向（旋轉90度或在其他取向）並且同樣可以相應地解釋本文使用的空間相關描述詞。

【0014】 如本文所使用的，術語“基底”是指在其上添加後續材料層的材料。基底本身可以被圖案化。添加在基底頂部上的材料可以被圖案化或可以保持未圖案化。此外，基底可以包括各種各樣的半導體材料，例如矽、鍺、砷化鎵、磷化銮等。可替換地，可以由非導電材料（例如玻璃、塑膠或藍寶石晶圓）製成基底。

【0015】 如本文所使用的，術語“層”是指包括具有厚度的區域的材料部分。層可以在整個下層或上層結構上方延伸，或者可以具有小於下層或上層結構範圍的範圍。此外，層可以是厚度小於連續結構的厚度的均勻或不均勻連續結構的區域。例如，層可以位於連續結構的頂表面和底表面之間或在頂表面和底表面處的任何一對水平平面之間。層可以橫向、垂直和/或沿著錐形表面延伸。基底可以是一層，基底可以在其中包括一層或多層，和/或基底可以在其上、上方和/或其下具有一層或多層。一層可以包括多個層。例如，互連層可以包括一個或多個導體和接觸層（其中形成有互連線和/或過孔接觸）以及一個或多個介電層。

【0016】 如本文所使用的，術語“標稱/標稱地”是指在產品或製程的設計階段期間設定的部件或製程操作步驟的特性或參數的期望值或目標值，以及高於和/或低於期望值的值的範圍。值的範圍可以是由於製造製程或公差的輕微變化而引起。如本文所使用的，術語“約”表示可以基於與主題半導體設備相關聯的特定技術節點而變化的給定量的值。基於特定的技術節點，術語“約”可以表示給定量的值，該給定量例如在該值的10-30%內變化（例如，值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$ ）。

【0017】 如本文所使用的，術語“3D儲存裝置”是指在橫向取向的基底上具有垂直取向的儲存單元電晶體串（本文中稱為“記憶體串”，例如NAND記憶體串）的半導體設備，使得記憶體串相對於基底在垂直方向上延伸。如本文所使用的，術語“垂直/垂直地”表示標稱垂直於基底的橫向表面。

【0018】 在一些3D儲存裝置中，貫穿階梯接觸（through stair contact, TSC）用於在儲存裝置和週邊設備之間提供垂直互連。另外，虛設溝道結構用於為儲存裝置提供結構支撐。在現有的製造製程中，使用不同的圖案在分開的步驟中形成TSC和虛設溝道結構。因為各個圖案消耗其自己在管芯(或稱為裸晶，die)上的有效面積（real estate），所以管芯上用於其他圖案的可用面積變得有限。

【0019】 圖6示出了使用不同圖案以在分開的製造步驟中形成虛設溝道結構和TSC的相關技術。如圖6所示，儲存裝置600包括在基底601上方的記憶體疊層604。記憶體疊層604可以包括記憶體串606的陣列且可以包括階梯結構642。可以透過先使用虛設圖案蝕刻虛設孔的陣列，然後用介電層填充虛設孔以形成虛設溝道結構602，來形成虛設溝道結構602的陣列。在形成虛設溝道結構602之後，最初形成為包括交錯的介電層612和犧牲層610的介電疊層的一部分的犧牲層610可以由導體層替換以形成字元線。在形成字元線之後，可以使用TSC圖案來蝕刻TSC孔的陣列，其隨後由導體層填充以形成貫穿階梯接觸(TSC)608。上述製造製程在分開的製造步驟中利用不同的圖案（虛設溝道結構圖案和TSC圖案）來分別形成虛設溝道結構602和TSC 608。

【0020】 根據本發明內容的各種實施例，提供了一種具有TSC的3D儲存裝置，TSC共用了用於形成虛設溝道結構的相同圖案，這提高了管芯使用效率。例如，透過將兩個分開的圖案組合成單個圖案，可以增加管芯上的可用面積，進而允許放置額外的圖案。此外，用於形成本文公開的3D儲存裝置的方法的各種實施例可以允許在用於製造其他結構（例如，週邊接觸）的（一個或多個）相同製造製程中形成TSC，進而進一步簡化製造流程並降低製程成本。

【0021】 圖1示出了根據本發明內容的一些實施例的示例性3D儲存裝置100的截面。3D儲存裝置100可以包括基底102，基底102可以包括矽（例如，單晶矽）、矽鍺（SiGe）、砷化鎵（GaAs）、鍺（Ge）、絕緣體上矽（SOI）或任何其他合適的材料。在一些實施例中，基底102是減薄的基底（例如，半導體層），透過研磨、濕式/乾式蝕刻、化學機械拋光（CMP）或其任何組合來將基底102從正常厚度減薄。

【0022】 3D儲存裝置100可以包括基底102上方的記憶體疊層104。記憶體疊層104可以是堆疊的儲存結構，穿過該堆疊的儲存結構形成記憶體串（例如，NAND記憶體串106）。在一些實施例中，記憶體疊層104包括在基底102上方垂直堆疊的多個導體/介電層對。各個導體/介電層對可以包括導體層110和介電層112。即，記憶體疊層104可以包括垂直堆疊的、交錯的導體層110和介電層112。如圖1所示，各個NAND記憶體串106垂直延伸穿過記憶體疊層104中的交錯的導體層110和介電層112。在一些實施例中，3D儲存裝置100是NAND快閃記憶體設備，其中，儲存單元設置在3D儲存裝置100的NAND記憶體串106與導體層110（用作字元線）的交叉點處。記憶體疊層104中的導體/介電層對的數量（例如，32、64、96或128）可以設置3D儲存裝置100中的儲存單元的數量。

【0023】 導體層110可以各自具有相同的厚度或具有不同的厚度。類似地，介電層112可以各自具有相同的厚度或具有不同的厚度。導體層110可以包括導電材料，包括但不限於鎢（W）、鈷（Co）、銅（Cu）、鋁（Al）、多晶矽（多晶矽）、摻雜矽、矽化物或其任何組合。介電層112可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。在一些實施例中，導體層110包括金屬，例如W，並且介電層112包括氧化矽。應當理解，根據一些實施例，可以在基底

102（例如，矽基底）和記憶體疊層104之間形成例如原位蒸汽生成（ISSG）氧化矽等氧化矽膜（未示出）。

【0024】 注意，將x、y和z軸添加到圖1中以進一步示出了3D儲存裝置100中的部件的空間關係（y方向指向頁面）。x方向、y方向和z方向彼此垂直。基底102包括在x-y平面中沿x方向和y方向（橫向方向）橫向延伸的兩個橫向表面（例如，頂表面和底表面）。如本文所使用的，當基底（例如，基底102）在z方向（垂直方向）上位於半導體設備（例如，3D儲存裝置100）的最下平面中時，在z方向上相對於半導體設備的基底確定一個部件（例如，層或設備）是在半導體設備的另一部件（例如，層或設備）的“上”、“上方”還是“下方”。在整個本發明內容中，應用了相同概念來描述空間關係。

【0025】 在一些實施例中，3D儲存裝置100是單片3D儲存裝置的一部分，其中單片3D儲存裝置的部件（例如，儲存單元和週邊設備）形成在單一個基底（例如，基底102）上。週邊設備111，例如用於有助於3D儲存裝置100的操作步驟的任何合適的數位、類比和/或混合信號週邊電路，也可以在記憶體疊層104的外部形成在基底102上。週邊設備111可以形成在基底102“上”，其中週邊設備111的整體或部分形成在基底102中（例如，在基底102的頂表面下方）和/或直接形成在基底102上。週邊設備111可以包括頁面緩衝器、解碼器（例如，行解碼器和列解碼器）、讀出放大器、驅動器、電荷泵、電流或電壓參考中的一個或多個，或電路的任何有源或無源部件（例如，電晶體、二極體、電阻器或電容器）。隔離區域（例如，淺溝槽隔離（STI））和摻雜區域（例如，電晶體的源極區域和汲極區域）也可以在記憶體疊層104的外部形成在基底102中。應當理解，在一些實施例中，週邊設備111形成在NAND記憶體串106的上方或下方，與如圖1所

示在NAND記憶體串106的一側上相反。應當進一步理解，在一些實施例中，3D儲存裝置100是非單片3D儲存裝置的一部分，其中部件分別形成在不同的基底上，並且然後以面對面的方式、面對背的方式或背對背的方式將部件粘合。週邊設備111可以形成在與基底102不同的單獨基底上。

【0026】 如圖1所示，記憶體疊層104可以包括內部區域116（也稱為“核心陣列區域”）和外部區域118（也稱為“階梯區域”）。在一些實施例中，內部區域116是記憶體疊層104的中心區域，其中穿過導體/介電層對形成NAND記憶體串106的陣列，而外部區域118是記憶體疊層104的沒有NAND記憶體串106的圍繞內部區域116的剩餘區域（包括側部和邊緣）。

【0027】 如圖1所示，各個NAND記憶體串106可以包括垂直延伸穿過記憶體疊層104的內部區域116中的導體/介電層對的溝道結構108。溝道結構108可以包括填充有半導體材料（例如，形成半導體溝道）和介電材料（例如，形成記憶體膜）的溝道孔。在一些實施例中，半導體溝道包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，記憶體膜是複合層，包括穿隧層、儲存層（也稱為“電荷捕獲/儲存層”）和阻隔層。各個NAND記憶體串106可以具有圓柱形狀（例如，柱形）。根據一些實施例，半導體溝道、穿隧層、儲存層和阻隔層沿從柱的中心朝向外表面的方向依次排列。穿隧層可以包括氧化矽、氮氧化矽或其任何組合。儲存層可以包括氮化矽、氮氧化矽、矽或其任何組合。阻隔層可以包括氧化矽、氮氧化矽、高介電常數（高k）介電或其任何組合。

【0028】 在一些實施例中，NAND記憶體串106包括用於NAND記憶體串106的多個控制閘極（各個控制閘極是字元線/導體層110的一部分）。各個導體/介電

層對中的導體層110可以用作NAND記憶體串106的儲存單元的控制閘極。導體層110可以包括用於多個NAND記憶體串106的多個控制閘極，並且可以作為在記憶體疊層104的外部區域118中終止的字元線橫向延伸。

【0029】 在一些實施例中，NAND記憶體串106包括位於垂直方向上的相應端部處的兩個插塞117和插塞119。各個插塞117或119可以與溝道結構108的相應端部接觸。插塞117可以包括從基底102磊晶生長的半導體材料，例如矽。插塞117可以用作由NAND記憶體串106的源選擇閘極控制的溝道。插塞117可以位於NAND記憶體串106的下端處並與溝道結構108接觸（例如，在溝道結構108的下端上）。如本文所使用的，當基底102位於3D儲存裝置100的最下平面中時，部件（例如，NAND記憶體串106）的“上端”是在z方向上更遠離基底102的端部，而部件（例如，NAND記憶體串106）的“下端”是在z方向上更靠近基底102的端部。

【0030】 插塞119可以包括半導體材料（例如，多晶矽）或導體材料（例如，金屬）。在一些實施例中，插塞119包括填充有鈦/氮化鈦（Ti/TiN作為阻擋層）和鎢（作為導體）的開口。透過在3D儲存裝置100的製造期間覆蓋溝道結構108的上端，插塞119可以用作蝕刻停止層以防止蝕刻填充在溝道結構108中的介電，例如氧化矽和氮化矽。在一些實施例中，插塞119用作NAND記憶體串106的汲極。

【0031】 如圖1所示，至少在橫向方向（例如，在x方向上）的一側，記憶體疊層104的外部區域118可以包括階梯結構142。在一些實施例中，另一個階梯結構（未示出）設置在記憶體疊層104在x方向上的相對側上。階梯結構142的各個

“梯級”可以包括一個或多個導體/介電層對，各自包括導體層110和介電層112。階梯結構142的各個梯級中的頂層可以是導體層110，以用於在垂直方向上互連。在一些實施例中，階梯結構142的每兩個相鄰梯級在垂直方向上偏移標稱上相同的距離，並且在橫向方向上偏移標稱上相同的距離。對於階梯結構142的每兩個相鄰梯級，靠近基底102的第一梯級（以及其中的導體層和介電層）可以比第二梯級（以及其中的導體層和介電層）橫向延伸得更遠，進而形成第一梯級上的“著陸區（landing area）”以用於在垂直方向上互連。

【0032】 階梯結構142可以用於使字元線接觸144著陸。各個字元線接觸144的下端可以與階梯結構142的相應梯級中的頂部導體層110（字元線）接觸，以單獨地定址3D儲存裝置100的相應字元線。字元線接觸144可以包括垂直延伸穿過一個或多個介電層並填充有導電材料的開口（例如，過孔或溝槽），導電材料包括但不限於W、Co、Cu、Al、矽化物或其任何組合。

【0033】 如圖1所示，3D儲存裝置100更包括貫穿階梯接觸（TSC）136，各個TSC 136垂直延伸穿過階梯結構142中的導體/介電層對。各個TSC 136可以垂直延伸穿過交錯的導體層110和介電層112。在一些實施例中，TSC 136可以延伸穿過階梯結構142的整個厚度（例如，在階梯結構142的橫向位置處的在垂直方向上的所有導體/介電層對）並到達基底102。在一些實施例中，TSC 136進一步延伸穿過基底102的至少一部分。TSC 136可以利用縮短的互連路徑（routing）傳送來自3D儲存裝置100的電信號和/或向3D儲存裝置100傳送電信號，例如電源匯流排的一部分。在一些實施例中，TSC 136可以提供3D儲存裝置100與週邊設備111之間和/或後端製程（BEOL）互連（未示出）與週邊設備111之間的電性連接。TSC 136還可以提供對階梯結構142的機械支撐。

【0034】 可以透過在穿過階梯結構 142 的垂直開口中填充材料來形成 TSC 136。在一些實施例中，TSC 136 包括由側壁子 138 圍繞的導體層 140。例如，TSC 136 的側壁可以與側壁子 138 接觸。導體層 140 可以包括導電材料，包括但不限於 W、Co、Cu、Al、摻雜矽、矽化物或其任何組合。側壁子 138 可以將 TSC 136 的導體層 140 與階梯結構 142 中的周圍導體層 110 電性隔離。在一些實施例中，TSC 136 在平面圖中具有基本上圓形的形狀，並且導體層 140 和側壁子 138 從 TSC 136 的中心沿徑向依次設置。側壁子 138 可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。

【0035】 如圖 1 所示，3D 儲存裝置 100 還可以包括週邊接觸 148，其垂直延伸穿過一個或多個介電層，並與記憶體疊層 104 外部的週邊設備 111 接觸。週邊接觸 148 可以提供與週邊設備 111 的電性連接。可以透過在垂直開口中填充材料來形成週邊接觸 148。在一些實施例中，類似於 TSC 136，週邊接觸 148 可以包括由側壁子 150 圍繞的導體層 152。導體層 152 可以包括導電材料，包括但不限於 W、Co、Cu、Al、摻雜矽、矽化物或其任何組合。在一些實施例中，週邊接觸 148 在平面圖中具有基本上圓形的形狀，並且導體層 152 和側壁子 150 從週邊接觸 148 的中心沿徑向依次設置。側壁子 150 可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。在一些實施例中，側壁子 150 和側壁子 138 在橫向方向（例如，徑向方向）上具有標稱相同的厚度。在一些實施例中，側壁子 150 和側壁子 138 都包括氧化矽。應當理解，在一些實施例中，例如，在 3D 儲存裝置 100 是非單片 3D 儲存裝置的實施例中，週邊設備 111 可以不形成在基底 102 上，並且週邊接觸 148 可以是不同的配置。

【0036】 應當理解，3D儲存裝置100可以包括圖1中未示出的額外部件和結構，包括但不限於位於記憶體疊層104上方和/或基底102下方的一個或多個BEOL互連層中的其他局部接觸和互連。

【0037】 圖2A-2C示出了根據本發明內容的一些實施例的用於形成3D儲存裝置的溝道結構和階梯結構的示例性製造製程。圖3A-3E示出了根據本發明內容的各種實施例的用於形成3D儲存裝置的TSC、週邊接觸和字元線接觸的示例性製造製程。圖4A-4D示出了根據本發明內容的一些實施例的用於形成3D儲存裝置的TSC、週邊接觸和字元線接觸的另一示例性製造製程。圖5A-5C是根據一些實施例的用於形成3D儲存裝置的示例性方法500、500'和500"的流程圖。圖2-5中所示的3D儲存裝置的示例包括圖1中所示的3D儲存裝置100。將一起描述圖2-5。應當理解，方法500、方法500'和方法500"中所示的操作步驟並非以圖示為限制，並且也可以在任何所示操作步驟之前、之後或之間執行其他操作步驟。此外，一些操作步驟可以被同時執行，或者以與圖5A-5C中所示的順序不同的循序執行。

【0038】 參見圖5A，方法500開始於操作步驟502，其中，在基底上形成包括多個交錯的介電層和犧牲層的介電疊層。基底可以是矽基底。方法500前進到操作步驟504，如圖5A所示，其中，形成垂直延伸穿過介電疊層的溝道結構。方法500前進到操作步驟506，其中，在介電疊層的一側上形成階梯結構。

【0039】 如圖2A所示，在矽基底202上形成包括多個交錯的介電層和犧牲層的介電平臺（deck）204。在一些實施例中，透過一個或多個薄膜沉積製程交替地沉積犧牲層206和介電層208，薄膜沉積製程包括但不是限於物理氣相沉積（PVD）、化學氣相沉積（CVD）、原子層沉積（ALD）或其任何組合。在一些

實施例中，犧牲層206包括氮化矽，而介電層208包括氧化矽。應當理解，沉積犧牲層206和介電層208的順序不受限制。沉積可以從犧牲層206或介電層208開始，並且可以以犧牲層206或介電層208結束。

【0040】 如圖2B所示，形成溝道結構210的陣列，各個溝道結構垂直延伸穿過介電平臺204中的交錯的犧牲層206和介電層208。在一些實施例中，形成溝道結構210的製造製程包括使用乾式蝕刻/和或濕式蝕刻（例如深反應離子蝕刻（DRIE））形成穿過介電平臺204中的交錯的犧牲層206和介電層208的溝道孔，然後使用薄膜沉積製程用多個層（例如介電層和半導體層）填充溝道孔。在一些實施例中，介電層是複合介電層，例如多個介電層的組合，包括但不限於穿隧層、儲存層和阻隔層。穿隧層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。儲存層可以包括用於儲存記憶體操作步驟的電荷的材料。儲存層材料可以包括但不限於氮化矽、氮氧化矽、氧化矽和氮化矽的組合，或其任何組合。阻隔層可以包括介電材料，包括但不限於氧化矽或氧化矽/氮氧化矽/氧化矽（ONO）的組合。阻隔層還可以包括高k介電層，例如氧化鋁（ Al_2O_3 ）層。半導體層可以包括多晶矽，用作半導體溝道。可以透過例如ALD、CVD、PVD或其任何組合等製程形成半導體層和介電層。

【0041】 在一些實施例中，介電疊層204可以透過接合層212與另一介電疊層連接，以形成多疊層結構。如圖2B所示，透過使用薄膜沉積製程（例如ALD、CVD、PVD或其任何組合）沉積介電層（例如氧化矽層），可以在介電平臺204上形成接合層212。平臺間插塞214的陣列可以形成在接合層212中並分別與溝道結構210的陣列接觸。可以透過圖案化和蝕刻出穿過接合層212的開口，然後使用薄膜沉積製程（例如ALD、CVD、PVD或其任何組合）沉積半導體材料（例

如多晶矽)來形成平臺間插塞214。在下文中，為了簡明和簡單，針對單疊層結構來描述本發明內容的實施例。應當理解，本文公開的技術方案也適用於多疊層結構。

【0042】 如圖2C所示，階梯結構224形成在介電疊層218的側部上。可以透過所謂的“修整-蝕刻”製程形成階梯結構224，該“修整-蝕刻”製程在各個週期中修整(例如，遞增地和向內地蝕刻，通常從所有方向)圖案化的微影膠層，然後使用修整的微影膠層作為蝕刻遮罩，蝕刻介電/犧牲層對的曝露部分，以形成階梯結構224的一個台階。

【0043】 方法500前進到操作步驟508，如圖5A所示，其中形成垂直延伸穿過階梯結構的虛設溝道結構。在一些實施例中，虛設溝道結構形成為稍後由TSC替換的中間結構。如圖3B所示，穿過介電疊層304的階梯結構342形成虛設溝道結構302的陣列。介電疊層304包括交錯的介電層312和犧牲層310。

【0044】 虛設溝道結構302可以垂直延伸穿過階梯結構342並且具有垂直開口，該垂直開口填充有與溝道結構108中的材料相同的材料。與溝道結構108不同，根據一些實施例，在虛設溝道結構302上沒有形成用以提供與例如3D儲存裝置100等3D儲存裝置的其他部件的電氣連接的接觸。在一些實施例中，虛設溝道結構302完全填充有介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。

【0045】 虛設溝道結構302可以用於在製造期間的特定製程(例如，蝕刻和化學機械拋光(CMP))中平衡負載，並且用於向記憶體陣列結構(例如，階梯結構342)提供機械支撐。本發明內容的實施例，可以利用虛設溝道結構形成TSC，

進而使用相同的圖案來形成虛設溝道結構和TSC二者。所得到的TSC可以提供虛擬溝道結構的平衡和支撐功能。

【0046】 如圖3A所示，可以透過使用濕式蝕刻和/或乾式蝕刻（例如DRIE）首先蝕刻穿過階梯結構342中的一個或多個介電層的虛設孔322來形成虛設溝道結構302。在一些實施例中，虛設孔322可以垂直延伸穿過階梯結構342中的所有介電層並且曝露部分矽基底202（例如，虛設孔322可以延伸到矽基底202）。在一些實施例中，虛設孔322可以延伸到矽基底202中（例如，在蝕刻製程期間可以蝕刻掉矽基底202的一部分）。

【0047】 在一些實施例中，可以在形成虛設孔322的同時（例如，在相同的製造步驟中）形成介電疊層304外部的虛設孔324。虛設孔324可以用於形成週邊接觸，進而提供與週邊設備311的互連。在一些實施例中，虛設孔322和虛設孔324在平面圖中可以具有標稱圓形形狀，如圖3A所示。在一些實施例中，虛設孔322和虛設孔324的尺寸可以在標稱上相同。

【0048】 返回參考圖3B，可以使用例如ALD、CVD、PVD或其任何組合等一個或多個薄膜沉積製程用介電層352（例如氧化矽層）來填充（沉積）圖3A中示出的虛設孔322，以形成虛設溝道結構302。在一些實施例中，虛設溝道結構302與溝道結構210在相同的製造步驟中同時形成，使得虛設孔322填充有在溝道結構210中填充的至少一些材料。

【0049】 在一些實施例中，透過在虛設孔324中沉積介電層354，在形成虛設溝道結構302的同時（例如，在相同的製造步驟中）形成介電疊層304外部的虛

設溝道結構303。介電層354可以與介電層352具有相同的材料。

【0050】 在一些實施例中，虛設孔322/324可以分別完全填充有介電層352/354。在其他實施例中，可以部分地填充虛設孔322或虛設孔324，如圖3B所示。在這種情況下，所得的虛設溝道結構302/303可以具有用介電層352/354沉積的頂部、底部和側壁部分。中心區域可以未填滿。

【0051】 方法500前進到操作步驟510，如圖5A所示，其中透過用導體層替換介電層中的犧牲層來形成多條字元線。如圖3C所示，犧牲層310由導體層（用作字元線）309替換。可以透過相對於介電層304（例如，氧化矽）有選擇性地濕式蝕刻犧牲層310（例如，氮化矽），並用導體層309（例如，W）填充結構來執行用導體層309替換犧牲層310。可以透過PVD、CVD、ALD、電化學沉積或其任何組合來沉積導體層309。導體層309可以包括導電材料，包括但不限於W、Co、Cu、Al、多晶矽、矽化物或其任何組合。結果，在閘極替換製程之後，圖3A-3B中的介電層304變為記憶體層305，其包括矽基底202上的導體/介電層對，即交錯的導體層309和介電層312。

【0052】 方法500前進到操作步驟512，其中，蝕刻出垂直延伸穿過虛設溝道結構的中心部分的開口以形成側壁子。參考圖3D，蝕刻出穿過虛設溝道結構302（圖3B-3C中所示）的開口372（TSC孔）以形成側壁子362。在一些實施例中，開口372/側壁子362可以垂直延伸穿過階梯結構342中的交錯的介電層312和導體層309而到達矽基底202。在一些實施例中，可以利用虛設溝道結構303（圖3B-3C中所示）同時形成第二開口374（週邊接觸孔）。可以使用濕式蝕刻和/或乾式蝕刻製程（例如DRIE）來蝕刻開口372/開口374。例如，可以透過蝕刻來去除虛設

溝道結構302/虛設溝道結構303的中心部分，以形成具有中空芯的側壁子362/側壁子364，如圖3D所示。在一些實施例中，側壁子362和側壁子364的側壁可以具有標稱相同的厚度。TSC孔372和週邊接觸孔374在垂直方向上的深度可以標稱上相同。在各種實施例中，TSC孔372和週邊接觸孔374的橫向尺寸（例如直徑）可以標稱上相同或不同。例如，根據一些實施例，TSC孔372的直徑可以大於週邊接觸孔374的直徑。

【0053】 如圖3D所示，TSC孔372和週邊接觸孔374可以到達矽基底202，並且週邊接觸孔374的下端可以與形成在矽基底202上的週邊設備311接觸。在一些實施例中，週邊設備311包括電晶體，其可以透過多種製程形成，包括但不限於微影、乾式/濕式蝕刻、薄膜沉積、熱生長、摻雜、CMP和任何其他合適的製程。在一些實施例中，透過離子摻雜和/或熱擴散在矽基底202中形成摻雜區域，其例如用作電晶體的源極區域和/或汲極區域。在一些實施例中，還透過濕式蝕刻和/或乾式蝕刻以及薄膜沉積製程在矽基底202中形成隔離區域（例如，STI）。可以在蝕刻週邊接觸孔374之前的任何製造階段進行用於形成週邊設備311的製造製程。

【0054】 因為透過去除在虛設溝道結構302/303上沉積的部分介電層而從虛設溝道結構302/303蝕刻出開口372/374，所以剩餘部分（包括在開口372/374形成之後的虛設溝道結構302/303的側壁）成為側壁子362/364。類似於虛設溝道結構302/303，側壁子362/364可以向包括階梯結構342的記憶體疊層305提供機械支撐。另外，側壁子362/364可以用作圍繞沉積在開口372/374中的導體層（用於形成TSC/週邊接觸）的絕緣層。

【0055】 在一些實施例中，開口372/374（由側壁子362/364的內壁限定）在平

面圖中可以具有標稱圓形形狀，如圖3D所示。在一些實施例中，側壁子362和364的側壁可以具有標稱相同的厚度。在一些實施例中，側壁子362和364可以具有相同或不同的尺寸。例如，側壁子364的直徑（例如，從內側壁或外側壁測量）可以小於側壁子362的直徑。

【0056】 方法500前進到操作步驟514，如圖5A所示，其中同時形成字元線接觸和TSC。在一些實施例中，導體層沉積在開口中以形成TSC。在一些實施例中，導體層是包括黏著/阻擋層和導體的複合層。如圖3E所示，導體層382沉積在開口372中（如圖3D所示）以填充開口372的剩餘空間，進而形成垂直延伸穿過階梯結構342的TSC 336。在一些實施例中，可以透過使用一種或多種薄膜沉積製程（例如ALD、CVD、PVD、電化學沉積或其任何組合）沉積金屬（例如鎢）而在開口372的剩餘空間中形成導體。可以使用相同的沉積製程在開口374（如圖3D所示）中同時形成導體層384，以形成與週邊設備311接觸的週邊接觸348。在一些實施例中，導體層382和384可以使用相同的材料（例如，鎢（W））。可以透過CMP去除沉積後的過量導體層。

【0057】 可以將字元線接觸344與TSC同時（例如，在相同的製造步驟中）形成。各個字元線接觸344與階梯結構342中對應的一個導體/介電層對的導體層309接觸。透過先蝕刻垂直開口（例如，透過濕式蝕刻和/或乾式蝕刻），然後使用ALD、CVD、PVD、電化學沉積或其任何組合用導電材料填充開口而形成穿過一個或多個介電層的字元線接觸344。在一些實施例中，其他導電材料填充在開口中以用作黏著/阻擋層。蝕刻介電層以形成字元線接觸344的開口可以透過將蝕刻停止在不同材料處來進行控制。例如，當到達階梯結構342中的導體層309時，可以停止對介電層的蝕刻。

【0058】 在一些實施例中，TSC 336、字元線接觸344和週邊接觸348可以在平面圖中具有標稱圓形形狀，如圖3E所示。TSC 336、字元線接觸344和週邊接觸348可以具有相同或不同的尺寸。例如，根據一些實施例，TSC 336和週邊接觸348可以具有比字元線接觸344的直徑大的直徑。

【0059】 圖5B是根據本發明內容的一些實施例的用於形成3D儲存裝置的另一示例性方法500'的流程圖。操作步驟502'、504'、506'和508'分別類似於操作步驟502、504、506和508，並因此不再重複。方法500'進行到操作步驟520，如圖5B所示，其中蝕刻出垂直延伸穿過虛設溝道結構的中心部分的開口以形成側壁子。操作步驟520類似於操作步驟512，不同之處在於，操作步驟520中的開口的蝕刻是在形成字元線之前執行的。如圖4A所示，在用導體層309替換犧牲層310之前蝕刻開口372/374。

【0060】 方法500'進行到操作步驟522，如圖5B所示，其中透過在開口中沉積導體層而形成垂直延伸穿過階梯結構的TSC。在形成TSC方面，操作步驟522類似於514。與字元線接觸和TSC被同時形成的操作步驟514不同，在操作步驟522中，由於在操作步驟522之前尚未形成字元線，所以不形成字元線接觸。參考圖4B，在用導體層309替換犧牲層310之前形成TSC 336。

【0061】 方法500'進行到操作步驟524，如圖5B所示，其中透過用導體層替換介電層中的犧牲層來形成字元線。操作步驟524類似於操作步驟510。參考圖4C，透過用導體層309替換犧牲層310來形成字元線309。注意，在圖4C中，已形成TSC 336和週邊接觸348。

【0062】 方法500'進行到操作步驟526，如圖5B所示，其中形成字元線接觸。在形成字元線方面，操作步驟526類似於操作步驟514。如圖4D所示，在形成TSC 336和週邊接觸348之後形成字元線接觸344。

【0063】 圖5C是根據本發明內容的一些實施例的用於形成3D儲存裝置的另一示例性方法500"的流程圖。操作步驟502"、504"和506"分別類似於操作步驟502、504和506，並因此不再重複。方法500"前進到操作步驟530，如圖5C所示，其中形成垂直延伸穿過階梯結構的虛設孔。如圖3A所示，可以使用濕式蝕刻和/或乾式蝕刻（例如DRIE）形成穿過階梯結構342中的一個或多個介電層的虛設孔322。在一些實施例中，虛設孔322可以垂直延伸穿過階梯結構342中的所有介電層並到達矽基底202。在一些實施例中，虛設孔322可以延伸到矽基底202中（例如，可以在蝕刻製程期間蝕刻掉矽基底202的一部分）。

【0064】 在一些實施例中，可以在形成虛設孔322的同時（例如，在相同的製造步驟中）形成介電疊層304外部的虛設孔324。虛設孔324可以用於形成提供與週邊設備311的互連的週邊接觸。在一些實施例中，虛設孔322和324在平面圖中可以具有標稱圓形形狀，如圖3A所示。在一些實施例中，虛設孔322和324的尺寸可以標稱相同。

【0065】 方法500"前進到操作步驟532，如圖5C所示，其中在虛設孔中形成具有中空芯的側壁子。如圖3B-3D所示，可以透過以下操作步驟來形成側壁子362：將介電層352沉積到虛設孔322中，然後去除部分介電層352，進而形成側壁子362，如上文結合步驟512和520所述的。在一些實施例中，可以透過將介電層352沉積到虛設孔322中來直接形成側壁子362，而無需為了形成側壁子362要進行額外的蝕刻操作步驟以去除部分沉積的介電材料。可以以類似的方式形成側壁子

364。

【0066】 方法500"前進到操作步驟534，如圖5C所示，其中透過在側壁子的中空芯中沉積導體層而形成垂直延伸穿過階梯結構的TSC。操作步驟534類似於操作步驟522。

【0067】 方法500"前進到操作步驟536，如圖5C所示，其中透過用導體層替換介電層中的犧牲層來形成字元線。操作步驟536類似於操作步驟524。參考圖4C，透過用導體層309替換犧牲層310來形成字元線309。注意，在圖4C中，已經形成了TSC 336和週邊接觸348。

【0068】 方法500"前進到操作步驟538，如圖5C所示，其中形成字元線接觸。操作步驟538類似於操作步驟526。如圖4D所示，在形成TSC 336和週邊接觸348之後形成字元線接觸344。

【0069】 根據本發明內容的一個方面，提供了一種用於形成3D儲存裝置的方法。在基底上形成包括多個交錯的介電層和犧牲層的介電層。在介電層的一側上形成階梯結構。形成垂直延伸穿過階梯結構並到達基底的虛設孔。在虛設孔中形成具有中空芯的側壁子。透過在側壁子的中空芯中沉積導體層來形成與基底接觸的TSC。TSC垂直延伸穿過階梯結構。

【0070】 在一些實施例中，在形成側壁子之前，透過用導體層替換介電層中的犧牲層來形成多條字元線。

【0071】 在一些實施例中，在形成TSC的同時形成多個字元線接觸，各個字元線接觸與字元線中對應的一條字元線接觸。

【0072】 在一些實施例中，在形成TSC之後，透過用導體層替換介電疊層中的犧牲層來形成多條字元線。

【0073】 在一些實施例中，形成多個字元線接觸，各個字元線接觸與字元線中對應的一條字元線接觸。

【0074】 在一些實施例中，為了形成側壁子，在虛設孔中形成介電層。

【0075】 在一些實施例中，介電層包括氧化矽。

【0076】 在一些實施例中，介電層形成側壁子。

【0077】 在一些實施例中，為了形成側壁子，蝕刻出穿過沉積在虛設孔中的介電層的中空芯。

【0078】 在一些實施例中，將介電疊層外部的第二虛設孔與虛設孔同時形成。

【0079】 在一些實施例中，透過在形成TSC的同時在第二虛設孔中沉積第二導體層來形成週邊接觸。週邊接觸與基底接觸。

【0080】 在一些實施例中，第一和第二導體層包括相同的材料。

【0081】 在一些實施例中，TSC在平面圖中具有標稱圓形形狀。

【0082】 在一些實施例中，導體層包括鎢（W）。

【0083】 在一些實施例中，交錯的介電層和犧牲層中的介電層包括氧化矽，並且交錯的介電層和犧牲層中的犧牲層包括氮化矽。

【0084】 根據本發明內容的另一方面，提供了一種用於形成3D儲存裝置的方法。在基底上形成包括多個交錯的介電層和犧牲層的介電疊層。在介電疊層的一側上形成階梯結構。形成到達基底的虛設溝道結構。虛設溝道結構垂直延伸穿過階梯結構。透過去除部分虛設溝道結構來形成側壁子。側壁子具有中空芯。透過在側壁子的中空芯中沉積導體層來形成與基底接觸的TSC。TSC垂直延伸穿

過階梯結構。

【0085】 在一些實施例中，在形成側壁子之前，透過用導體層替換介電層中的犧牲層來形成多條字元線。

【0086】 在一些實施例中，在形成TSC的同時形成多個字元線接觸，各個字元線接觸與字元線中對應的一條字元線接觸。

【0087】 在一些實施例中，在形成TSC之後，透過用導體層替換介電層中的犧牲層來形成多條字元線。

【0088】 在一些實施例中，形成多個字元線接觸，各個字元線接觸與字元線中對應的一條字元線接觸。

【0089】 在一些實施例中，在形成虛設溝道結構之前，形成垂直延伸穿過階梯結構並曝露部分基底的虛設孔。

【0090】 在一些實施例中，為了形成虛設溝道結構，在虛設孔中沉積介電層。

【0091】 在一些實施例中，介電層包括氧化矽。

【0092】 在一些實施例中，為了形成側壁子，蝕刻出穿過沉積在虛設孔中的介電層的開口。

【0093】 在一些實施例中，為了形成側壁子，去除沉積在虛設孔中的部分介電層。

【0094】 在一些實施例中，將介電層外部的第二側壁子與側壁子同時形成。

【0095】 在一些實施例中，透過在形成TSC的同時在第二側壁子中沉積第二導體層來形成週邊接觸。週邊接觸與基底接觸。

【0096】 在一些實施例中，第一和第二導體層包括相同的材料。

【0097】 在一些實施例中，側壁子和第二側壁子具有標稱相同的厚度。

【0098】 在一些實施例中，導體層包括鎢（W）。

【0099】 在一些實施例中，交錯的介電層和犧牲層中的介電層包括氧化矽，並且交錯的介電層和犧牲層中的犧牲層包括氮化矽。

【0100】 根據本發明內容的又一方面，提供了一種3D儲存裝置。3D儲存裝置包括基底、基底上的包括多個交錯的導體層和介電層的記憶體疊層、在記憶體疊層的一側上的階梯結構、以及垂直延伸穿過記憶體疊層的階梯結構的TSC。TSC與基底接觸。

【0101】 在一些實施例中，3D儲存裝置更包括記憶體疊層外部的週邊接觸。週邊接觸與基底接觸。

【0102】 在一些實施例中，週邊接觸和TSC包括相同的材料。

【0103】 在一些實施例中，TSC和週邊接觸中的每一個的側壁由具有標稱相同厚度的側壁子圍繞。

【0104】 在一些實施例中，側壁子包括氧化矽。

【0105】 在一些實施例中，3D儲存裝置更包括多個字元線接觸，各個字元線接觸與階梯結構中的導體層中對應的一個導體層接觸。

【0106】 以上對具體實施例的描述將揭示本發明內容的一般性質，以使得其他人可以透過應用本領域技術內的知識容易地修改和/或改變這些具體實施例的各種應用，而無需過度實驗，且不脫離本發明內容的總體構思。因此，基於本文給出的教導和指導，這樣的改變和修改都旨在處於所公開的實施例的等同變換的含義和範圍內。應該理解的是，本文中的措辭或術語是出於描述的目的而非限制的目的，使得本說明書的術語或措辭將由本領域技術人員根據教導和指導來解釋。

【0107】 上面已經借助於功能構件塊描述了本發明內容的實施例，該功能構件塊示出了特定功能及其關係的實施方式。為了描述的方便，本文任意定義了

這些功能構件塊的邊界。只要適當地執行了特定功能和關係，就可以定義可替換的邊界。

【0108】 發明內容和摘要部分可以闡述由發明人設想的本發明內容的一個或多個但不是全部的示例性實施例，並且因此不旨在以任何方式限制本發明內容和所附權利要求書。

【0109】 本發明內容的廣度和範圍不應受任何上述示例性實施例的限制，而應僅根據下面的權利要求及其等同變換來限定。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0110】

100	3D儲存裝置
102、601	基底
104、305、604	記憶體疊層
106	NAND記憶體串
108、210	溝道結構
110、140、152、309、382	導體層
111、311	週邊設備
112、208、312、352、354、612	介電層
116	內部區域
117、119	插塞

118	外部區域
136、336、608	貫穿階梯接觸
138、150、362	側壁子
142、224、342、642	階梯結構
144	字元線接觸
148、348	週邊接觸
202	矽基底
204	介電平臺
206、310、610	犧牲層
212	接合層
214	平臺間插塞
218、304	介電疊層
302、303、60	虛設溝道結構
322、324	虛設孔
372	開口(TSC孔)
374	第二開口(週邊接觸孔)
500、500'、500"	方法
502、504、506、508、510、512、514、 520、522、524、526、530、532、534、 536、538、502'、504'、506'、508'、502"、 504"、506"	操作步驟
600	儲存裝置
606	記憶體串



I667774

【發明摘要】

【中文發明名稱】具有貫穿階梯接觸的立體儲存裝置及其形成方法

【英文發明名稱】3 DIMENSION STORAGE DEVICE WITH THROUGH STAIR CONTACT AND METHOD OF FORMING SAME

【中文】

公開了具有貫穿階梯接觸（through stair contact, TSC）的立體（3D）儲存裝置及其形成方法的實施例。在示例中，公開了一種用於形成3D儲存裝置的方法。在基底上形成包括多個交錯的介電層和犧牲層的介電疊層。在介電疊層的一側上形成階梯結構。形成垂直延伸穿過階梯結構並到達基底的虛設孔。在虛設孔中形成具有中空芯的側壁子。透過在側壁子的中空芯中沉積導體層來形成與基底接觸的TSC。TSC垂直延伸穿過階梯結構。

【英文】

Embodiments of a three-dimensional (3D) storage device having a through stair contact (TSC) and a method of forming the same are disclosed. In an example, a method for forming a 3D storage device is disclosed. A dielectric stack comprising a plurality of interleaved dielectric layers and sacrificial layers is formed on the substrate. A stepped structure is formed on one side of the dielectric stack. A dummy hole is formed that extends vertically through the stepped structure and to the substrate. A spacer having a hollow core is formed in the dummy hole. The TSC in contact with the substrate is formed by depositing a conductor layer in the hollow core of the spacer. The TSC extends vertically through the stepped structure.

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

100	3D儲存裝置
102	基底
104	記憶體疊層
106	NAND記憶體串
108	溝道結構
110、140、152	導體層
111	週邊設備
112	介電層
116	內部區域
117、119	插塞
118	外部區域
136	貫穿階梯接觸
138、150	側壁子
142	階梯結構
144	字元線接觸
148	週邊接觸

【特徵化學式】

無

【發明申請專利範圍】

【第1項】一種用於形成立體（3D）儲存裝置的方法，包括：

在一基底上形成介電疊層，所述介電疊層包括多個交錯的介電層和犧牲層；

在所述介電疊層的至少一側上形成一階梯結構；

形成垂直延伸穿過所述階梯結構並到達所述基底的一虛設孔；

在所述虛設孔中形成一側壁子，所述側壁子具有一中空芯；以及

透過在所述側壁子的所述中空芯中沉積一導體層，來形成與所述基底接觸的貫穿階梯接觸(through stair contact, TSC)，所述TSC垂直延伸穿過所述階梯結構。

【第2項】如申請專利範圍第1項所述的方法，更包括在形成所述TSC之前，透過用一導體層替換所述介電疊層中的所述犧牲層來形成多條字元線。

【第3項】如申請專利範圍第2項所述的方法，更包括在形成所述TSC的同時形成多個字元線接觸，各個字元線接觸與所述字元線中對應的一條字元線接觸。

【第4項】如申請專利範圍第1項所述的方法，更包括在形成所述TSC之後，透過用一導體層替換所述介電疊層中的所述犧牲層來形成多條字元線。

【第5項】如申請專利範圍第4項所述的方法，更包括形成多個字元線接觸，各個字元線接觸與所述字元線中對應的一條字元線接觸。

【第6項】如申請專利範圍第1項至第5項中的任一項所述的方法，其中，形成所述側壁子包括在所述虛設孔中沉積一介電層。

【第7項】如申請專利範圍第6項所述的方法，其中，所述介電層包括氧化矽。

【第8項】如申請專利範圍第6項或第7項所述的方法，其中，所述介電層形成所述側壁子。

【第9項】如申請專利範圍第6項或第7項所述的方法，其中，形成所述側壁子包括蝕刻出穿過沉積在所述虛設孔中的所述介電層的中空芯。

【第10項】如申請專利範圍第1項至第9項中的任一項所述的方法，更包括在形

成所述虛設孔的同時形成所述介電層外部的一第二虛設孔。

【第11項】如申請專利範圍第10項所述的方法，更包括透過在形成所述TSC的同時，在所述第二虛設孔中沉積一第二導體層來形成一週邊接觸，其中，所述週邊接觸與所述基底接觸。

【第12項】如申請專利範圍第11項所述的方法，其中，所述第一導體層和所述第二導體層包括相同的材料。

【第13項】如申請專利範圍第1項至第12項中的任一項所述的方法，其中，所述TSC在平面圖中具有標稱圓形形狀。

【第14項】如申請專利範圍第1項至第13項中的任一項所述的方法，其中，所述導體層包括鎢（W）。

【第15項】如申請專利範圍第1項至第14項中的任一項所述的方法，其中：

所述交錯的介電層和犧牲層中的所述介電層包括氧化矽；並且

所述交錯的介電層和犧牲層中的所述犧牲層包括氮化矽。

【第16項】一種用於形成立體（3D）儲存裝置的方法，包括：

在一基底上形成包括多個交錯的介電層和犧牲層的介電層；

在所述介電層的至少一側上形成一階梯結構；

形成到達所述基底的一虛設溝道結構，所述虛設溝道結構垂直延伸穿過所述階梯結構；

透過去除部分所述虛設溝道結構來形成一側壁子，所述側壁子具有一中空芯；以及

透過在所述側壁子的所述中空芯中沉積一導體層，來形成與所述基底接觸的貫穿階梯接觸（through stair contact, TSC），所述TSC垂直延伸穿過所述階梯結構。

【第17項】如申請專利範圍第16項所述的方法，更包括在形成所述側壁子之前，透過用一導體層替換所述介電層中的所述犧牲層來形成多條字元線。

【第18項】如申請專利範圍第17項所述的方法，更包括在形成所述TSC的同時形成多個字元線接觸，各個字元線接觸與所述字元線中對應的一條字元線接觸。

【第19項】如申請專利範圍第16項所述的方法，更包括在形成所述TSC之後，透過用一導體層替換所述介電層中的所述犧牲層來形成多條字元線。

【第20項】如申請專利範圍第19項所述的方法，更包括形成多個字元線接觸，各個字元線接觸與所述字元線中對應的一條字元線接觸。

【第21項】如申請專利範圍第16項至20項中的任一項所述的方法，更包括在形成所述虛設溝道結構之前，形成垂直延伸穿過所述階梯結構並曝露部分所述基底的一虛設孔。

【第22項】如申請專利範圍第21項所述的方法，其中，形成所述虛設溝道結構包括在所述虛設孔中沉積一介電層。

【第23項】如申請專利範圍第22項所述的方法，其中，所述介電層包括氧化矽。

【第24項】如申請專利範圍第22項或第23項所述的方法，其中，形成所述側壁子包括蝕刻出穿過沉積在所述虛設孔中的所述介電層的一開口。

【第25項】如申請專利範圍第22項至第24項中的任一項所述的方法，其中，形成所述側壁子包括去除沉積在所述虛設孔中的所述介電層的一部分。

【第26項】如申請專利範圍第16項至第25項中的任一項所述的方法，更包括在形成所述側壁子的同時形成所述介電層外部的一第二側壁子。

【第27項】如申請專利範圍第26項所述的方法，更包括透過在形成所述TSC的同時，在所述第二側壁子中沉積一第二導體層來形成一週邊接觸，其中，所述週邊接觸與所述基底接觸。

【第28項】如申請專利範圍第27項所述的方法，其中，所述第一導體層和所述第二導體層包括相同的材料。

【第29項】如申請專利範圍第26項至第28項中任一項所述的方法，其中，所述

側壁子和所述第二側壁子具有標稱相同的厚度。

【第30項】如申請專利範圍第16項至第29項中的任一項所述的方法，其中，所述導體層包括鎢（W）。

【第31項】如申請專利範圍第16項至第30項中的任一項所述的方法，其中：

所述交錯的介電層和犧牲層中的所述介電層包括氧化矽；並且

所述交錯的介電層和犧牲層中的所述犧牲層包括氮化矽。

【第32項】一種立體（3D）儲存裝置，包括：

一基底；

所述基底上的包括多個交錯的導體層和介電層的一記憶體疊層；

在所述記憶體疊層的一側上的一階梯結構；以及

垂直延伸穿過所述記憶體疊層的所述階梯結構的貫穿階梯接觸（through stair contact, TSC），其中，所述TSC與所述基底接觸。

【第33項】如申請專利範圍第32項所述的3D儲存裝置，更包括：

所述記憶體疊層外部的一週邊接觸，其中，所述週邊接觸與所述基底接觸。

【第34項】如申請專利範圍第33項所述的3D儲存裝置，其中，所述週邊接觸和所述TSC包括相同的材料。

【第35項】如申請專利範圍第33項或第34項所述的3D儲存裝置，其中，所述TSC和所述週邊接觸中的每一個的側壁由具有標稱相同厚度的側壁子圍繞。

【第36項】如申請專利範圍第35項所述的3D儲存裝置，其中，所述側壁子包括氧化矽。

【第37項】如申請專利範圍第32項至第36項中的任一項所述的3D儲存裝置，更包括：

多個字元線接觸，各個字元線接觸與所述階梯結構中的所述導體層中對應的一個導體層接觸。