



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월08일
 (11) 등록번호 10-0969146
 (24) 등록일자 2010년07월01일

(51) Int. Cl.

H01L 33/64 (2010.01) H01L 33/38 (2010.01)

H01L 33/48 (2010.01)

(21) 출원번호 10-2009-0013605

(22) 출원일자 2009년02월18일

심사청구일자 2009년02월18일

(56) 선행기술조사문헌

KR1020070082278 A

KR1020090004044 A

KR100706951 B1

(73) 특허권자

엘지이노텍 주식회사

서울특별시 중구 남대문로5가 541 서울스퀘어

(72) 발명자

정주용

광주 광산구 월곡2동 부영아파트 202동 1510호

(74) 대리인

서교준

전체 청구항 수 : 총 14 항

심사관 : 박혜련

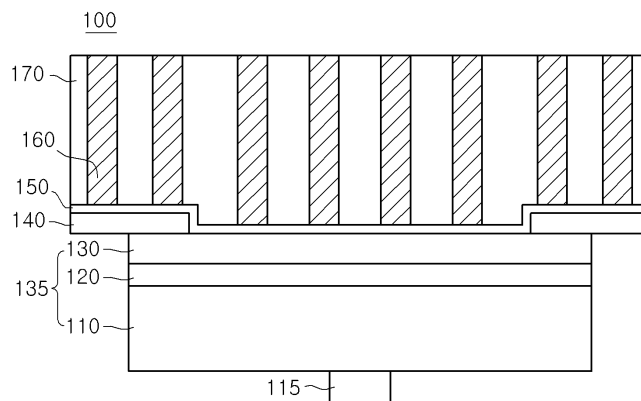
(54) 반도체 발광소자 및 그 제조방법

(57) 요약

실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

실시 예에 따른 반도체 발광소자는, 전극층; 상기 전극층 아래에 화합물 반도체층이 적층된 발광 구조물; 상기 전극층 위에 복수개가 이격된 휨 방지부재; 상기 전극층 위에 형성되며 상기 휨 방지부재 사이에 배치된 전도성 지지부재를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

전극층;

상기 전극층 아래에 화합물 반도체층이 적층된 발광 구조물;

상기 전극층 위에 복수개가 이격된 패턴 형태의 휨 방지부재;

상기 전극층 위에 형성되며 상기 휨 방지부재 사이에 배치된 전도성 지지부재를 포함하는 반도체 발광소자.

청구항 2

제 1항에 있어서,

상기 휨 방지부재는 SiO_2 , Si_3N_4 , Al_2O_3 , TiO_2 , SiO_x , SiN_x , SiO_xN_y , 포토 레지스터 중에서 어느 하나로 형성되는 반도체 발광소자.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 휨 방지부재는 복수개의 기둥 형상의 패턴, 복수개의 막대 형상의 패턴, 복수개 패턴이 적어도 1회 교차되는 패턴 중 적어도 한 패턴을 포함하는 반도체 발광소자.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 휨 방지부재의 두께는 상기 전도성 지지부재와 동일한 두께로 형성되는 반도체 발광소자.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 발광 구조물 위의 외측 둘레와 상기 전극층 사이에 틀 형태로 형성된 아이솔레이션층을 포함하며,

상기 아이솔레이션층은 SiO_2 , SiO_x , SiO_xN_y , Si_3N_4 , Al_2O_3 , TiO_2 , ITO, IZO, AZO, IZTO, IAZO, IGZO, IGTO, ATO 중 어느 하나를 포함하는 반도체 발광소자.

청구항 6

제 5항에 있어서,

상기 발광 구조물의 외벽에 상기 아이솔레이션층의 단부가 노출되도록 커팅된 외곽 홈을 포함하는 반도체 발광소자.

청구항 7

제1항에 있어서,

상기 발광 구조물 위의 외측 둘레와 상기 전극층 사이에 틀 형태로 형성되며, 일부가 상기 발광 구조물의 일부 반도체층까지 연장된 절연 돌기를 포함하는 아이솔레이션층을 포함하며,

상기 아이솔레이션층은 SiO_2 , SiO_x , SiO_xN_y , Si_3N_4 , Al_2O_3 중 어느 하나를 포함하는 반도체 발광소자.

청구항 8

제1항에 있어서,

상기 발광 구조물은 3족-5족 화합물로 이루어진 P-N 접합, N-P 접합, P-N-P 접합, N-P-N 접합 중 어느 하나를 포함하며,

상기 발광 구조물 아래에 형성된 제1전극을 포함하는 반도체 발광소자.

청구항 9

제8항에 있어서,

상기 전극층 위에 상기 제1전극과 대응되게 형성된 충격 보호 부재를 포함하며,

상기 충격 보호 부재는 W, Mo를 선택적으로 포함하는 반도체 발광소자.

청구항 10

제1도전형 반도체층, 활성층 및 제2도전형 반도체층을 포함하는 발광 구조물을 형성하는 단계;

상기 제2도전형 반도체층 위에 전극층을 형성하는 단계;

상기 전극층 위에 복수개가 서로 이격된 패턴 형태의 휨 방지부재를 형성하는 단계;

상기 전극층 위에 상기 휨 방지부재 사이에 전도성 지지부재를 형성하는 단계를 포함하는 반도체 발광소자 제조 방법.

청구항 11

제 10항에 있어서,

상기 휨 방지부재 및 상기 전도성 지지부재는 서로 동일한 두께로 커팅 또는 폴리싱되는 반도체 발광소자 제조 방법.

청구항 12

제 10항에 있어서,

상기 발광 구조물의 상측 둘레와 상기 전극층 사이에 틀 형태로 절연 재질 또는 전도성 재질의 아이솔레이션층을 형성하는 반도체 발광소자 제조방법.

청구항 13

제 10항에 있어서,

기판 위에 상기 제1도전형 반도체층이 형성되며,

상기 전도성 지지부재를 베이스에 위치시킨 후, 상기 기판을 제거하는 단계;

상기 기판 분리 후 칩 단위로 분리하는 단계를 포함하는 반도체 발광소자 제조방법.

청구항 14

제10항에 있어서,

상기 휨 방지부재는 SiO₂, Si₃N₄, Al₂O₃, TiO₂, SiO_x, SiN_x2, SiN_x, SiO_xN_y, 포토레지스터 중에서 적어도 하나를 포함하는 반도체 발광소자 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] III-V족 질화물 반도체(group III-V nitride semiconductor)는 물리적, 화학적 특성으로 인해 발광 다이오드

(LED) 또는 레이저 다이오드(LD) 등의 발광 소자의 핵심 소재로 각광을 받고 있다. III-V족 질화물 반도체는 통상 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 이루어져 있다.

[0003] 발광 다이오드(Light Emitting Diode : LED)는 화합물 반도체의 특성을 이용하여 전기를 적외선 또는 빛으로 변환시켜서 신호를 주고 받거나, 광원으로 사용되는 반도체 소자의 일종이다.

[0004] 이러한 질화물 반도체 재료를 이용한 LED 혹은 LD는 광을 얻기 위한 발광 소자에 많이 사용되고 있으며, 핸드폰의 키패드 발광부, 전광판, 조명 장치 등 각종 제품의 광원으로 응용되고 있다.

발명의 내용

해결 하고자하는 과제

[0005] 실시 예는 전도성 지지부재의 영역에 소정 패턴의 휨 방지부재를 형성시켜 줄 수 있도록 한 반도체 발광소자 및 그 제조방법을 제공한다.

[0006] 실시 예는 소정 패턴의 휨 방지 부재에 의해 본딩에 의한 충격이나 열에 의한 칩의 휨 문제를 개선시켜 줄 수 있도록 한 반도체 발광소자 및 그 제조방법을 제공한다.

과제 해결수단

[0007] 실시 예에 따른 반도체 발광소자는, 전극층; 상기 전극층 아래에 화합물 반도체층이 적층된 발광 구조물; 상기 전극층 위에 복수개가 이격된 비전도성 휨 방지부재; 상기 전극층 위에 형성되며 상기 휨 방지부재 사이에 배치된 전도성 지지부재를 포함한다.

[0008] 실시 예에 따른 반도체 발광소자 제조방법은, 제1도전형 반도체층, 활성층 및 제2도전형 반도체층을 포함하는 발광 구조물을 형성하는 단계; 상기 제2도전형 반도체층 위에 전극층을 형성하는 단계; 상기 전극층 위에 복수개가 서로 이격된 패턴 형태의 휨 방지부재를 형성하는 단계; 상기 전극층 위에 상기 휨 방지부재 사이에 전도성 지지부재를 형성하는 단계를 포함한다.

효과

[0009] 실시 예는 외부 충격으로부터 발광 구조물을 보호할 수 있는 효과가 있다.

[0010] 실시 예는 본딩에 따른 충격으로부터 LED 칩의 특성 저하를 방지할 수 있다.

[0011] 실시 예는 열에 의한 LED 칩의 휨을 최소화시켜 줄 수 있다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 첨부된 도면을 참조하여 실시 예를 설명하면 다음과 같다. 이러한 실시 예를 설명함에 있어서, 각 층의 위 또는 아래에 대한 정의는 각 도면을 기준으로 설명하기로 하며, 각 구성 요소의 두께는 일 예이며 도면을 기준으로 한정하지는 않는다.

[0013] 도 1은 제1실시 예에 따른 반도체 발광소자를 나타낸 단면도이다.

[0014] 도 1을 참조하면, 반도체 발광소자(100)는 제 1도전형 반도체층(110), 활성층(120), 제 2도전형 반도체층(130), 아이솔레이션층(140), 전극층(150), 휨 방지부재(160), 전도성 지지부재(170) 및 제 1전극(115)을 포함한다.

[0015] 상기 제 1도전형 반도체층(110)은 제1도전형 도펀트가 도핑된 n형 반도체층으로 구현될 수 있으며, 상기 n형 반도체층은 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있고, 상기 제1도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te 등을 포함한다.

[0016] 상기 제 1도전형 반도체층(110)의 아래에는 제 1전극(115)이 소정의 패턴으로 형성될 수 있다.

[0017] 상기 제 1도전형 반도체층(110) 위에는 활성층(120)이 형성되며, 상기 활성층(120)은 단일 또는 다중 양자우물 구조로 형성되는 데, 예컨대, InGaIn 우물층/GaN 장벽층을 한 주기로 하여, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 상기 활성층(120)은 발광 재료에 따라 양자 우물층 및 양자 장벽층의 재료가 달라질 수 있으며, 이에 대해 한정하지는 않는다. 상기 활성층(120)의 위 또는/및 아래에는 클래드층이 형성될 수도 있다.

[0018] 상기 활성층(120) 위에는 제 2도전형 반도체층(130)이 형성되며, 상기 제 2도전형 반도체층(130)은 제2도전형

도펀트가 도핑된 p형 반도체층으로 구현될 수 있다. 상기 p형 반도체층은 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있다. 상기 제2도전형 도펀트는 p형 도펀트로서, Mg, Be, Zn 등의 원소계열을 포함한다.

- [0019] 상기 제1도전형 반도체층(110), 활성층(120) 및 제2도전형 반도체층(130)은 발광 구조물로 정의될 수 있다. 상기 제1도전형 반도체층(110)은 p형 반도체층, 상기 제2도전형 반도체층(130)은 n형 반도체층으로 구현될 수 있으며, 상기 제2도전형 반도체층(130) 위에 N형 또는 P형 반도체층이 형성될 수 있다. 이에 따라 상기 발광 구조물은 상기의 N-P 접합 구조뿐만 아니라, P-N 접합, N-P-N 접합, P-N-P 접합 구조 중 적어도 하나를 포함할 수 있다.
- [0020] 상기 제2도전형 반도체층(130)의 외측 둘레에는 틀 형태로 아이솔레이션층(140)이 형성될 수 있으며, 상기 아이솔레이션층(140)은 절연 물질 또는 전도성 물질로 형성될 수 있으며, 예컨대, SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂, ITO, IZO, AZO, IZTO, IAZO, IGZO, IGTO, ATO 등을 포함할 수 있다. 상기 아이솔레이션층(140)은 형성하지 않을 수 있다.
- [0021] 상기 제2도전형 반도체층(130) 위에는 전극층(150)이 형성된다. 상기 전극층(150)은 Al, Ag, Pd, Rh, Pt 등 중 적어도 하나 또는 이들의 합금 등으로 형성될 수 있다. 또한 상기 전극층(150)은 오믹 특성을 갖는 반사 전극 재료로 형성될 수 있다. 상기 전극층(150)과 상기 제2도전형 반도체층(130) 사이에는 오믹 특성을 갖는 물질이 소정 패턴으로 형성될 수도 있으며, 이에 대해 한정하지는 않는다.
- [0022] 상기 휨 방지부재(160)는 상기 전극층(150) 위에 소정 패턴으로 형성될 수 있다. 상기 휨 방지부재(160)는 소정의 강도를 갖는 물질, 내열성 물질, 비전도성 물질 등을 선택적으로 이용하여 형성될 수 있으며, 예컨대 SiO₂, Si₃N₄, Al₂O₃, TiO₂, SiO_x, SiN_x2, SiN_x, SiO_xN_y, 포토레지스터 등 중에서 어느 하나로 형성된다. 다시 말하면, 상기 휨 방지 부재(160)는 상기 전도성 지지부재(170)의 열 팽창 계수와 동일하거나 유사한 비 전도성 재료로 형성될 수 있다.
- [0023] 상기 휨 방지부재(150)의 두께는 상기 전도성 지지부재(170)의 두께와 동일한 두께로 형성되며, 상단이 외부에 노출될 수 있다.
- [0024] 상기 휨 방지부재(160)는 복수개가 서로 이격되는 소정 형태의 패턴으로 형성되는 데, 원 기둥 또는 다각 기둥 형상, 소정 길이를 갖는 막대 형상, 반원 형상, 동심원 형상, 또는 적어도 1번 이상 교차되는 패턴(예: 십자형 또는 매트릭스형) 등으로 형성될 수 있으며, 이러한 패턴 형상은 변경될 수 있다.
- [0025] 상기 전극층(150) 위에는 전도성 지지부재(170)가 형성될 수 있으며, 상기 전도성 지지부재(170)는 구리(Cu), 금(Au), 니켈(Ni), 몰리브덴(Mo) 등과 같은 물질로 형성될 수 있다.
- [0026] 상기 휨 방지부재(160)는 상기 전도성 지지부재(170)의 영역에 복수개가 서로 이격되어 배치됨으로써, 반도체 발광소자(100)의 전체 영역에 대해 소정의 강도를 제공할 수 있다. 예컨대, 상기 제1전극(115)으로 와이어 본딩이 수행될 때 상기 본딩시 가해지는 충격으로부터 LED 칩이 휘어지는 것을 방지해 준다. 또한 상기 휨 방지부재(160)는 LED 칩에서 발생하는 열로부터 상기 LED 칩이 휘어지는 것을 방지할 수 있다. 또한 LED 칩이 깨지거나 박리되어 칩 특성을 저하시키는 문제를 개선할 수 있다.
- [0027] 도 2 내지 도 5는 실시 예에 따른 휨 방지부재의 패턴을 나타낸 도면이다.
- [0028] 도 2를 참조하면, 휨 방지부재(160)는 상기 전도성 지지부재(170)의 내측 영역에서 일정 크기의 사각형 기둥 형상의 패턴이 일정 간격으로 배치되어 있으며, 그 배치 간격은 주기적 또는 불규칙한 주기로 형성될 수 있다. 또한 상기 휨 방지부재(160)는 삼각 기둥, 사각 기둥 등과 같은 다각 기둥 형상으로 형성될 수 있다.
- [0029] 도 3을 참조하면, 전도성 지지부재(170)의 내측 영역에서 휨 방지부재(161)는 일정 크기의 원 기둥 형상의 패턴이 일정 간격으로 배치되어 있으며, 그 배치 간격은 주기적 또는 불규칙한 주기로 형성될 수 있다. 또한 상기 휨 방지부재(161)는 원 기둥, 타원 기둥과 같은 소정의 곡률을 갖는 기둥 형상을 포함할 수 있다.
- [0030] 도 4를 참조하면, 휨 방지부재(160)는 상기 전도성 지지부재(170)의 내측 영역에서 일정 길이의 막대 형태의 패턴이 일정 간격으로 배치되어 있으며, 그 배치 간격은 주기적 또는 불규칙한 주기로 형성될 수 있다. 또한 상기 휨 방지부재(162)의 그 단면은 사각 기둥, 반구형 형태일 수 있으며, 이에 대해 한정하지는 않는다.
- [0031] 도 5를 참조하면, 휨 방지부재(160)는 상기 전도성 지지부재(170)의 내측 영역에서 일정 길이의 막대 형태의 패

턴이 일정 간격 또는 불규칙 간격으로 배치되어 있으며, 적어도 1회 이상은 다른 패턴과 교차되는 구조이다. 상기 두 패턴이 교차되는 형태는 서로 직각으로 교차하거나 서로 소정 각도로 교차될 수 있으며, 이에 대해 한정하지는 않는다.

- [0032] 도 6내지 도15는 제1실시 예에 따른 반도체 발광소자의 제조과정을 나타낸 도면이다.
- [0033] 도 6을 참조하면, 기판(101) 위에는 제 1도전형 반도체층(110)이 형성되고, 상기 제 1도전형 반도체층(110) 위에는 활성층(120)이 형성되며, 상기 활성층(120) 위에는 제 2도전형 반도체층(130)이 형성된다.
- [0034] 상기 기판(101)은 사파이어 기판(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, 그리고 GaAs 등으로 이루어진 군에서 선택될 수 있다. 이러한 기판(101) 위에는 버퍼층 또는/및 언도프트 반도체층이 형성될 수도 있으며, 박막 성장 후 제거될 수도 있다.
- [0035] 상기 기판(101) 위에는 질화물 반도체가 성장되는 데, 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 형성할 수 있으며, 이러한 장비로 한정하지는 않는다.
- [0036] 상기 제 1도전형 반도체층(110)은 n형 반도체층으로, 상기 제 2도전형 반도체층(130)은 p형 반도체층으로 구현할 수 있으며, 상기 n형 반도체층은 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있고, n형 도펀트(예; Si, Ge, Sn, Se, Te 등)가 도핑된다. 상기 p형 반도체층은 Mg와 같은 p형 도펀트가 도핑되며, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있다.
- [0037] 상기 제1도전형 반도체층(110), 상기 활성층(120), 상기 제2도전형 반도체층(130)의 위 또는/및 아래에는 다른 반도체층이 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1도전형 반도체층(110), 상기 활성층(120), 상기 제2도전형 반도체층(130)은 발광 구조물로 정의될 수 있다. 또한 상기 발광 구조물(135)은 상기의 N-P 접합, P-N 접합, N-P-N 접합, P-N-P 접합 구조 중 적어도 하나를 포함할 수 있다.
- [0038] 상기 제2도전형 반도체층(130) 위의 내측 영역(142)은 개방되고, 외측 둘레에는 틀 형태로 아이솔레이션층(140)이 형성된다. 상기 아이솔레이션층(140)은 예컨대, SiO_2 , SiO_x , SiO_xN_y , Si_3N_4 , Al_2O_3 , TiO_2 , ITO, IZO, AZO, IZTO, IAZO, IGZO, IGTO, ATO 등을 포함할 수 있다. 상기 아이솔레이션층(140)은 상기 제2도전형 반도체층(130)과의 접착력을 개선시켜 주어 박리 문제를 최소화할 수 있다. 또한 상기 아이솔레이션층(140)은 절연물질인 경우, 전도성 지지부재와 제2도전형 반도체층 사이를 이격시켜 줄 수 있다.
- [0039] 도 7을 참조하면, 상기 제2도전형 반도체층(130) 위의 일부 또는 전 영역에는 전극층(150)이 형성되며, 상기 전극층(150)은 씨드 금속, 옴릭 금속, 반사 금속 중 적어도 한 특성을 갖는 재료 예컨대, Al, Ag, Pd, Rh, Pt 등 중에서 적어도 하나 또는 이들의 합금 등으로 형성될 수 있으며, 상기 재료로 한정하지는 않는다. 상기 전극층(150)은 상기 제2도전형 반도체층(130) 및 상기 아이솔레이션층(140) 위에 형성될 수 있다.
- [0040] 도 8을 참조하면, 상기 전극층(150) 위에는 휨 방지부재(160)가 형성된다. 상기 휨 방지부재(160)는 스퍼터링 방식, 전자빔 증착 방식, CVD 또는 PECVD 방식 중 어느 한 방식으로, 상기 전극층(150) 위에 복수개가 서로 이격되는 소정 패턴 형태로 형성될 수 있다. 상기 휨 방지부재(160)는 소정의 강도를 갖는 물질, 내열성 물질, 절연성 물질 등을 선택적으로 이용하여 형성될 수 있으며, 예컨대 SiO_2 , Si_3N_4 , Al_2O_3 , TiO_2 , SiO_x , SiN_x , SiN_x , SiO_xN_y , 포토레지스터 등 중에서 어느 하나로 형성된다.
- [0041] 상기 휨 방지부재(150)의 두께(T1)는 상기 전도성 지지부재(160)의 두께와 동일하도록 형성될 수 있다.
- [0042] 상기 휨 방지부재(160)는 패턴 형상은 기둥 형상, 막대 형상, 반원 형태, 동심원 형상, 또는 적어도 1번 이상 교차되는 형상의 패턴(예: 십자형, 매트릭스형) 등으로 형성될 수 있으며, 이러한 패턴 형상은 변경될 수 있다.
- [0043] 도 9를 참조하면, 상기 전극층(150) 위에는 전도성 지지부재(170)가 형성될 수 있으며, 상기 전도성 지지부재(170)는 전해 도금 공정에 의해 형성되며, 구리(Cu), 금(Au), 니켈(Ni), 몰리브덴(Mo) 등과 같은 물질로 형성될 수 있다.
- [0044] 상기 전도성 지지부재(170)의 내측 영역에는 도 2 내지 도 5와 같은 패턴 형태를 포함하는 휨 방지 부재(160)가 배치된 구조이다.

- [0045] 상기 전도성 지지부재(170)의 두께는 상기 휨 방지부재(160)과 동일한 두께(T1)로 형성될 수 있다. 이 경우, 상기 전도성 지지부재(170)과 상기 휨 방지부재(160)은 상면 즉, 칩에서의 베이스면이 평탄한 면이 되어야 전기적 신뢰성을 제공할 수 있다.
- [0046] 상기 휨 방지 부재(160)는 반도체 발광소자(100)의 전체 영역에 대해 소정의 강도를 제공할 수 있다. 예컨대, 상기 제1전극(115)으로 와이어 본딩이 수행될 때 상기 본딩시 가해지는 충격으로부터 LED 칩이 휘어지는 것을 방지해 준다. 또한 상기 휨 방지부재(160)은 LED 칩에서 발생하는 열로부터 상기 LED 칩이 휘어지는 것을 방지할 수 있다. 또한 LED 칩이 깨지거나 박리되어 칩 특성을 저하시키는 문제를 개선할 수 있다.
- [0047] 여기서, 상기 휨 방지 부재(160)과 상기 전도성 지지부재(170) 사이의 두께가 서로 다른 수 있다.
- [0048] 예컨대, 도 10과 같이, 휨 방지 부재(160)의 두께(T1)가 상기 전도성 지지부재(170)의 두께(T2)보다 두껍게 형성된 경우, 상기 휨 방지 부재(160)와 상기 전도성 지지부재(170)는 T2 두께 이하(도 11의 T0)로 커팅하거나 폴리싱 과정을 거쳐 도 11과 같이 평탄화시켜 줄 수 있다.
- [0049] 또는 도 12와 같이, 전도성 지지부재(170)의 두께(T4)가 상기 휨 방지부재(160)의 두께(T3)보다 두껍게 형성된 경우, 상기 휨 방지 부재(160)와 상기 전도성 지지부재(170)는 T3 두께 이하(도 11의 T0)로 커팅하거나 폴리싱 과정을 거쳐 도 11과 같이 평탄화시켜 줄 수 있다.
- [0050] 도 9 및 13을 참조하면, 상기 전도성 지지부재(170)가 형성되면, 상기 기판(도 9의 101)을 물리적 또는/및 화학적 제거 방법으로 제거하게 된다. 상기 기판(101)의 제거 방법은 레이저 리프트 오프(LL0 : Laser Lift Off) 과정으로 제거하게 된다. 즉, 상기 기판(101)에 일정 영역의 파장을 가지는 레이저를 조사하는 방식(LL0 : Laser Lift Off)으로 상기 기판(101)을 분리시켜 준다. 또는 상기 기판(101)과 상기 제 1도전형 반도체층(110) 사이에 다른 반도체층(예: 버퍼층)이 형성된 경우, 습식 식각 액을 이용하여 상기 버퍼층을 제거하여, 상기 기판을 분리할 수도 있다. 상기 기판(101)이 제거된 상기 제 1도전형 반도체층(110)의 표면에 대해 ICP/RIE(Inductively coupled Plasma/Reactive Ion Etching) 방식으로 연마하는 공정을 수행할 수 있다.
- [0051] 도 13 및 도 14를 참조하면, 칩과 칩 경계 영역(즉, 채널 영역)에 대해 메사 에칭하여 제거한 다음, 칩 단위로 분리하게 된다. 이때 상기 발광 구조물(135)의 외곽 홈(137)은 상기 아이솔레이션층(140)의 외측 영역이 노출된다.
- [0052] 도 15를 참조하면, 상기 제1도전형 반도체층(110)의 아래에 소정 패턴을 갖는 제1전극(115)을 형성시켜 준다. 여기서, 상기 제1전극(115)의 형성 과정은 상기 메사 에칭 전 또는 메사 에칭 후 또는 칩 분리 후 수행될 수 있으며, 이에 대해 한정하지는 않는다.
- [0053] 상기 제1전극(115)을 통해 본딩시 가해지는 충격은 상기 휨 방지부재(160)가 지지해 줌으로써, 웨이퍼의 휨 방지는 물론, 상기 발광 구조물(135)이 휘어지는 등의 문제가 제거될 수 있다. 또한 상기 휨 방지부재(160)은 LED 칩에서 발생하는 열로부터 상기 LED 칩이 휘어지는 것을 방지하게 된다.
- [0054] 도 16은 제2실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다. 상기 제2실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 동일 부호로 처리하며, 제1실시 예의 설명을 참조하고, 그 중복 설명은 생략하기로 한다.
- [0055] 도 16을 참조하면, 반도체 발광소자(100A)는 제 1도전형 반도체층(110), 활성층(120), 제 2도전형 반도체층(130), 아이솔레이션층(140), 전극층(150), 휨 방지부재(160), 충격 보호 부재(165), 전도성 지지부재(170) 및 제 1전극(115)을 포함한다.
- [0056] 상기 전극층(150) 위에는 휨 방지부재(160), 충격 보호 부재(165) 및 전도성 지지부재(170)가 소정 패턴으로 형성된다.
- [0057] 상기 휨 방지부재(160)는 상기 전극층(150)의 외측 영역에 소정의 패턴으로 형성되고, 상기 충격 보호부재(165)는 상기 제1전극(115)와 대응되는 영역에 형성될 수 있다.
- [0058] 상기 충격 보호 부재(165)는 직접적인 충격으로부터 LED 칩을 보호하기 위해 형성되는 것으로서, 상기 제1전극(115)의 형성 위치에 대응되어 형성되며, W, Mo와 같은 고용융점 금속 재료이거나, 고강도의 전도성 금속 재료를 이용할 수 있다. 상기 충격 보호 부재(165)는 강도 보강을 위해 최소 1um이상의 두께로 형성될 수 있으며, 예컨대 1~10um의 두께로 형성될 수 있다.
- [0059] 상기 충격 보호 부재(165)는 제1전극 개수 또는 패턴과 동일한 개수 또는 패턴으로 형성될 수 있다. 상기 제1전

극(115)은 본딩 패드로서, 상기 충격 보호 부재(165)는 본딩시 가해지는 충격으로부터 지탱해 주어, 상기 반도체층(110, 120, 130)이 휘어지는 충격을 최소화시켜 준다. 이에 따라 최종 완성된 LED 칩이 깨지거나 박리되어 칩 특성을 저하시키는 문제를 개선할 수 있다.

- [0060] 도 17은 제3실시 예에 따른 반도체 발광소자를 나타낸 도면이다. 상기 제3실시 예를 설명함에 있어서, 상기 제1 실시 예와 동일한 부분에 대해서는 동일 부호로 처리하며, 중복 부분은 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [0061] 도 17을 참조하면, 반도체 발광소자(100B)는 제 1도전형 반도체층(110), 활성층(120), 제 2도전형 반도체층(130), 아이솔레이션층(140A), 전극층(150), 휨 방지부재(160), 전도성 지지부재(170) 및 제 1전극(115)을 포함한다.
- [0062] 상기 아이솔레이션층(140A)은 상기 제2도전형 반도체층(140)의 외측 둘레에 틀 형태로 형성되며, 상기 발광 구조물(110, 120, 130)의 외측(111, 121, 131)을 전기적으로 비활성화시켜 주는 띠 형태의 절연돌기(147)가 형성된다. 상기 아이솔레이션층(140A)은 절연 재질 예컨대, SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃로 형성되며, 상기 절연 돌기(147)는 띠 형태 또는 패 루프 형태로 형성되어, 상기 발광 구조물(110, 120, 130)의 내측 영역(A1)은 활성화되고, 외측 영역(A2)은 비 활성화된다. 이에 따라 상기 내측 영역(A1)의 발광 구조물(110, 120, 130)은 외벽의 각 층이 습기 등으로 인해 단락되더라도, 정상적으로 동작할 수 있게 된다.
- [0063] 상기 절연 돌기(147)의 형성 위치는 칩 외벽 또는 그 외벽 안쪽 위치로 변경될 수 있다. 상기 절연 돌기(147)는 발광 구조물의 반도체층(110, 120, 130)과 아이솔레이션층(140A) 사이의 접촉력을 강화시켜 줄 수 있다.
- [0064] 도 18은 제4실시 예에 따른 반도체 발광소자를 나타낸 도면이다. 상기 제4실시 예를 설명함에 있어서, 상기 제1 실시 예와 동일한 부분에 대해서는 동일 부호로 처리하며, 중복 부분은 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [0065] 도 18을 참조하면, 반도체 발광소자(100C)는 제 1도전형 반도체층(110), 활성층(120), 제 2도전형 반도체층(130), 전극층(150), 휨 방지부재(160), 전도성 지지부재(170) 및 제 1전극(115)을 포함한다.
- [0066] 상기 제1도전형 반도체층(110)의 아래에는 소정의 러프니스(112)가 형성될 수 있으며, 이러한 러프니스(112)의 패턴에 대해 한정하지는 않는다.
- [0067] 상기 제2도전형 반도체층(130) 위에 아이솔레이션층(도 1의 140)을 형성하지 않고, 전극층(150)이 형성될 수 있다. 상기 전극층(150) 위에는 상기 전도성 지지부재(17)의 두께로 휨 방지부재(160)가 형성될 수 있다.
- [0068] 상기 전극층(150)은 상기 제2도전형 반도체층(130)의 내측 영역에 형성되며, 발광 구조물(135)의 외곽 홈(137)에는 상기 전극층(150)이 노출되지 않게 형성될 수 있다. 이에 따라 일부 휨 방지부재(160)은 상기 제2도전형 반도체층(130) 위에 형성될 수 있다.
- [0069] 이에 따라 상기 휨 방지부재(160)는 상기 제2도전형 반도체층(130) 위에서 LED 칩이 외부 충격이나 열에 의해 휘어지는 것을 방지할 수 있다.
- [0070] 도 19는 제5실시 예에 따른 반도체 발광소자를 나타낸 도면이다. 상기 제5실시 예를 설명함에 있어서, 상기 제1 실시 예와 동일한 부분에 대해서는 동일 부호로 처리하며, 중복 부분은 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [0071] 도 19를 참조하면, 반도체 발광소자(100D)는 제 1도전형 반도체층(110), 활성층(120), 제 2도전형 반도체층(130), 전극층(150), 휨 방지부재(160), 전도성 지지부재(170) 및 제 1전극(115)을 포함한다.
- [0072] 반도체 발광소자(100D)는 발광 구조물(135)의 외벽에 커팅 홈이 형성되지 않을 수 있으며, 상기 발광 구조물(135)와 전도성 지지부재(170)의 직경이 동일한 크기로 형성될 수 있다.
- [0073] 상기에서 개시한 제1내지 제5실시 예는 각 실시 예의 독립적인 특징과 함께, 다른 실시 예에 선택적으로 적용될 수 있으며, 이는 실시 예의 기술적 범위 내에서 변경 가능하다. 또한 실시 예의 특징으로서, 휨 방지부재가 개시된 특징은 수직형 반도체 발광소자뿐만 아니라, 수평형 반도체 발광소자의 기판 위에 형성될 수 있다.

[0074] 또한 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "directly"와 "indirectly"의 의미를 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

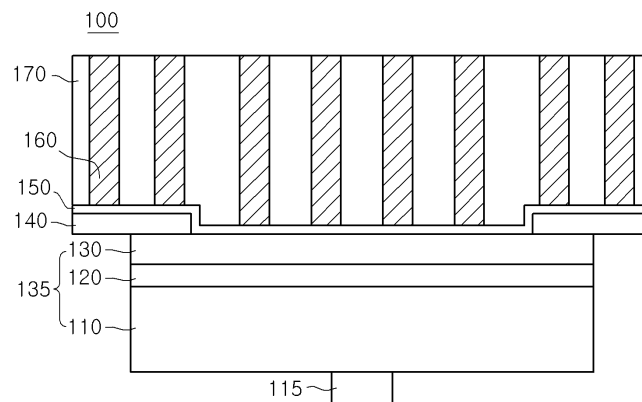
[0075] 이상에서 본 발명에 대하여 그 바람직한 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

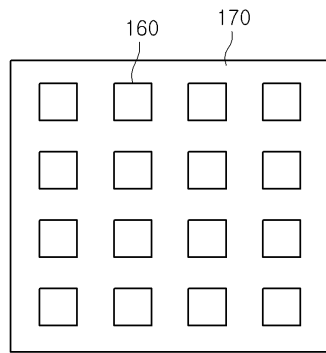
- [0076] 도 1은 제 1실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0077] 도 2내지 도 5는 실시 예에 따른 휨 방지부재의 패턴을 나타낸 도면이다.
- [0078] 도 6 내지 도 15는 제1실시 예에 따른 반도체 발광소자 제조과정을 나타낸 도면이다.
- [0079] 도 16은 제2실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0080] 도 17은 제3실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0081] 도 18은 제4실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0082] 도 19는 제5실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.

도면

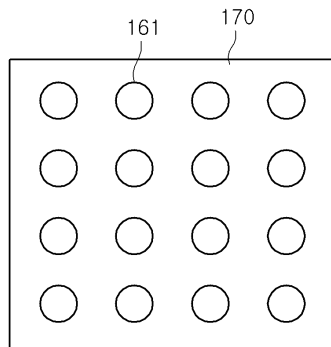
도면1



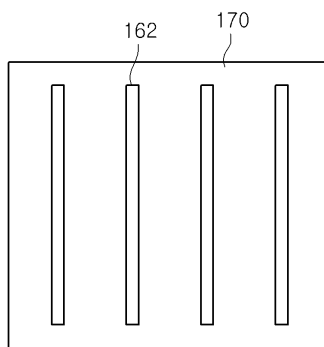
도면2



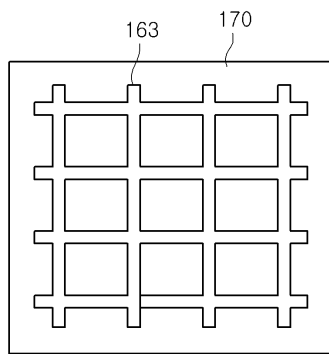
도면3



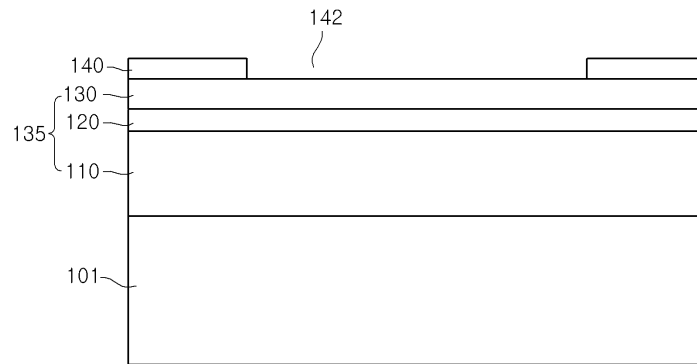
도면4



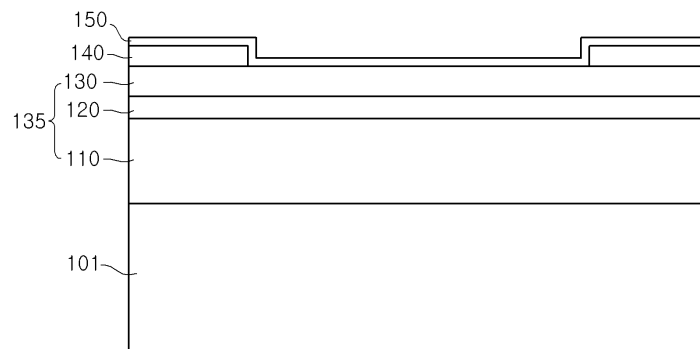
도면5



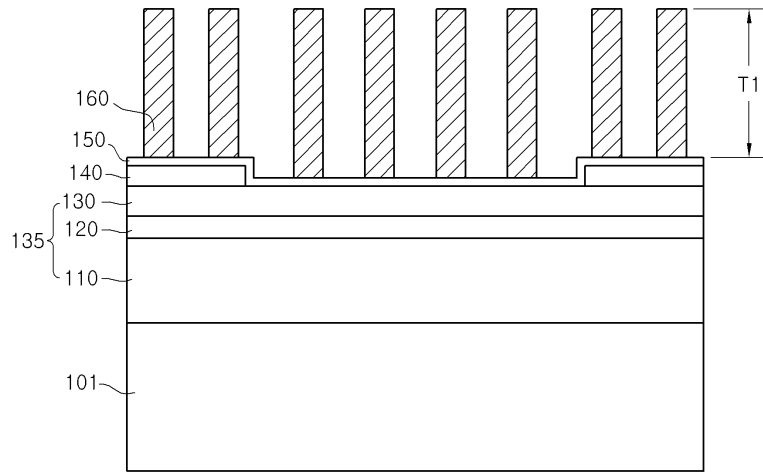
도면6



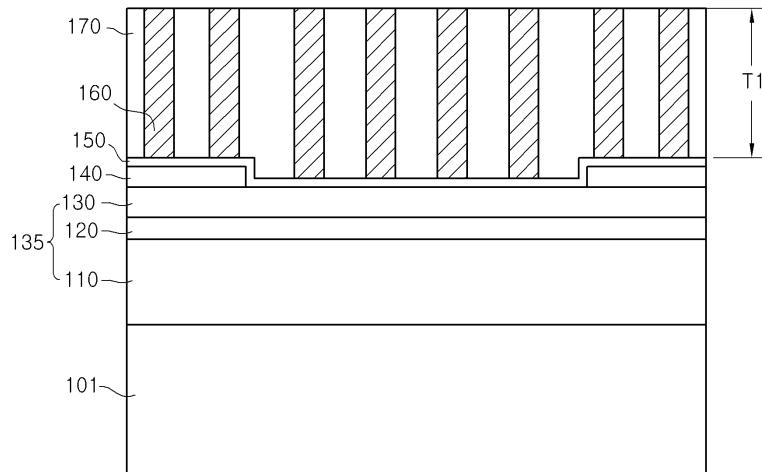
도면7



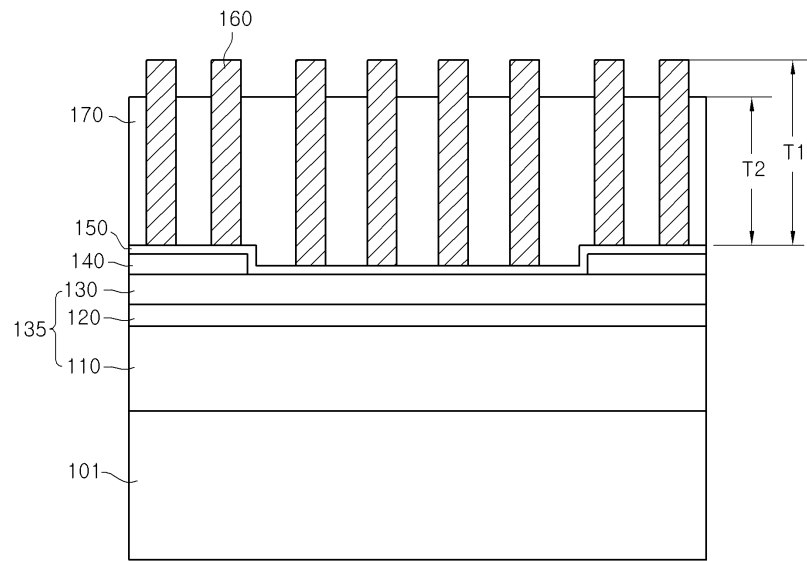
도면8



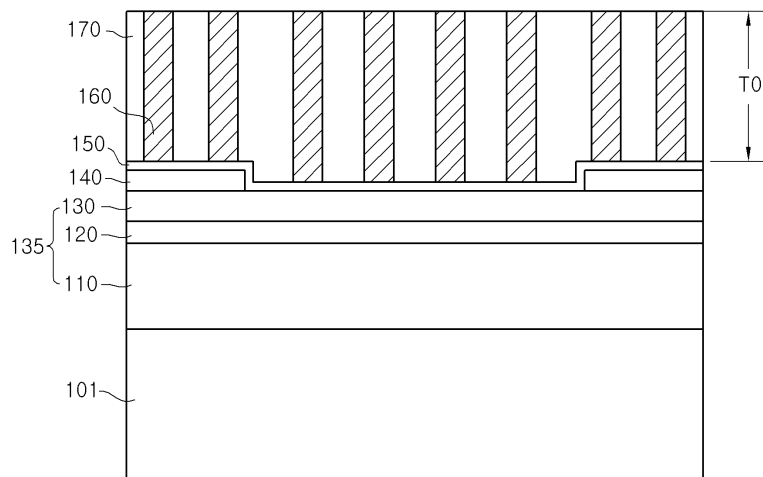
도면9



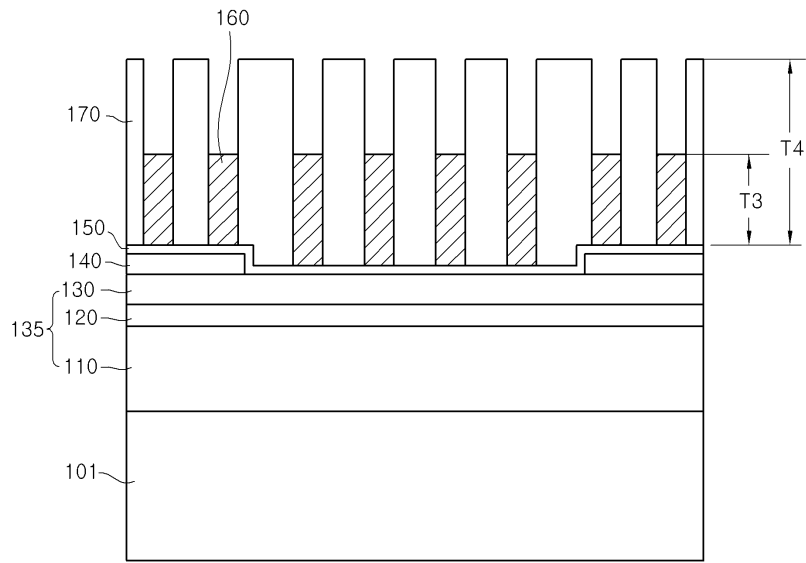
도면10



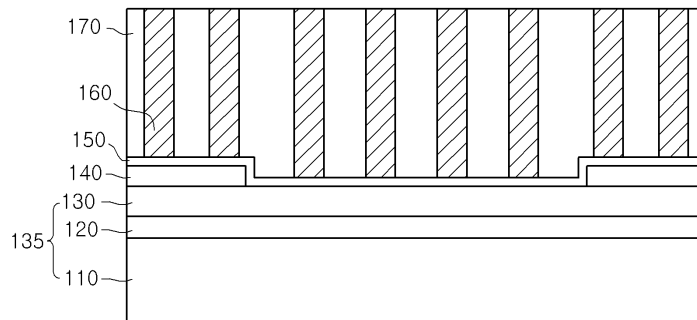
도면11



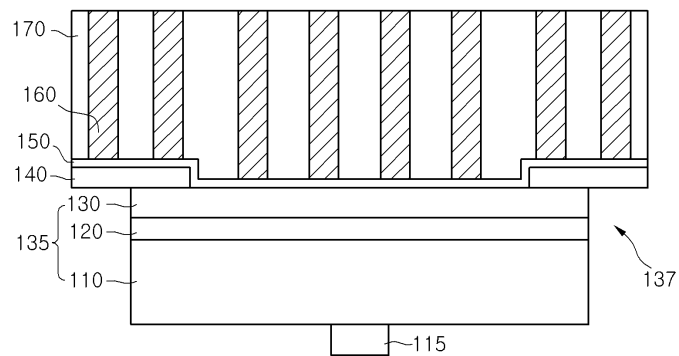
도면12



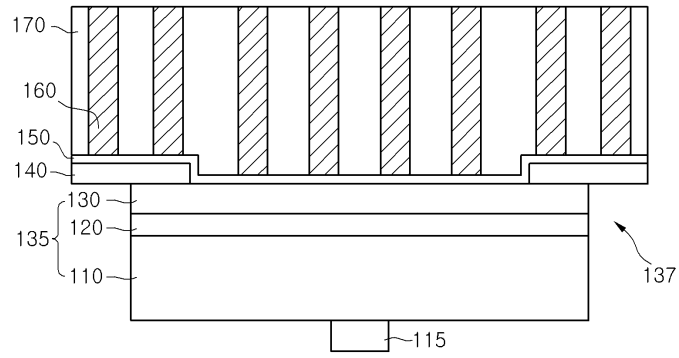
도면13



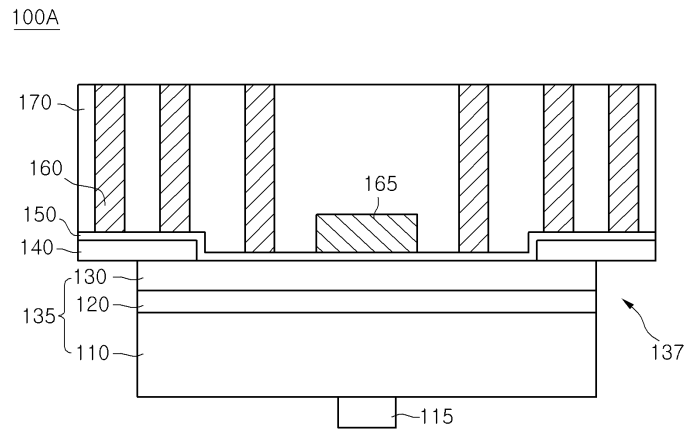
도면14



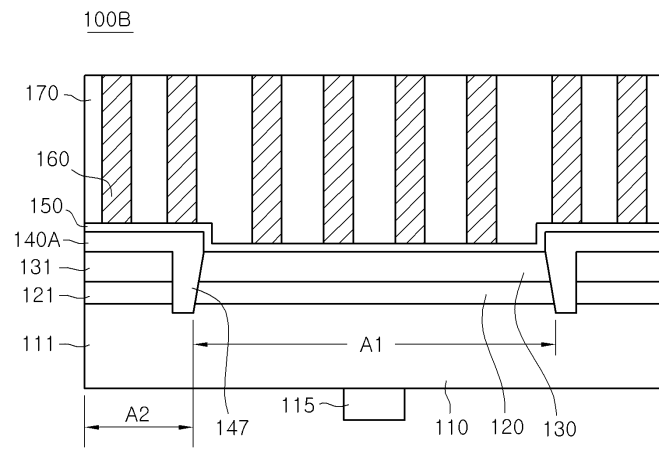
도면15



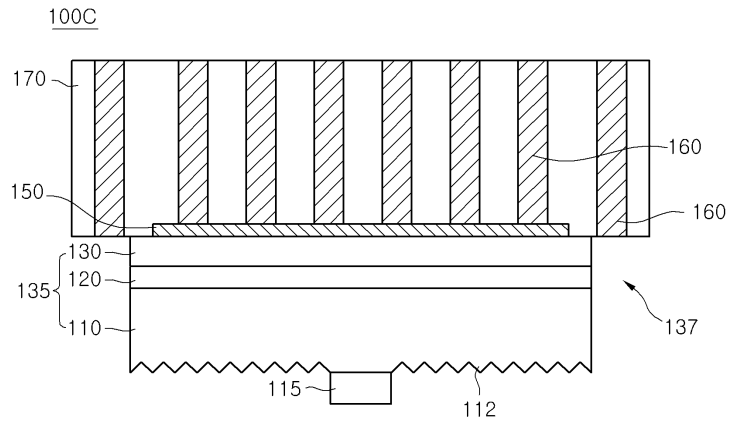
도면16



도면17



도면18



도면19

