

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6381963号  
(P6381963)

(45) 発行日 平成30年8月29日(2018.8.29)

(24) 登録日 平成30年8月10日(2018.8.10)

(51) Int.Cl. F I  
HO2M 3/155 (2006.01) HO2M 3/155 C

請求項の数 4 (全 17 頁)

<p>(21) 出願番号 特願2014-97854 (P2014-97854)                  (22) 出願日 平成26年5月9日(2014.5.9)                  (65) 公開番号 特開2015-216763 (P2015-216763A)                  (43) 公開日 平成27年12月3日(2015.12.3)                  審査請求日 平成29年3月31日(2017.3.31)</p>	<p>(73) 特許権者 000191238                  新日本無線株式会社                  東京都中央区日本橋横山町3番10号                  (74) 代理人 100099818                  弁理士 安孫子 勉                  (72) 発明者 三添 公義                  埼玉県ふじみ野市福岡二丁目1番1号 新                  日本無線株式会社川越製作所内                    審査官 麻生 哲朗</p>
---	---

最終頁に続く

(54) 【発明の名称】 スイッチング電源回路

(57) 【特許請求の範囲】

【請求項1】

電源とグラウンドとの間に、前記電源側からインダクタ、メインスイッチング素子、及び、第1の電流検出用抵抗器が順に直列接続され、前記インダクタと前記メインスイッチング素子との接続点に整流用ダイオードのアノードが接続され、前記整流用ダイオードのカソードとグラウンドとの間に出力用コンデンサが接続され、前記整流用ダイオードと出力用コンデンサの接続点に得られる出力電圧のフィードバックにより前記メインスイッチング素子の動作制御を行うメイン制御回路と、前記第1の電流検出用抵抗器の電圧に基づいて過電流検出を行い、その検出結果に応じて前記メイン制御回路の動作を制御して出力電流の制限動作を可能とした過電流検出回路とを具備してなるスイッチング電源回路において

10

前記過電流検出回路の入力段と前記第1の電流検出用抵抗器との間に、第2の電流検出用抵抗器を設ける一方、前記出力電圧の低下を検出する出力検出回路と、前記出力検出回路における検出結果により前記第2の電流検出用抵抗器にバイアス電流を供給する電流源とを設け、

前記メイン制御回路は、出力電圧のフィードバックを入力し基準電圧との比較を行い、その比較結果に応じた電圧を出力するエラーアンプを有し、前記エラーアンプの出力段は、前記出力検出回路の入力段に接続され、前記出力検出回路は、第1の閾値電圧と前記エラーアンプの出力電圧とを比較する出力検出用比較器を用いてなり、

前記過電流検出回路における出力電流の制限動作による出力電圧の低下が前記出力検出

20

回路により検出された際に、前記電流源に前記第 2 の電流検出用抵抗器へのバイアス電流の供給を行わしめ、前記過電流検出回路による出力電流の制限状態を変更可能にしてなることを特徴とするスイッチング電源回路。

【請求項 2】

前記インダクタをトランスに代え、前記電源とメインスイッチング素子の間に前記トランスの一次側が接続される一方、前記整流用ダイオードのアノードが前記トランスの二次側に接続されてなることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 3】

電源とグランドとの間に、前記電源側からインダクタ、メインスイッチング素子、及び、第 1 の電流検出用抵抗器が順に直列接続され、前記インダクタと前記メインスイッチング素子との接続点に整流用ダイオードのアノードが接続され、前記整流用ダイオードのカソードとグランドとの間に出力用コンデンサが接続され、前記整流用ダイオードと出力用コンデンサの接続点に得られる出力電圧のフィードバックにより前記メインスイッチング素子の動作制御を行うメイン制御回路と、前記第 1 の電流検出用抵抗器の電圧に基づいて過電流検出を行い、その検出結果に応じて前記メイン制御回路の動作を制御して出力電流の制限動作を可能とした過電流検出回路とを具備してなるスイッチング電源回路において、

前記メイン制御回路は、前記出力電圧のフィードバックを入力し基準電圧との比較を行い、その比較結果に応じた電圧を出力する一方、電流を出力する電流源を出力段に備えたエラーアンプを有してなり、

前記過電流検出回路の入力段と前記第 1 の電流検出用抵抗器との間に、第 2 の電流検出用抵抗器を設け、前記電流源と前記過電流検出回路の入力段との間に、単一方向性の導通素子を設け、前記過電流検出回路における出力電流の制限動作により前記エラーアンプの出力段と前記過電流検出回路の入力段との電位差が前記単一方向性の導通素子の閾値を超えた際に、前記第 2 の電流検出用抵抗器に前記電流源によるバイアス電流の供給を行わしめ、前記過電流検出回路による出力電流の制限状態を変更可能にしてなることを特徴とするスイッチング電源回路。

【請求項 4】

前記インダクタをトランスに代え、前記電源とメインスイッチング素子の間に前記トランスの一次側が接続される一方、前記整流用ダイオードのアノードが前記トランスの二次側に接続されてなることを特徴とする請求項 3 記載のスイッチング電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流保護機能を有するスイッチング電源回路に係り、特に、過電流保護機能の向上等を図ったものに関する。

【背景技術】

【0002】

この種の従来回路としては、例えば、フォワード式のスイッチング電源回路において、閾値の異なる 2 つの過電流判定回路を設けたもの等が種々提案されている（例えば、特許文献 1 等参照）。

図 8 には、上述の特許文献 1 に開示されたスイッチング電源回路が示されており、以下、同図を参照しつつ、この従来回路について説明する。

このスイッチング電源回路は、電流検出の閾値が異なる第 1 の過電流判定回路 28 A と第 2 の過電流判定回路 29 A とを有し、スイッチング素子として FET 2 A に流れる電流を、それぞれの閾値により判定して、過電流が検出されるレベルによって過電流保護時の保護動作を切り替えるよう構成されたものである。

【0003】

まず、第 1 の過電流判定回路 28 A は、第 1 の比較器 31 A と、スイッチ 33 A とを主たる構成要素として構成されたものとなっている。

10

20

30

40

50

かかる第1の過電流判定回路28Aは、FET2Aと直列接続された抵抗器3Aによって検出された電圧と、第1のしきい値電圧 $V_{th1}$ とを第1の比較器31Aにより比較し、その比較結果に応じてスイッチ33Aを開閉成するようになっている。

【0004】

一方、第2の過電流判定回路29Aは、第2の比較器35Aと、スイッチ37Aとを主たる構成要素として構成されたものとなっている。

かかる第2の過電流判定回路29Aは、FET2Aと直列接続された抵抗器3Aによって検出された電圧と、第2のしきい値電圧 $V_{th2}$  ( $V_{th2} > V_{th1}$ )とを第2の比較器35Aにより比較し、その比較結果に応じてスイッチ37Aを開閉成するようになっている。

10

【0005】

このスイッチング電源回路は、制御用IC5Aにソフトスタート端子CSを介して外部接続されたコンデンサ25Aと抵抗27Aとで設定されるソフトスタート機能を利用して、次述するように第1の過電流判定回路28Aと第2の過電流判定回路29Aによる過電流検出動作が制御されるよう構成されたものとなっている。

以下、図9に示されたタイミングチャートを参照しつつ、この回路の動作について説明する。

まず、第1の過電流判定回路28Aが電流検出した場合の動作について説明する。なお、以下に説明する動作時の波形は、図9に示された従来回路の主要部における信号波形例を示した波形図において、“過電流通常動作1”と表記された領域に示されている。

20

最初に、FET2Aがオン状態にある間、抵抗器3Aの両端に発生する電流検出信号の電圧レベルが、第1のしきい値電圧 $V_{th1}$ を上回ると、第1の比較器31Aは、論理値Highに相当する電圧を出力し、スイッチ33Aがオン状態とされる。その為、コンデンサ25Aが放電状態とされ、コンデンサ25Aの端子電圧 $V_{c25}$ は低下する。

【0006】

このコンデンサ25Aの端子電圧 $V_{c25}$ は、定電流源26Aからの充電電流と、スイッチ33Aがオン状態となったときの放電電流とが釣り合うまで低下してゆく(図9(B)及び図9(D)参照)。

一方、制御用IC5Aのコンパレータ23Aは、コンデンサ25Aの端子電圧 $V_{c25}$ が、ランプ波発生器24Aからのランプ電圧 $V_{ramp}$ よりも低くなるとFET2Aのゲートに対するパルス駆動信号の出力を停止する(図9(A)及び図9(D)参照)。

30

すなわち、パルス駆動信号のオン期間を制限することで、出力回路15Aからの出力電流を制限する過電流保護動作が行われることとなる。

【0007】

図9において、“ $I_{ds2}$ ”はFET2Aのドレイン・ソース間電流を、“ $I_{ce33}$ ”はスイッチ33Aを流れる電流を、“ $I_{ce37}$ ”はスイッチ37Aを流れる電流を、“ $V_{c25}$ ”はコンデンサ25Aの両端子間電圧を、“ $V_{ramp}$ ”はランプ波発生器24Aから出力されるランプ電圧を、それぞれを表している。

【0008】

また、特許文献1には、過電流保護が動作する付近の負荷電流が流れた場合に、良好な定電流垂下特性と安定した出力電圧 $V_{out}$ を得るには、スイッチ33Aとして、例えば、電流増幅率 $h_{fe}$ の低いNPN型トランジスタを用い、かつ、スイッチ33Aのベース電流を制限するための抵抗を設け、スイッチ33Aがオンしてコンデンサ25Aの端子電圧 $V_{c25}$ が急速に低下しないようにすると好適である旨開示されている。

40

【0009】

次に、第2の過電流判定回路29Aでは、例えば、急激な負荷短絡による大きな負荷電流が検出された場合にのみ、次述するようにスイッチ37Aが動作するようになっている。なお、以下に説明する動作時の波形は、図9の波形図において、同図中央付近に“過電流通常動作2(短絡)”と表記された領域に示されている。

まず、FET2Aがオン状態にある場合に、抵抗器3Aの両端に発生する電流検出信号

50

の電圧レベルが、第2のしきい値電圧 $V_{th2}$ を上回ると、第2の比較器35Aは、論理値Highに相当する電圧を出力し、スイッチ37Aがオン状態とされる(図9(A)及び図(C)参照)。その為、コンデンサ25Aがオン抵抗値の低いスイッチ37Aにより短絡され、コンデンサ25Aの端子電圧 $V_{c25}$ がランプ電圧 $V_{ramp}$ の最小値よりも低いレベルまで急速に低下せしめられる(図9(D)参照)。

抵抗器3Aにおいて、一度大きな短絡電流が検出されると、FET2Aのパルス駆動信号は長い間常にオフとされ、暫くは出力されない状態となる(図9(A)参照)。

【0010】

しかして、パルス駆動信号は、通常時のスイッチング周期よりも十分に長い周期で間欠的に出力されるようになり、出力回路15Aから負荷LDへの出力電流は抑制されて、電源回路内において、素子の耐圧を超えるようなサージ電流やサージ電圧が抑圧されることとなる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2011-19368号公報(第5-12頁、図1-図4)

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、上記従来回路においては、スイッチング素子(FET2A)に流れる電流で負荷短絡状態を検出して過電流検出の閾値を変更したように動作するように構成されたものであり、実際の出力電圧の低下状態を検出しているわけではない。

したがって、ある出力電圧まで低下した場合に、さらにスイッチング素子の閾値を変えてオン時間を短くすることでスイッチング素子の負担を軽減するという動作に対応することはできない。

【0013】

また、過電流判定の基準電圧のための電源を2つ必要とするため、回路の複雑化を招き、装置の高価格化を招くだけでなく、過電流検出のしきい値電圧の設定、変更が、抵抗を用いた場合に比して容易性に欠けるという問題がある。

【0014】

本発明は、上記実状に鑑みてなされたもので、簡易な構成で、出力電圧を監視しつつ、過電流保護動作のしきい値電圧の切り替えが容易なスイッチング電源回路を提供するものである。

【課題を解決するための手段】

【0015】

上記本発明の目的を達成するため、本発明の第1の形態におけるスイッチング電源回路は、

電源とグランドとの間に、前記電源側からインダクタ、メインスイッチング素子、及び、第1の電流検出用抵抗器が順に直列接続され、前記インダクタと前記メインスイッチング素子との接続点に整流用ダイオードのアノードが接続され、前記整流用ダイオードのカソードとグランドとの間に出力用コンデンサが接続され、前記整流用ダイオードと出力用コンデンサの接続点に得られる出力電圧のフィードバックにより前記メインスイッチング素子の動作制御を行うメイン制御回路と、前記第1の電流検出用抵抗器の電圧に基づいて過電流検出を行い、その検出結果に応じて前記メイン制御回路の動作を制御して出力電流の制限動作を可能とした過電流検出回路とを具備してなるスイッチング電源回路において、

前記過電流検出回路の入力段と前記第1の電流検出用抵抗器との間に、第2の電流検出用抵抗器を設ける一方、前記出力電圧の低下を検出する出力検出回路と、前記出力検出回路における検出結果により前記第2の電流検出用抵抗器にバイアス電流を供給する電流源とを設け、

10

20

30

40

50

前記メイン制御回路は、出力電圧のフィードバックを入力し基準電圧との比較を行い、その比較結果に応じた電圧を出力するエラーアンプを有し、前記エラーアンプの出力段は、前記出力検出回路の入力段に接続され、前記出力検出回路は、第1の閾値電圧と前記エラーアンプの出力電圧とを比較する出力検出用比較器を用いてなり、

前記過電流検出回路における出力電流の制限動作による出力電圧の低下が前記出力検出回路により検出された際に、前記電流源に前記第2の電流検出用抵抗器へのバイアス電流の供給を行わしめ、前記過電流検出回路による出力電流の制限状態を変更可能に構成されてなるものである。

また、上記本発明の目的を達成するため、本発明の第2の形態におけるスイッチング電源回路は、

前記メイン制御回路は、前記出力電圧のフィードバックを入力し基準電圧との比較を行い、その比較結果に応じた電圧を出力する一方、電流を出力する電流源を出力段に備えたエラーアンプを有してなり、

前記過電流検出回路の入力段と前記第1の電流検出用抵抗器との間に、第2の電流検出用抵抗器を設け、前記電流源と前記過電流検出回路の入力段との間に、単一方向性の導通素子を設け、前記過電流検出回路における出力電流の制限動作により前記エラーアンプの出力段と前記過電流検出回路の入力段との電位差が前記単一方向性の導通素子の閾値を超えた際に、前記第2の電流検出用抵抗器に前記電流源によるバイアス電流の供給を行わしめ、前記過電流検出回路による出力電流の制限状態を変更可能にしてものである。

【発明の効果】

【0016】

本発明の第1の形態によれば、出力電圧のフィードバックにより出力電圧の低下が検出された場合に、過電流検出のための抵抗器へ定電流を供給することにより、メインスイッチング素子の過電流の閾値を変更可能としたので、過電流保護動作時の出力電圧の低下の状態を見て、比較的簡易な回路構成で過電流保護の動作の切り替えを可能とすることができる。

また、本発明の第1の形態において、メイン制御回路に、フィードバックを入力し基準電圧との比較を行い、その比較結果に応じた電圧を出力するエラーアンプを設け、その出力を出力検出回路へ入力する構成を採ることで、電源の出力電圧低下を判断できるため、出力電圧を直接フィードバックできない電源構成、例えば、絶縁型スイッチング電源回路への適用が容易となる。

さらに、本発明の第2の形態によれば、エラーアンプでの判定結果を定電流出力する構成とすることで、ダイオードなどの単一方向性の導通素子が電圧検出と第2の電流検出用抵抗器への電流供給の機能を兼ねることができるため、単一方向性の導通素子と抵抗器のみで過電流保護の動作の切り替えができ、最小限の部品点数により実装ボードや集積回路における搭載面積の縮小が容易となるという効果を奏するものである。

【図面の簡単な説明】

【0017】

【図1】本発明の実施の形態におけるスイッチング電源回路の第1の実施例の基本回路構成例を示す構成図である。

【図2】本発明の実施の形態におけるスイッチング電源回路の第1の実施例の具体回路構成例を示す回路図である。

【図3】本発明の実施の形態におけるスイッチング電源回路の第2の実施例の回路構成を示す回路図である。

【図4】本発明の実施の形態におけるスイッチング電源回路の第3の実施例の回路構成を示す回路図である。

【図5】本発明の実施の形態におけるスイッチング電源回路の第4の実施例の回路構成を示す回路図である。

【図6】本発明の実施の形態におけるスイッチング電源回路の主要部の信号波形変化例を示すタイミングチャートである。

10

20

30

40

50

【図7】本発明の実施の形態におけるスイッチング電源回路の出力電圧変化に対する出力電流変化を示す特性線図である。

【図8】従来のスイッチング電源回路の回路構成例を示す回路図である。

【図9】図8に示された従来回路の主要部の信号波形変化例を示すタイミングチャートである。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について、図1乃至図7を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々変更することができるものである。

10

最初に、本発明の実施の形態におけるスイッチング電源回路の第1の実施例の基本回路構成例について、図1を参照しつつ説明する。

本発明の実施の形態におけるスイッチング電源回路は、メインスイッチング素子としてのパワートランジスタ(図1においては「MPW」と表記)1と、インダクタ(図1においては「L1」と表記)13と、整流用ダイオード(図1においては「SBD1」と表記)6と、出力コンデンサ(図1においては「COUT」と表記)15と、メイン制御回路(図1においては「M-CONT」と表記)201と、過電流検出回路(図1においては「I-DET」と表記)202と、出力検出回路(図1においては「V-DET」と表記)203と、電流源11と、第1の電流検出用抵抗器(図1においては「RSENSE」と表記)21と、第2の電流検出用抵抗器(図1においては「RS1」と表記)22とを主たる構成要素として構成されたものとなっている。

20

【0019】

以下、具体的な回路構成について説明する。

まず、本発明の実施の形態において、メインスイッチング素子としてのパワートランジスタ1には、NチャンネルパワーMOS FETが用いられており、そのドレインと電源印加端子31との間に、インダクタ13が直列接続されて設けられると共に、電源印加端子31とグランドとの間には、入力用コンデンサ(図1においては「CIN」と表記)16が直列接続されている。

【0020】

また、パワートランジスタ1のドレインとインダクタ13の接続点と出力端子32との間には、パワートランジスタ1のドレイン側がアノードとなるように整流用ダイオード6が直列接続されて設けられており、この整流用ダイオード6のカソードとグランドとの間に、出力コンデンサ15が直列接続されている。

30

一方、パワートランジスタ1のソースは、第1の電流検出用抵抗器21を介してグランドに接続されている。

【0021】

メイン制御回路201は、出力電圧VOUTのフィードバック電圧に応じてパワートランジスタ1の動作を制御するよう構成されてなるもので、その基本的な構成は、従来同様のものである。

過電流検出回路202は、パワートランジスタ1に流れる過電流を検出し、メイン制御回路201の動作を制御することで、パワートランジスタ1に流れる電流を制限可能に構成されてなるものである。

40

【0022】

この過電流検出回路202の入力段には、第2の電流検出用抵抗器22の一端が接続される一方、その他端は、パワートランジスタ1のソースと第1の電流検出用抵抗器21との接続点に接続されており、第2の電流検出用抵抗器22を介して第1の電流検出用抵抗器21に発生する電圧が検出されるようになっている。

【0023】

さらに、出力検出回路203は、出力電圧VOUTの出力状態を検出し、電流源11は、出力検出回路203の検出結果により出力電流が制御可能に構成されたものとなっている

50

。電流源 1 1 は、第 2 の電流検出用抵抗器 2 2 と過電流検出回路 2 0 2 の入力段との相互の接続点に接続されて、第 2 の電流検出用抵抗器 2 2 への電流供給ができるようになっている。

なお、電流源 1 1 は、定電圧 VREG が印加されて電流出力動作が可能となっている。

#### 【 0 0 2 4 】

かかる構成において、過電流検出回路 2 0 2 と第 1 の電流検出用抵抗器 2 1 との間に第 2 の電流検出用抵抗器 2 2 が設けられ、出力検出回路 2 0 3 によって出力電流が制御される電流源 1 1 から第 2 の電流検出用抵抗器 2 2 に電流が流入せしめられるよう構成された部分は、従来回路とは異なる構成部分である。

このような構成を採ることによる具体的な回路動作について、図 2 に示された具体回路構成例を参照しつつ説明する。

#### 【 0 0 2 5 】

なお、図 1 に示された構成要素と同一の構成要素については、その詳細な説明を省略し、以下、異なる点を中心に説明する。

まず、図 2 に示された具体回路例においては、メイン制御回路 2 0 1、過電流検出回路 2 0 2、出力検出回路 2 0 3、及び、電流源 1 1 が制御 IC として集積回路化されたものとなっている。

この図 2 に示された具体回路例において、メイン制御回路 2 0 1 は、エラーアンプ 5 1 と、PWM 変換部（図 2 においては「PWM - CONV」）5 2 と、ドライバ（図 2 においては「DRV」と表記）5 3 とを有して構成されたものとなっている。

#### 【 0 0 2 6 】

エラーアンプ 5 1 は、例えば、演算増幅器（図 1 においては「AMP」と表記）5 を用いて構成されており、その非反転入力端子には第 1 の閾値電圧 VREF が印加されるようになっている一方、反転入力端子には、次述するように、出力電圧 VOUT の分圧電圧がフィードバック電圧として印加されるようになっている。

#### 【 0 0 2 7 】

すなわち、出力端子 3 2 とグランドとの間には、出力端子 3 2 側から第 1 及び第 2 の抵抗器（図 2 においては、それぞれ「R1」、「R2」と表記）2 3, 2 4 が順に直列接続されて設けられている。そして、第 1 及び第 2 の抵抗器 2 3, 2 4 の相互の接続点が、制御用 IC のフィードバック電圧入力端子 1 0 3 を介してエラーアンプ 5 1 の反転入力端子に接続されて、出力電圧 VOUT の分圧電圧である第 2 の抵抗器 2 4 における電圧がフィードバック電圧として、エラーアンプ 5 1 の反転入力端子へ印加されるようになっている。

#### 【 0 0 2 8 】

なお、出力端子 3 2 と第 1 及び第 2 の抵抗器 2 3, 2 4 の相互の接続点との間には、第 1 のコンデンサ（図 1 においては「C1」と表記）1 7 が接続される一方、先のフィードバック電圧入力端子 1 0 3 と、エラーアンプ 5 1 の出力端子が接続される外部素子接続用端子 1 0 4 との間には、フィードバック電圧入力端子 1 0 3 側からフィードバック抵抗器（図 2 においては「RFB」と表記）1 5、フィードバックコンデンサ（図 2 においては「CFB」と表記）1 8 が順に直列接続されて設けられている。これら第 1 のコンデンサ 1 7、フィードバック抵抗器 1 5、及び、フィードバックコンデンサ 1 8 は、昇圧電圧を安定動作せしめるための位相補償として作用するものとなっている。

#### 【 0 0 2 9 】

エラーアンプ 5 1 の出力端子は、PWM 変換部 5 2 の入力段に接続されると共に、出力検出回路 2 0 3 の入力段にも接続されている。

PWM 変換部 5 2 は、エラーアンプ 5 1 の出力電圧と三角波電圧とを比較し、その比較結果に応じた PWM 信号を生成、出力するよう構成されてなるものである。

ドライバ 5 3 は、PWM 変換部 5 2 で生成された PWM 信号と、過電流検出回路 2 0 2 からの出力信号とに基づいて、パワートランジスタ 1 のオン・オフを制御するゲート信号を、外部素子接続用端子 1 0 1 を介してパワートランジスタ 1 のゲートへ出力するよう構

10

20

30

40

50

成されたものとなっている（詳細は後述）。

【 0 0 3 0 】

出力検出回路 2 0 3 は、第 2 の比較器（図 2 においては「COMP 2」と表記）4 を用いて構成されており、その非反転入力端子に、先のエラーアンプ 5 1 の出力端子が接続される一方、反転入力端子には、所定の出力検出用閾値電圧 VVD が印加されるようになっている。

そして、第 2 の比較器 4 の出力信号は、電流源 1 1 の出力制御に供されるようになっている。

【 0 0 3 1 】

過電流検出回路 2 0 2 は、第 1 の比較器（図 2 においては「COMP 1」と表記）3 を用いて構成されており、その非反転入力端子には、外部素子接続用端子 1 0 2 を介して、先に図 1 で説明したと同様に、第 2 の電流検出用抵抗器 2 2 の一端が接続されると共に、電流源 1 1 が接続されている。

また、第 1 の比較器 3 の反転入力端子には、所定の過電流検出用閾値電圧 VCD が印加されるようになっている。そして、第 1 の比較器 3 の出力信号は、後述するようにドライバ 5 3 の動作制御に供されるようになっている。

【 0 0 3 2 】

次に、上記構成における動作について、図 6 に示されたタイミングチャートを参照しつつ説明する。

まず PWM 変換部 5 2 においては、エラーアンプ 5 1 の出力電圧と、PWM 変換部 5 2 において生成された PWM 変換用三角波電圧との比較がなされる（図 6（B）参照）。そして、過電流検出回路 2 0 2 において過電流が検出されない通常動作状態においては、PWM 変換用三角波電圧がエラーアンプ 5 1 の出力電圧を超えない区間は、論理値 High に相当する電圧レベルの信号が、PWM 変換用三角波電圧がエラーアンプ 5 1 の出力電圧を超えている区間は、論理値 Low に相当する電圧レベルの信号が、それぞれドライバ 5 3 を介して外部素子接続用端子 1 0 1 からパワートランジスタ 1 のゲートへ PWM 信号として出力される（図 6（B）及び図 6（C）参照）。

【 0 0 3 3 】

この通常動作状態で出力される PWM 信号は、式 1 で表されるデューティ比 D を有するものとなる。

【 0 0 3 4 】

$$D = (1 - V_{IN} / V_{OUT}) \cdots \text{式 1}$$

【 0 0 3 5 】

なお、ここで、V<sub>IN</sub>は、電源印加端子 3 1 に外部から印加される電源電圧、V<sub>OUT</sub>は出力端子 3 2 に得られる出力電圧である。

パワートランジスタ 1 において、ドレイン電流 I<sub>PW</sub>は、パワートランジスタ 1 がオン期間にある場合、インダクタ 1 3 の作用によってオンした瞬間から徐々に増えてゆき、オフする直前に電流値はその期間の最大のピークとなる（図 6（D）参照）。

【 0 0 3 6 】

このドレイン電流 I<sub>PW</sub>は、第 1 の電流検出用抵抗器 2 1 において電圧に変換されて、外部素子接続用端子 1 0 2 を介して過電流検出回路 2 0 2 へ入力される。

外部素子接続用端子 1 0 2 における電圧波形は、図 6（F）の”通常動作状態”の区間に示されたような変化となり、この波形は、上述のドレイン電流波形（図 6（D）参照）と相似したものとなっている。

なお、図 6（F）において、”過電流検出端子”は、外部素子接続用端子 1 0 2 を意味する。

ここで、通常動作状態において、外部素子接続用端子 1 0 2 を介して過電流検出回路 2 0 2 に入力された電圧 V<sub>SENSE</sub>は、下記する式 2 で表される大きさとなる。

【 0 0 3 7 】

$$V_{SENSE} = I_{PW} \times R_{SENSE} \cdots \text{式 2}$$

10

20

30

40

50

## 【 0 0 3 8 】

ここで、 $I_{PW}$ は、パワートランジスタ1のドレイン電流、 $R_{SENSE}$ は、第1の電流検出用抵抗器21の抵抗値とする。

また、この通常動作時において過電流検出回路202において過電流と判定される電流値 $I_{LIMH}$ は、下記する式3で表される大きさとなる。

## 【 0 0 3 9 】

$$I_{LIMH} = V_{CD} / R_{SENSE} \cdots \text{式 3}$$

## 【 0 0 4 0 】

ここで、 $V_{CD}$ は、第1の比較器3の反転入力端子に印加される過電流検出用閾値電圧である。

しかして、出力電流が増加してパワートランジスタ1のドレイン電流が増えてゆき、過電流検出回路202へ入力される電圧 $V_{SENSE}$ が、過電流検出用閾値電圧 $V_{CD}$ に達すると、過電流検出回路202の第1の比較器3は、論理値Lowから論理値High状態に移り、論理値Highに相当するレベルの電圧を出力する。その結果、ドライバ53の出力信号は、論理値Highから論理値Lowに変化し、パワートランジスタ1がオフ状態とされることとなる。

この動作状態は、図6において“A”で示された区間となる。

## 【 0 0 4 1 】

ドライバ53では、上述のように過電流検出がなされて、次の周期までパワートランジスタ1をオフ状態とする論理値Lowに相当するレベルの信号を出力するようラッチ状態となり、次の周期でPWM変換部52の論理値Highの出力信号によりパワートランジスタ1をオン状態とするパルス・バイ・パルスの動作がなされる機能を有している。

## 【 0 0 4 2 】

過電流検出がなされてパワートランジスタ1のオン時間が短くなると(図6の過電流検出状態”の区間参照)インダクタ13に蓄積されるエネルギーが制限され、その結果、出力の電力量も制限されることとなる。したがって、より負荷が重くなると、出力電流が制限されるため出力電圧が低下する。そして、外部素子接続用端子103を介してエラーアンプ51の反転入力端子に印加されているフィードバック電圧が、非反転入力端子の基準電圧 $V_{REF}$ よりも低下するとエラーアンプ51の出力電圧が上昇する(図6の過電流検出状態”の区間における図6(A)、及び、図6(B)参照)。

## 【 0 0 4 3 】

エラーアンプ51の出力電圧が上昇して、出力検出回路203の第2の比較器4の反転入力端子に設定された出力検出用閾値電圧 $V_{VD}$ を超えると、第2の比較器4の出力は、論理値Lowから論理値Highに変化する。この第2の比較器4の出力の論理値Highへの変化に対応して、電流源11から外部素子接続用端子102を介して第2の電流検出用抵抗器22へ電流 $I_{bias}$ が供給され(図6(E)参照)、第2の電流検出用抵抗器22において $I_{bias} \times R_{S1}$ の電圧が発生する。なお、 $R_{S1}$ は、第2の電流検出用抵抗器22の抵抗値である。

かかる状態において、過電流検出時のパワートランジスタ1のドレイン電流 $I_{LIML}$ は、下記する式4で表されるように、その値は出力電圧が低下する前より低くなり(式3参照)、以下に説明するように出力電流の制限状態が変更されることとなる。

## 【 0 0 4 4 】

$$I_{LIML} = (V_{CD} - I_{bias} \times R_{S1}) / R_{SENSE} \cdots \text{式 4}$$

## 【 0 0 4 5 】

この場合、図6(F)に示されるように、外部素子接続用端子102における電流は、 $I_{bias} \times R_{S1}$ の電圧分だけバイアスされた状態となる。

出力電圧が低下する直前に過電流検出がなされる状態にある図6のA区間と同じ程度の電流がパワートランジスタ1において流れようとする、パルス・バイ・パルス動作でパワートランジスタ1がオンした直後に過電流検出がなされて、パワートランジスタ1は直ぐにオフされる。この場合のパワートランジスタ1のドレイン電流波形は、図6において

10

20

30

40

50

、A期間後のオン時の波形のようになる。

【0046】

出力電圧が低下したときにパワートランジスタ1がオフする瞬間のドレイン電流は、図6のA期間のオフする瞬間のドレイン電流よりも小さくなる。

出力電流が減少するような負荷状態になると、図6のB期間のように、パワートランジスタ1がオンした直後にオフせずに、電圧低下時の検出電流 $I_{LIML}$ で電流を流すようになり、出力電圧は通常時の電圧まで戻る。そのため、エラーアンプ51の出力電圧は低下し、出力検出回路203の出力検出用閾値電圧 $V_{VD}$ 以下になると、第2の比較器4の出力は、論理値Highから論理値Lowのレベルに相当する電圧となり、電流源11からの電流供給が停止せしめられて、通常動作に戻ることとなる。

10

【0047】

次に、電流制限時における出力電圧と出力電流の静特性について変化について図7を参照しつつ説明する。

パワートランジスタ1のドレイン電流 $I_{LIMH}$ が検出された際の出力電流は $I_{OLIMH}$ で制限されて出力電圧が低下してゆく(図7参照)。その後、パワートランジスタ1の検出電流が $I_{LIML}$ に変更されると、出力電圧は垂下状に低下する。

負荷状態が軽くなると出力電圧が上昇するが、パワートランジスタ1の検出電流が $I_{LIML}$ に低下しているため、制限電流 $I_{OLIMH}$ より低い制限電流 $I_{OLIML}$ まで負荷状態が軽くなるとパワートランジスタ1の検出電流が $I_{LIMH}$ となっているときの通常動作状態の出力電圧に戻らないようになっている。

20

そのため、過電流時の出力電圧と出力電流の特性もヒステリシス特性を与えることができる。

【0048】

次に、本発明の実施の形態におけるスイッチング電源回路の第2の実施例の回路について、図3を参照しつつ説明する。

なお、図1、図2に示された構成要素と同一の構成要素については、その詳細な説明を省略し、以下、異なる点を中心に説明する。

この第2の実施例におけるスイッチング電源回路は、出力検出回路203Aの構成とその接続位置、及び、電流源11による第2の電流検出用抵抗器22への電流供給経路が以下説明するように第1の実施例と異なる構成となっており、他の回路構成部分は、基本的に第1の実施例と同様である。

30

【0049】

まず、出力検出回路203Aは、出力検出用抵抗器(図3においては「 $R_{CDH}$ 」と表記)26と出力検出用ダイオード(図3においては「 $D_{CLH}$ 」と表記)7とを有して構成されたものとなっている。

すなわち、出力検出用抵抗器26の一端は、外部素子接続用端子104に接続され、他端は出力検出用ダイオード7のアノードに接続されており、出力検出用ダイオード7のカソードは、外部素子接続用端子102に接続されている。

外部素子接続用端子102とグランドとの間には、フィルタ用コンデンサ(図3においては「 $C_{S1}$ 」と表記)19が直列接続されて設けられており、第2の電流検出用抵抗器22とフィルタを構成するようになっている。

40

【0050】

電流源11は、図2に示された第1の実施例においては、出力検出回路203によって動作制御されるようになっていたが、この第2の実施例においては、次述するように電流源出力エラーアンプ回路51Aによって動作制御されるようになっている。

すなわち、電流源出力エラーアンプ回路51Aは、演算増幅器5を用いて構成されており、この演算増幅器5は、差動入力増幅段と、NチャンネルMOS FET(以下、便宜上「NMOS」と称する)2と、電流源11とを有し、電流源11は出力段に設けられたものとなっている。

【0051】

50

演算増幅器 5 の入力段側の接続は、図 2 に示された第 1 の実施例と同一であるが、その内部の差動入力増幅段の出力端子は N M O S 2 のゲートに接続されている。そして、N M O S 2 のソースはグランドに接続される一方、ドレインには、電流源 1 1 が接続されると共に、その接続点は、電流源出力エラーアンプ回路 5 1 A の出力端子であり、外部素子接続用端子 1 0 4 及び P W M 変換部 5 2 の入力段に接続されたものとなっている。

【 0 0 5 2 】

次に、上記構成における動作について説明する。

過電流検出が開始されて出力電圧が低下するまでは、図 2 に示された回路と同様である。

過電流状態になり、出力電圧が低下して電流源出力エラーアンプ回路 5 1 A の出力端子電圧が上昇してゆくと、電流源出力エラーアンプ回路 5 1 A の出力端子と接続されている外部素子接続用端子 1 0 4 と外部素子接続用端子 1 0 2 の間の電位差が大きくなる。

この電位差が出力検出用ダイオード 7 の順方向電圧と出力検出用抵抗器 2 6 における電圧降下分 ( $I_{bias} \times R_{CDH}$ ) 以上になると、出力検出用ダイオード 7 が導通して、第 2 の電流検出用抵抗器 2 2 に電流源出力エラーアンプ回路 5 1 A の出力電流としてのバイアス電流  $I_{bias}$  が供給されることとなる。なお、上述の電圧降下分を表す文字式において、 $R_{CDH}$  は、出力検出用抵抗器 2 6 の抵抗値であるとする。

【 0 0 5 3 】

つまり、この第 2 の実施例においては、図 2 に示された出力検出回路 2 0 3 の出力検出用閾値電圧  $V_{VD}$  に相当する電圧が、出力検出用ダイオード 7 の順方向電圧と出力検出用抵抗器 2 6 における電圧降下分 ( $I_{bias} \times R_{CDH}$ ) であり、第 2 の比較器 4 の機能が出力検出用ダイオード 7 に置き換えられたものとなっている。

【 0 0 5 4 】

出力検出用ダイオード 7 が導通状態にある場合のパワートランジスタ 1 のドレイン電流の過電流検出動作は、図 2 に示された回路について、図 6 のタイミングチャートを参照しつつ説明したと同様であるので、ここでの再度の詳細な説明は省略する。

また、電流制限がかかった場合の出力電圧と出力電流の静特性も、図 2 に示された回路同様、図 7 に示されたようにヒステリシスを有する特性となる。

【 0 0 5 5 】

図 2 に示された第 1 の実施例の回路と図 3 に示された第 2 の実施例の回路の双方共に、出力電圧と出力電流の静特性がヒステリシスを有することによって、次述するような利点を生む。

まず、ヒステリシスが無い電流制限動作であると、出力電流が電流制限値付近で増加と減少の変化を繰り返すと、出力電圧が振動して発振しているかのような現象が生ずる。このとき、電流制限にヒステリシスがあると、一度、電流制限がかかると、より低い出力電流になるまで出力電圧は低下したままになるので、振動のような現象の発生が回避される。

それによって、出力に接続される負荷にあたる回路の異常動作が防止されることとなる。

【 0 0 5 6 】

また、図 2、図 3 にそれぞれ示された回路において、ヒステリシスの幅を設定している第 2 の電流検出用抵抗器 2 2 が、制御 IC の外部に設けられるため、抵抗の値を所望に応じて種々選択することができ、ヒステリシス幅の調整が容易である。

さらに、図 3 に示された回路においては、制御 IC として、過電流検出時に外部素子接続用端子 1 0 2 からの定電流出力の機能が無い構成のものを用いた場合、外部素子接続用端子 1 0 4 から定電流出力が得られれば、電流制限動作にヒステリシスを付加することが可能となる利点がある。

【 0 0 5 7 】

また、図 3 に示された回路のように外部素子接続用端子 1 0 2 にフィルタ用コンデンサ 1 9 と第 2 の電流検出用抵抗器 2 2 によるフィルタがすでに構成されている場合には、新

10

20

30

40

50

たに第2の電流検出用抵抗器22を接続する場所を確保する必要がなくなるという利点がある。なお、フィルタ用コンデンサ19と第2の電流検出用抵抗器22によるフィルタは、図2に示された回路にも適用可能である。

本発明の実施の形態においては、スイッチング電源回路として非絶縁昇圧DC-DCコンバータの例を説明したが、非絶縁降圧DC-DCコンバータやフライバックなどの抵抗の電圧降下で過電流検出を行う機能を有する他の構成のスイッチング電源回路においても同様に本発明を適用することができる。

【0058】

上述したいずれの実施例も、電源印加端子31とパワートランジスタ1との間に、インダクタ13を設けた構成であるが、インダクタ13に代えてトランスを用いても良く、図4及び図5には、その場合のフライバックの構成例が示されており、以下、同図を参照しつつ、トランスを用いた場合について説明する。

10

トランスを用いた場合、その回路構成によって非絶縁タイプと絶縁タイプとに大別することができ、図4には、非絶縁タイプにおける回路構成例が、図5には、絶縁タイプにおける回路構成例が、それぞれ示されている。

なお、図1乃至図3に示された構成要素と同一の構成要素については、同一符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明する。

【0059】

最初に、非絶縁タイプの例について、図4を参照しつつ説明する。

インダクタに代えてトランス41を用いた場合、トランス41の一次側にパワートランジスタ1が、二次側に、整流用ダイオード6や出力コンデンサ15等が配される構成となる。

20

すなわち、トランス41の一次側の巻始めは、電源印加端子31に接続される一方、一次側の他端がパワートランジスタ1のドレインに接続されたものとなっている。なお、図4においては、図示を省略してあるが、パワートランジスタ1のゲートは、図2に示された回路構成例同様、制御用ICに接続されたものとなっている。

【0060】

トランス41の二次側においては、その巻始めがグランドに接続される一方、他端は、整流用ダイオード6のアノードに接続され、整流用ダイオード6のカソードとグランドとの間に、出力コンデンサ15が接続されている。

30

そして、整流用ダイオード6と出力コンデンサ15の相互の接続点に出力端子32が接続されており、整流用ダイオード6のカソード側は、図1乃至図3に示された構成例と基本的に同様の構成となっている。

【0061】

出力端子32とグランドとの間には、第1及び第2の抵抗器23, 24が直列接続されて、その相互の接続点は、図4においては図示が省略されているが、図2に示された回路構成例同様、制御用ICのフィードバック電圧入力端子103に接続されたものとなっている。

また、第1及び第2の抵抗器23, 24の相互の接続点と、出力端子32との間に、位相補償用のコンデンサ(図4においては「C2」と表記)42及び抵抗器(図4においては「R3」と表記)43直列接続されて設けられている。

40

なお、図4において図示を省略した他の回路構成は、図2又は図3のいずれの構成でも良い。

かかる構成における動作は、基本的に、図2、図3で説明した動作と同一であるので、ここでの再度の詳細な説明は省略する。

【0062】

次に、絶縁タイプの例について、図5を参照しつつ説明する。

なお、図4に示された構成要素と同一の構成要素については、同一の符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明する。

トランス41の一次側は、図4に示された回路構成例と同様であり、二次側においては

50

、巻始めと反対側の端部が整流用ダイオード 6 のアノードに接続され、整流用ダイオード 6 のカソードとグランドとの間に、出力コンデンサ 1 5 が接続されている。

そして、整流用ダイオード 6 と出力コンデンサ 1 5 の相互の接続点に出力端子 3 2 a が接続されたものとなっている。

【 0 0 6 3 】

また、トランス 4 1 の二次側の巻始めには、副出力端子 3 2 b が接続され、出力端子 3 2 a と副出力端子 3 2 b との間に、第 1 及び第 2 の抵抗器 2 3 , 2 4 が直列接続されている。

なお、この回路構成例では、フィードバック電圧をフォトカプラを用いてフィードバックする構成が採られたものとなっている。

すなわち、出力端子 3 2 a と副出力端子 3 2 b との間には、抵抗器 4 3 と、フォトカプラ用発光ダイオード（図 5 においては「 P C 1 」と表記） 4 5 と、シャントレギュレータ（図 5 においては「 I C 2 」と表記） 4 6 が直列接続されて設けられている。

【 0 0 6 4 】

フォトカプラ用発光ダイオード 4 5 は、そのアノードが抵抗器 4 3 に、カソードがシャントレギュレータ 4 6 のカソードに接続されており、シャントレギュレータ 4 6 のアノードは副出力端子 3 2 b に接続されたものとなっている。さらに、シャントレギュレータ 4 6 の基準入力端子は、第 1 及び第 2 の抵抗器 2 3 , 2 4 の相互の接続点に接続されている。

また、フォトカプラ用発光ダイオード 4 5 には、抵抗器（図 5 においては「 R 4 」と表記） 4 4 が並列接続されている。

【 0 0 6 5 】

またさらに、フォトカプラ用発光ダイオード 4 5 のカソードと、第 1 及び第 2 の抵抗器 2 3 , 2 4 の相互の接続点との間には、フォトカプラ用発光ダイオード 4 5 側からコンデンサ（図 5 においては「 C N F 」と表記） 4 7 と抵抗器（図 5 においては「 R N F 」と表記） 4 8 が直列接続されて設けられている。

【 0 0 6 6 】

なお、フォトカプラ用発光ダイオード 4 5 の発光信号を受信するため、図示は省略してあるが、この種のフォトカップ回路と基本的に同様に、フォトカプラ用受光トランジスタが設けられ、その出力信号を制御用 I C のフィードバック電圧入力端子 1 0 3 （図 2 参照）へ入力するような構成とすることで、基本的には、図 2 示された回路構成と同様に、フィードバック電圧を制御用 I C へ入力することができるものとなっている。かかる構成部分は、従来から良く知られた回路であり、本発明の本質部分に関係するものではないので、ここでの詳細な説明は省略する。

【 0 0 6 7 】

この図 5 に示された回路構成例における動作も、基本的には、図 4 に示された回路構成例同様、図 2、図 3 で説明した動作と同一であるので、ここでの再度の詳細な説明は省略する。

【 産業上の利用可能性 】

【 0 0 6 8 】

簡易な構成で、出力電圧を監視しつつ、過電流保護動作のしきい値電圧の切り替えが所望されるスイッチング電源回路に適用できる。

【 符号の説明 】

【 0 0 6 9 】

- 1 ... パワートランジスタ
- 6 ... 整流用ダイオード
- 1 1 ... 電流源
- 1 3 ... インダクタ
- 2 0 1 ... メイン制御回路
- 2 0 2 ... 過電流検出回路

10

20

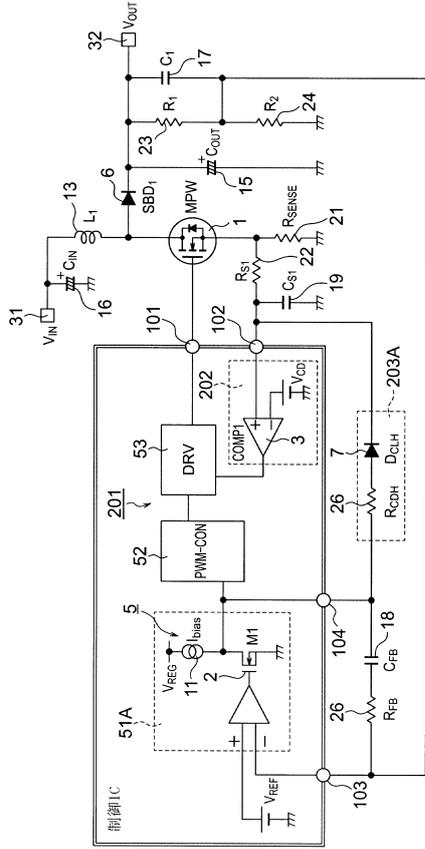
30

40

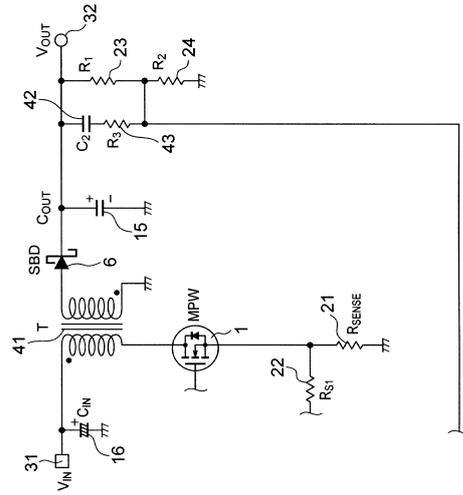
50



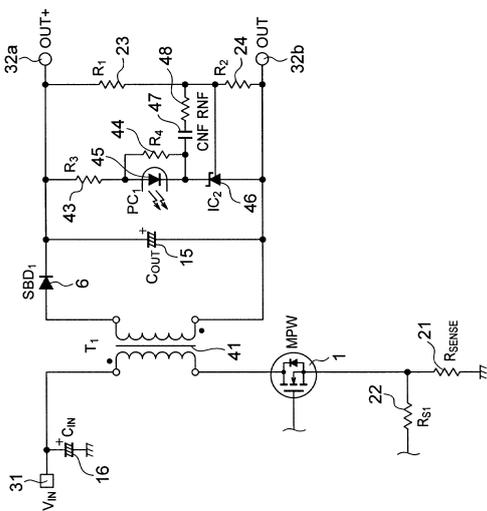
【図3】



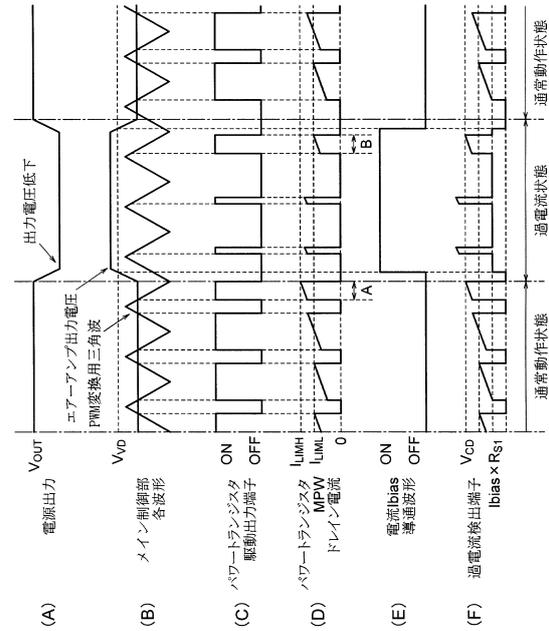
【図4】



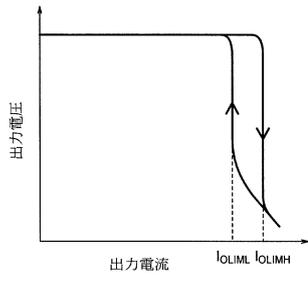
【図5】



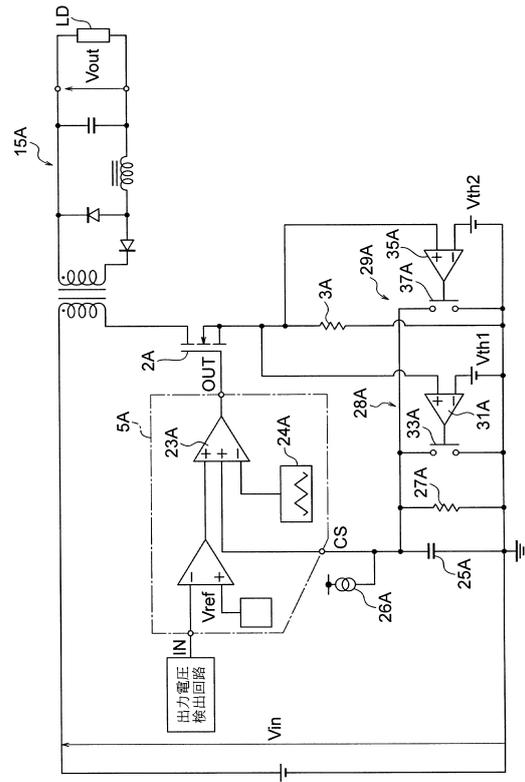
【図6】



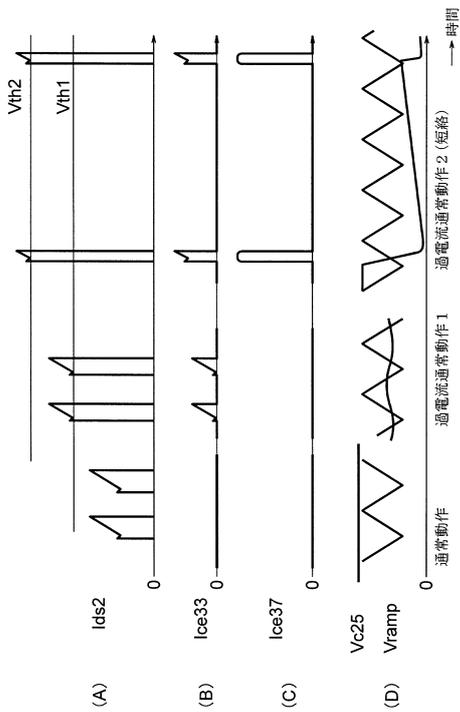
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(56)参考文献 特開2003-299351(JP,A)  
特開2010-288378(JP,A)  
特開2011-139597(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/155