



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0105242
(43) 공개일자 2008년12월04일

(51) Int. Cl.

H01L 23/48 (2006.01) H01L 23/12 (2006.01)

H01L 21/60 (2006.01)

(21) 출원번호 10-2007-0052543

(22) 출원일자 2007년05월30일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박명순

서울 영등포구 당산동5가 40번지 성원아파트 101동 1902호

김남석

경기 용인시 기흥구 서천동 SK아파트 107동 1303호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 8 항

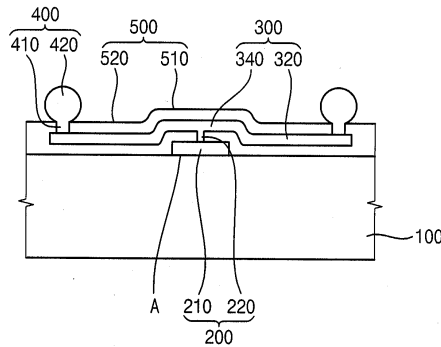
(54) 칩 스케일 반도체 패키지

(57) 요약

단차진 재배열 배선을 갖는 반도체 패키지가 개시된다. 반도체 칩이 고정된 기판의 상부 및 상기 반도체 칩의 상부를 따라 연속적으로 배치되며, 상기 반도체 칩의 상부에 위치하는 제1 영역과 상기 기판의 상부에 위치하는 제2 영역 사이에 배선 단차가 형성된다. 상기 재배열 배선은 상기 접속패드와 전기적으로 연결된다. 상기 재배열 배선과 전기적으로 연결되는 연결부 및 상기 연결부와 접속되어 외부 신호원과 상기 반도체 칩을 전기적으로 연결하는 단자부를 구비하는 솔더 볼 및 상기 기판 상에 배치되어 상기 반도체 칩과 상기 재배열 배선을 전기적으로 절연시키는 절연층이 배치된다. 평탄화 층의 두께만큼 반도체 패키지의 높이를 감소시킬 수 있다.

대표도 - 도2

900



(72) 발명자
정현수
경기 화성시 반월동 868번지 신영통 현대아파트
211동

이인영
경기 용인시 수지구 신봉동 효성아파트 402동 180
1호

특허청구의 범위

청구항 1

집적회로 및 상기 집적회로와 전기적 신호를 교환하기 위한 접속패드를 구비하는 반도체 칩이 고정된 기관;

상기 기관의 상부 및 상기 반도체 칩의 상부를 따라 연속적으로 배치되어, 상기 반도체 칩의 상부에 위치하는 제1 영역과 상기 기관의 상부에 위치하는 제2 영역 사이에 배선 단차를 갖고 상기 접속패드와 전기적으로 연결되는 재배열 배선(re-direction line);

상기 재배열 배선과 전기적으로 연결되는 연결부 및 상기 연결부와 접속되어 외부 신호원과 상기 반도체 칩을 전기적으로 연결하는 단자부를 구비하는 솔더 볼; 및

상기 기관 상에 배치되어 상기 반도체 칩과 상기 재배열 배선을 전기적으로 절연시키는 절연층을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 2

제1항에 있어서, 상기 제1 영역은 상기 반도체 칩의 접속 패드와 전기적으로 접속되는 제1 패드를 포함하고 상기 제2 영역은 상기 솔더 볼과 전기적으로 접속되는 제2 패드를 포함하며, 상기 제1 패드는 상기 반도체 칩의 상면과 평행하고 상기 제2 패드는 상기 기관의 상면과 평행하게 배치되어 상기 제1 패드 및 제2 패드 사이에 상기 반도체 칩의 두께에 대응하는 배선 단차가 형성된 것을 특징으로 하는 반도체 패키지.

청구항 3

제2항에 있어서, 상기 배선 단차가 형성된 상기 제1 패드 및 제2 패드의 경계부에 위치하는 상기 절연층과 상기 기관의 사이에는 난반사를 방지하기 위한 반사 방지층(anti-reflection layer)을 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 4

제1항에 있어서, 상기 절연층의 상부에 상기 반도체 칩 및 상기 재배열 배선을 외부환경으로부터 보호하기 위한 캡핑층을 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 5

제1항에 있어서, 상기 기관은 상기 제2영역을 노출하는 관통 개구를 더 포함하며, 상기 솔더 볼의 연결부는 상기 관통 개구를 매립하고 상기 단자부는 상기 기관의 하면에 배치되는 것을 특징으로 하는 반도체 패키지.

청구항 6

제5항에 있어서, 상기 반도체 칩의 상부에 적층된 적어도 하나의 추가 칩, 상기 추가 칩과 상기 재배열 배선을 전기적으로 연결하기 위한 추가 배선라인, 및 상기 추가 배선라인과 전기적으로 접속되는 상기 재배열 라인의 제3 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 7

제6항에 있어서, 상기 추가 칩 및 상기 추가 배선라인을 덮기에 충분한 두께를 갖는 캡핑층을 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 8

제1항에 있어서, 상기 재배열 배선은 전기 전도성이 우수한 구리(Cu), 니켈(Ni), 금(Au), 은(Ag), 알루미늄(Al), 텅스텐(W) 및 이들의 조합으로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 반도체 패키지에 관한 것으로서, 보다 상세하게는 반도체 칩과 기판을 연결하는 배선에 단차를 형성하여 높이를 감소시킨 반도체 패키지에 관한 것이다.
- <15> 반도체 소자(semiconductor device)는 실리콘 웨이퍼와 같은 반도체 기판 상에 집적회로를 갖는 칩을 제조하기 위한 칩(chip) 제조 공정, 상기 칩을 전기적으로 검사하여 소팅(sorting)하기 위한 EDS(electrically die sorting) 공정 및 상기 칩을 보호하기 위한 패키지 공정에 의하여 제조된다.
- <16> 상기 패키지 공정은 개별적으로 절단된 칩을 최종적인 반도체 소자 완제품으로 형성하기 위한 공정으로서, 최근의 경박 단소형 디지털 기기에 대한 수요를 충족하기 위해 칩 스케일 패키지(chip scale package, CSP) 및 다수의 칩이 적층된 다층 칩 패키지(multi-stacked chip package, MCP) 등이 널리 이용되고 있다. 웨이퍼와 같은 실리콘 기판 상에 형성되는 반도체 칩은 외부 충격, 수분 및 산소에 의하여 쉽게 손상되므로 패키지 공정에 의해 형성된 외측 패키지에 의해 보호됨으로서 충격이나 수분 및 산소로부터 보호된다.
- <17> 특히, 최근의 패키지 공정은 메모리 소자의 고속 동작을 보장하기 위해 칩과 인쇄회로기판 사이의 거리가 짧고 접점의 수도 증가시킬 수 있는 볼 그리드 어레이(Ball Grid Array, BGA) 방식이 많은 분야에서 채택되고 있다. 상기 BGA 방식을 이용하는 패키지 공정에서는 반도체 칩의 접속패드와 외부 신호원을 다수의 솔더 볼(Solder ball)을 이용하여 접속하고 있다. 이때, 상기 솔더 볼의 제품규격(Specification)은 세계 반도체 표준화 협회(Joint Electron Device Engineering Council, JEDEC)의 규정에 의해 전 세계적으로 통일화 되어, 다양한 제조사의 메모리 제품들 상호간의 호환성을 보장하고 있다.
- <18> 그러나, 노광공정 기술의 발달로 디자인 룰이 축소됨에 따라 제조되는 칩이 상기 JEDEC에서 규정한 솔더 볼의 제품규격보다 작아지는 문제점이 발생한다. 이를 보상하기 위해 칩을 기판 위에 붙이고 기판과 칩과의 평탄화를 위해 매립층을 형성하여 외부 확장형 CSP(fan-out CSP)를 제작하는 기법이 알려져 있다.
- <19> 도 1은 종래의 외부 확장형 CSP를 나타내는 단면도이다.
- <20> 도 1을 참조하면, 종래의 외부 확장형 CSP(90)는 기판(10)의 상부면에 접속 패드를 구비하는 칩(12)을 고정하고 상기 칩의 상부면과 동일한 평면에 상부면을 갖는 매립막(20)을 구비한다. 상기 CSP(90)의 재배열 배선(re-distribution wiring, 40)은 상기 칩(12)의 접속 패드 상부면과 동일한 평면 상에 위치하여 전기적으로 접속한다. 따라서, 상기 재배열 배선(40)과 상기 칩(12)은 상기 접속패드의 높이만큼 이격되어 평행하게 위치한다. 상기 재배열 배선(40)을 커버할 수 있는 충분한 두께를 갖는 절연막(30)이 상기 매립막(20) 및 상기 재배열 배선(40)의 상부에 형성되고, 상기 재배열 배선(40)은 상기 절연막(30)의 일부에 형성된 개구를 통하여 부분적으로 노출된다. 도전성 물질을 구비하는 솔더 볼(50)이 상기 절연막(30)에 형성된 개구를 매립하도록 형성되어 상기 재배열 배선과 전기적으로 연결된다. 즉, 상기 재배열 배선(40)이 상기 칩(12)과 전기적으로 접속하는 입출력 패드와 상기 솔더 볼(50)과 전기적으로 연결되는 솔더 패드는 동일 평면에 위치한다. 따라서, 상기 외부 확장형 CSP(90)의 칩(12)은 상기 접속 패드, 상기 재배열 배선(40) 및 상기 솔더 볼(50)을 통하여 외부와 전기적으로 연결된다.
- <21> 그러나, 이와 같은 종래의 외부 확장형 CSP(90)는 상기 입출력 패드와 솔더 패드가 동일 평면상에 배치되어야 하므로, 상기 매립층(20)을 증착하고 평탄화 하기 위한 공정을 추가적으로 진행해야 한다. 따라서, 상기 매립층(20)의 증착 및 평탄화 공정으로 인하여 전체 공정효율이 저하되고 상기 매립층(20)의 두께(t)만큼 전체 확장형 CSP(90)의 높이를 증가시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <22> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 단차진 재배열 배선을 구비하여 높이를 감소시킨 반도체 패키지를 제공하는 것이다.

발명의 구성 및 작용

- <23> 상기 본 발명의 목적을 달성하기 위한 반도체 패키지는 집적회로 및 상기 집적회로와 전기적 신호를 교환하기 위한 접속패드를 구비하는 반도체 칩이 고정된 기판, 상기 기판의 상부 및 상기 반도체 칩의 상부를 따라 연속적으로 배치되어, 상기 반도체 칩의 상부에 위치하는 제1 영역과 상기 기판의 상부에 위치하는 제2 영역 사이에

배선 단차를 갖고 상기 접속패드와 전기적으로 연결되는 재배열 배선(re-direction line), 상기 재배열 배선과 전기적으로 연결되는 연결부 및 상기 연결부와 접속되어 외부 신호원과 상기 반도체 칩을 전기적으로 연결하는 단자부를 구비하는 솔더 볼, 및 상기 기판 상에 배치되어 상기 반도체 칩과 상기 재배열 배선을 전기적으로 절연시키는 절연층을 포함한다.

- <24> 일실시예로서, 상기 제1 영역은 상기 반도체 칩의 접속 패드와 전기적으로 접속되는 제1 패드를 포함하고 상기 제2 영역은 상기 솔더 볼과 전기적으로 접속되는 제2 패드를 포함하며, 상기 제1 패드는 상기 반도체 칩의 상면과 평행하고 상기 제2 패드는 상기 기판의 상면과 평행하게 배치되어 상기 제1 패드 및 제2 패드 사이에 상기 반도체 칩의 두께에 대응하는 배선 단차가 형성된다. 이때, 상기 배선 단차가 형성된 상기 제1 패드 및 제2 패드의 경계부에 위치하는 상기 절연층과 상기 기판의 사이에는 난반사를 방지하기 위한 반사 방지층(anti-reflection layer)을 더 배치된다.
- <25> 일실시예로서, 상기 절연층의 상부에 상기 반도체 칩 및 상기 재배열 배선을 외부환경으로부터 보호하기 위한 캡핑층을 더 포함할 수 있다.
- <26> 일실시예로서, 상기 기판은 상기 제2영역을 노출하는 관통 개구를 더 포함하며, 상기 솔더 볼의 연결부는 상기 관통 개구를 매립하고 상기 단자부는 상기 기판의 하면에 배치된다. 이때, 상기 반도체 칩의 상부에 적층된 적어도 하나의 추가 칩, 상기 추가 칩과 상기 재배열 배선을 전기적으로 연결하기 위한 추가 배선라인, 및 상기 추가 배선라인과 전기적으로 접속되는 상기 재배열 라인의 제3 패드를 더 포함할 수 있다. 상기 추가 칩 및 상기 추가 배선라인을 덮기에 충분한 두께를 갖는 캡핑층이 더 배치된다. 이때, 상기 재배열 배선은 전기 전도성이 우수한 구리(Cu), 니켈(Ni), 금(Au), 은(Ag), 알루미늄(Al), 텅스텐(W) 및 이들의 조합으로 이루어진 그룹으로부터 선택된 어느 하나를 포함한다.
- <27> 본 발명에 의하면, 기판과 반도체 칩의 재배선 라인 사이에 배치되는 평탄화 층을 제거함으로써, 상기 평탄화 층에 대응하는 두께만큼 반도체 패키지의 높이를 감소시킬 수 있다.
- <28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 따른 반도체 패키지 및 이의 제조방법에 대하여 상세히 설명한다.
- <29> 도 2는 본 발명의 바람직한 실시예에 따른 반도체 패키지를 나타내는 개략적인 단면도이다.
- <30> 도 2를 참조하면, 본 발명의 실시예에 의한 반도체 패키지(900)는 집적회로가 형성된 반도체 칩(200)이 고정되는 기판(100), 상기 반도체 칩(200) 및 외부 신호원을 전기적으로 연결하는 재배열 배선(re-distribution line (wiring), 300), 상기 재배열 배선과 전기적으로 연결되어 외부 신호원과 상기 반도체 칩(200)을 전기적으로 연결하는 솔더 볼(400) 및 상기 반도체 칩(200), 상기 재배열 배선(300) 및 상기 솔더 볼(400)을 전기적으로 절연시키는 절연층(500)을 구비한다.
- <31> 상기 기판(100)은 상기 반도체 칩(200)을 고정하고 상기 칩(200)과 전기적 신호를 교환하는 배선구조물을 형성하기 위한 기반을 제공한다. 일실시예로서, 상기 기판(100)은 실리콘(Si), 갈륨비소(GaAs), 게르마늄(Ge), 스테인레스 스틸(Stainless Steel), 철/니켈 계열의 합금 등으로 형성될 수 있으며, 바람직하게는 인쇄 회로기판(printing circuit board, PCB) 또는 유리(glass) 기판을 포함하며 패키지 두께의 사양에 따라 약 100 μ m 내지 약 1,000 μ m의 두께 범위에서 형성될 수 있다.
- <32> 상기 반도체 칩(200)은 집적회로가 위치하는 칩 본체(210)와 상기 집적회로와 전기적 신호를 교환하기 위한 접속패드(220)를 포함한다. 상기 칩 본체(210)의 내부에는 반도체 제조공정을 통하여 형성된 집적회로가 형성되어 전기적 신호를 처리하며, 상기 접속패드(220)는 상기 집적회로의 주변영역에 형성되어 상기 집적회로로 전기적 신호를 공급하거나 상기 집적회로를 통하여 가공된 전기신호를 외부로 전송한다. 일실시예로서, 상기 반도체 칩(200)은 접착부재(A)를 통하여 상기 기판(100)의 표면에 고착된다. 상기 접착부재(A)로서 리드 온 칩(lead-on-chip, LOC)테이프와 같은 드라이 타입의 필름이나 액상의 페이스트를 포함한다.
- <33> 상기 재배열 배선(300)은 전기 전도도가 우수한 금속물질을 포함하며, 상기 반도체 칩(200)의 접속패드(220)와 전기적으로 접속하는 제1 패드(320) 및 상기 솔더 볼(500)과 전기적으로 접속하는 제2 패드(340)을 포함한다. 상기 재배열 배선(300)은 상기 반도체 칩(200)의 상면 및 상기 기판(100)의 상면과 동일한 간격만큼 이격되어 배치되며, 상기 반도체 칩(200)과 상기 기판(100)과의 사이에는 상기 절연층(500)이 위치하여 상기 반도체 칩(200) 및 상기 기판(100)과 전기적으로 절연된다. 일실시예로서, 상기 재배열 배선(300)은 전기 전도성이 우수한 구리(Cu), 니켈(Ni), 금(Au), 은(Ag), 알루미늄(Al) 및 텅스텐(W) 등으로 형성되며 약 1 μ m 내지 약 80 μ m의

두께를 갖는다.

- <34> 상기 재배열 배선(300)은 상기 반도체 칩(200)과 전기적으로 연결되는 제1 패드(320)를 중심으로 상기 반도체 칩(200)의 양 측단을 따라 외측방향으로 연장되어 위치한다. 즉, 상기 재배열 배선(300)은 중앙부에 위치하는 제1 패드(320)와 상기 제1 패드(320)의 양 측단에 배치되는 제2 패드(340)를 갖는다. 따라서, 상기 반도체 패키지(900)는 외부 확장형 재배열 배선(fan-out re-redirectation line)을 구비하여 외부 확장형 CSP(fan-out chip scale package)를 형성한다.
- <35> 이때, 상기 반도체 칩(200)의 상면과 상기 기판(100)의 상면은 상기 반도체 칩(200)의 두께만큼 단차(이하 칩 단차)가 형성되어 있으므로 상기 제1 패드(320)와 상기 제2 패드(340) 역시 상기 칩 단차와 동일한 크기의 단차(이하, 배선단차)가 형성된다. 즉, 상기 제1 패드(320)의 상면은 상기 기판(100)의 상면으로부터 상기 제2 패드(340)의 상면보다 상기 배선 단차에 대응하는 높이만큼 높게 위치한다.
- <36> 상기 제2 패드(340)의 상부에는 도전성 물질로 형성되는 솔더 볼(400)이 배치되어 외부 신호원과 상기 재배열 배선(300)이 전기적으로 연결된다. 일실시예로서, 상기 솔더 볼(400)은 상기 제2 패드(340)와의 전기적 접속을 매개하는 연결부(410)와 상기 연결부(410)의 상부에 구형으로 형성된 단자부(420)를 포함한다. 상기 연결부(410)는 상기 제2패드(340)를 노출하는 상기 절연층(500)의 개구를 매립하도록 배치되며, 상기 단자부(420)는 상기 연결부(410)의 상부에 일체로 형성된다. 상기 재배열 배선(300)의 상면으로부터 약 20 μ m 내지 약 700 μ m의 두께를 갖고, 상기 도전성물질은 주석(Sn), 은(Ag), 구리(Cu), 니켈(Ni), 납(Pb), 인듐(In), 비스무트(Bi) 및 이들의 화합물 중의 어느 하나를 포함한다.
- <37> 상기 절연층(500)은 상기 제2 패드(340)를 노출하는 개구(미도시)를 포함하고 상기 솔더 볼(400)은 상기 개구를 통하여 상기 재배열 배선(300)과 전기적으로 접속된다. 일실시예로서, 상기 절연층은 에폭시 수지(epoxy resin), 실리콘 러버(silicon rubber) 또는 비씨비(barrier coated board, BCB) 등으로 형성될 수 있다.
- <38> 이때, 상기 절연층(500)의 상면은 상기 배선단차를 반영하여 상기 반도체 칩(200) 및 상기 제1 패드(320)의 상부는 상기 반도체 칩의 주변부 및 상기 제2패드(340)의 상부와 비교하여 돌출된다. 즉, 상기 반도체 칩(200)의 주변부에 위치하는 제2면(520)은 상부에 위치하는 제1면(520)에 비하여 상기 배선단차만큼 낮게 위치한다. 따라서, 상기 제2면에 형성된 개구를 통하여 노출된 상기 제2 패드(340)와 접촉하는 솔더 볼(400)은 상기 배선단차만큼 낮게 배치된다. 이에 따라, 상기 반도체 패키지(900)의 전체적인 높이를 상기 배선단차만큼 낮게 형성할 수 있는 장점이 있다.
- <39> 바람직하게는, 상기 반도체 칩(200)과 상기 절연층(500) 사이에 반사 방지층(anti-reflection layer, 미도시)을 형성하여 노광공정시 반도체 칩(200)과 기판(100)의 단차에 의해 발생하는 난반사를 방지할 수 있으며, 상기 제1면(510)과 상기 제2면(520) 사이의 에지부에 인가되는 응력을 완화하기 위해 V-커브 방식을 적용하여 상기 제1면(510)과 제2면(520) 사이의 경계부의 급격한 형상변화를 방지한다. 이에 따라, 상기 배선단차에 의해 상기 절연층(500)에 인가되는 잔류응력을 최소화 할 수 있다.
- <40> 도 3은 도 2에 도시된 반도체 패키지의 변형 실시예를 나타내는 단면도이다. 도 3에 도시된 반도체 패키지는 기판을 관통하는 비아 홀 및 상기 비아 홀을 매립하는 콘택 플러그를 솔더 볼의 연결부로 이용하여 상기 솔더 볼을 상기 기판의 하부에 배치하는 것을 제외하고는 도 2에 도시된 반도체 패키지와 동일하다. 따라서, 도 2에 도시된 반도체 패키지와 동일한 구성요소에 대해서는 동일한 참조부호를 사용하여 설명한다.
- <41> 도 3을 참조하면, 상기 절연층(500)은 상기 재배선 라인(300)의 제2 패드(340)에 대응하는 기판(100)을 노출할 수 있는 개구(530)를 포함하고, 상기 개구(530)에 대응하는 상기 기판(100)은 관통되어 비아 홀(110)이 위치한다. 이때, 상기 제2 패드(340)는 상기 개구(530)를 매립하도록 하방으로 돌출하여 돌출부(342)를 형성한다. 상기 비아 홀(110)은 도전성 물질로 매립되어 콘택 플러그가 위치하며, 상기 콘택 플러그는 상기 솔더 볼(400)의 변형 연결부(410a)로 기능한다. 따라서, 상기 변형 연결부(410a)와 접속하는 상기 단자부(420)는 상기 기판(100)의 하면에 배치된다. 상기 연결부(410a)와 상기 돌출부(342)가 전기적으로 접속하여 상기 반도체 칩(200)과 상기 솔더 볼(400)은 전기적으로 연결된다.
- <42> 도 4a는 도 3에 도시된 반도체 패키지의 제1 변형 실시예를 나타내는 단면도이다. 도 4a에 도시된 반도체 패키지는 도 3에 도시된 반도체 패키지와 비교하여 상기 재배선 라인의 상부에 절연층을 대신하여 캠핑층을 형성한 것을 제외하고는 동일하다. 따라서, 도 3에 도시된 반도체 패키지와 동일한 구성요소에 대해서는 동일한 참조부호를 이용하여 설명한다.
- <43> 도 4a를 참조하면, 상기 솔더 볼(400)이 상기 기판(100)의 하면에 배치되므로 상기 재배선 라인(300)의 상부에

절연층이 형성될 필요는 없다. 따라서, 상기 절연층을 대신하여 캡핑층(600)이 배치된다. 상기 캡핑층(600)은 외부환경으로부터 상기 재배선 라인(300) 및 절연층(500)을 보호함으로써 반도체 패키지의 제품 안정성을 향상할 수 있다. 일실시예로서, 상기 캡핑층(600)은 절연성이 우수한 질화물로 형성하며, 바람직하게는 실리콘 질화물로 형성한다.

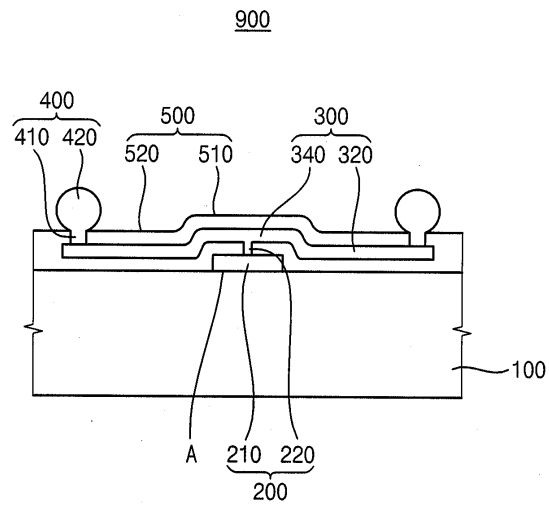
- <44> 도 4b는 도 3에 도시된 반도체 패키지의 제2 변형 실시예를 나타내는 단면도이다. 도 4b는 도 3에 도시된 반도체 패키지의 절연층 상부에 추가 반도체 칩을 장착한 멀티 칩 패키지(multi-chip package, MCP) 구조를 개시한다. 따라서, 상기 추가 반도체 칩과 상기 추가 칩을 전기적으로 연결하기 위한 배선 구조물 및 상기 멀티 칩을 외부환경으로부터 보호하기 위한 캡핑층을 제외하면 도 3에 도시된 반도체 패키지와 동일하다. 따라서, 도 3에 도시된 반도체 패키지와 동일한 구성요소에 대해서는 동일한 참조부호를 이용하여 설명한다.
- <45> 도 4b를 참조하면, 상기 절연층(500)의 제1면(510) 상에 상기 추가 반도체 칩(700)이 배치된다. 상기 추가 반도체 칩(700)은 상기 반도체 칩(200)과 동일하게 집적회로를 구비하는 칩 본체와 외부와 전기신호를 교환하기 위한 접속패드(미도시)를 구비한다. 이때, 상기 추가 반도체 칩(700)은 상기 반도체 칩(200)과 동일하게 접속부재를 이용하여 상기 절연층의 제1 면(510)의 상면에 접촉된다. 따라서, 상기 반도체 칩(200) 및 상기 추가 반도체 칩(700)은 서로 수직방향으로 적층되는 구조를 갖는다.
- <46> 상기 절연층(500)은 상기 배선 단차부와 인접하는 제2면(520)에 상기 재배선 라인(300)의 일부를 노출하는 추가 개구(560)를 더 포함한다. 상기 추가 개구(560)의 내부는 도전성 물질로 매립되어 상기 재배선 라인(300)과 일체로 연결된다. 따라서, 상기 재배선 라인(300)은 상기 추가 개구(560)의 내부로 돌출하는 제3 패드(360)를 더 포함한다.
- <47> 상기 추가 반도체 칩(700)의 접속패드는 추가 재배선 라인(750)에 의해 상기 제3 패드(360)와 전기적으로 연결된다. 일실시예로서, 상기 제3 패드(360)는 상기 반도체 칩(200) 및 이와 수직하게 적층된 추가 반도체 칩(700)을 중심으로 외측방향으로 대칭적으로 배치됨으로써 상기 추가 재배선 라인(750) 역시 상기 추가 반도체 칩(700)의 외측방향으로 연장되어 배치된다. 따라서, 외부 확장형 멀티 칩 패키지(fan-out MCP)가 완성된다.
- <48> 상기 추가 반도체 칩(700)은 상기 추가 재배선 라인(750), 상기 재배선 라인(300) 및 상기 변형 연결부(410a)를 통하여 상기 단차부(420)와 전기적으로 연결된다. 따라서, 상기 외부 확장형 멀티 칩 패키지도 상기 솔더 볼(400)을 통하여 외부와 전기적 신호를 교환할 수 있다.
- <49> 상기 추가 반도체 칩(700) 및 상기 절연층(300)의 상부에 외부 환경으로부터 상기 추가 반도체 칩(700) 및 상기 추가 재배선 라인(750)을 보호하고 상기 MCP의 제품안정성을 향상하기 위한 캡핑층(800)이 위치한다. 일실시예로서, 상기 캡핑층(600)은 절연성이 우수한 질화물로 형성하며, 바람직하게는 실리콘 질화물로 형성한다.
- <50> 본 실시예에서는 상기 추가 반도체 칩(700)이 단수개로 부착되는 것을 개시하고 있지만, 다수개 배치될 수도 있음은 자명하다. 이때, 본 실시예의 경우와 같이 절연층을 사이에 두고 대응하는 반도체 칩이 적층될 수도 있지만, 반도체 칩의 상부면에 직접 추가 반도체 칩이 적층될 수도 있음은 자명하다.
- <51> 본 발명의 일실시예에 의하면, 상기 반도체 칩을 포함하는 기판의 상면 프로파일을 따라 형성된 상기 재배선 라인은 평탄화 층이 없더라도 평탄한 상면을 갖도록 형성된다. 따라서, 상기 반도체 칩의 접속패드와 연결되는 상기 재배선 라인의 제1 패드 및 상기 솔더 볼과 연결되는 재배선 라인의 제2 패드는 상기 반도체 칩의 두께에 대응하는 단차를 갖는다. 따라서, 상기 솔더 볼이 배치되는 상기 재배선 라인의 위치를 상기 배선 단차에 대응하는 위치만큼 낮게 배치함으로써 전체적으로 상기 반도체 패키지의 높이를 낮출 수 있다.

발명의 효과

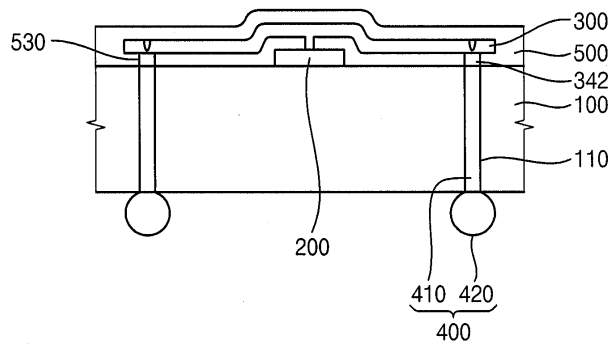
- <52> 상술한 바와 같은 본 발명의 바람직한 실시예에 의하면, 기판과 반도체 칩의 재배선 라인 사이에 배치되는 평탄화 층을 제거함으로써, 상기 평탄화 층에 대응하는 두께만큼 반도체 패키지의 높이를 감소시킬 수 있다. 이에 따라, 경박단소화 하는 최근의 반도체 응용제품의 시장수요에 신속하게 대응할 수 있는 장점이 있다.
- <53> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

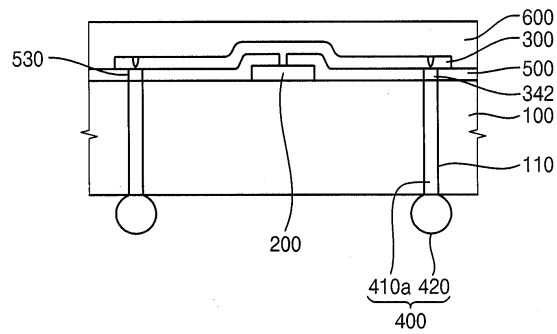
도면2



도면3



도면4a



도면4b

