

(21) 申請案號：100123431

(22) 申請日：中華民國 100 (2011) 年 07 月 01 日

(51) Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(71) 申請人：力成科技股份有限公司 (中華民國) POWERTECH TECHNOLOGY INC. (TW)

新竹縣湖口鄉新竹工業區大同路 26 號

(72) 發明人：陳彥儒 CHEN, YEN JU (TW)

(74) 代理人：許慶祥

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 27 頁

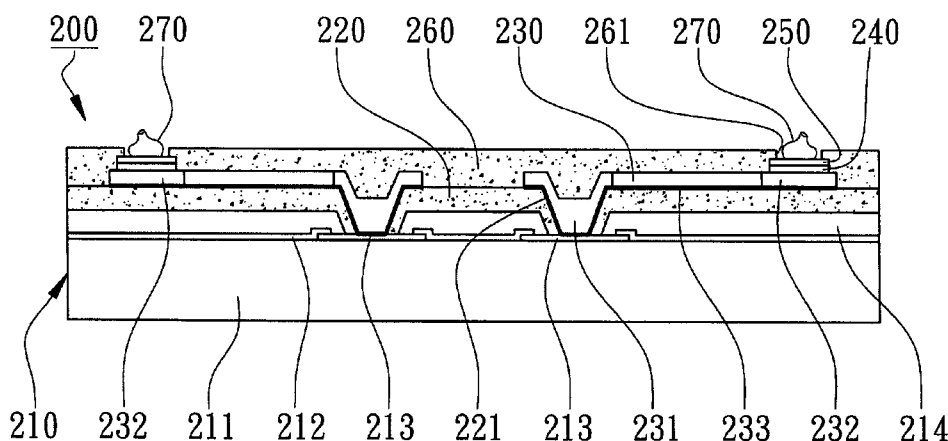
(54) 名稱

晶圓級晶片尺寸封裝之打線連接結構及其製程

WAFER LEVEL CHIP SCALE PACKAGE WITH WIRE-BONDING CONNECTION AND ITS FABRICATING PROCESS

(57) 摘要

主要揭示一種晶圓級晶片尺寸封裝之打線連接結構。一第一封裝層係形成晶片之保護層上。一重配置線路層係形成於第一封裝層上。複數個打線承墊係設於重配置線路層之線路端上，每一打線承墊係具有一上表面以及一側面。一表面鍍層係完整覆蓋該些打線承墊之上表面。一第二封裝層係形成於第一封裝層上，並覆蓋重配置線路層與打線承墊之側面，並且第二封裝層對準於打線承墊之開口係小於對應打線承墊之上表面，以局部顯露該表面鍍層。藉此，解決習知打線在薄化晶片時造成晶片破裂之問題。



200：晶圓級晶片尺寸封裝之打線連接結構

210：晶片

211：半導體基層

212：保護層

213：錫墊

214：增厚保護層

220：第一封裝層

221：第一開口

230：重配置線路層

231：第一線路端

232：第二線路端

233：凸塊下金屬層

240：打線承墊

250：表面鍍層

260：第二封裝層

261：第二開口



# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100/23431

※ 申請日： 100. 2. 1

※IPC 分類： H01L 23/488 2006.01

一、發明名稱：(中文/英文)

H01L 23/60 2006.01

晶圓級晶片尺寸封裝之打線連接結構及其製程

WAFER LEVEL CHIP SCALE PACKAGE WITH WIRE-BONDING CONNECTION AND  
ITS FABRICATING PROCESS

二、中文發明摘要：

主要揭示一種晶圓級晶片尺寸封裝之打線連接結構。一第一封裝層係形成晶片之保護層上。一重配置線路層係形成於第一封裝層上。複數個打線承墊係設於重配置線路層之線路端上，每一打線承墊係具有一上表面以及一側面。一表面鍍層係完整覆蓋該些打線承墊之上表面。一第二封裝層係形成於第一封裝層上，並覆蓋重配置線路層與打線承墊之側面，並且第二封裝層對準於打線承墊之開口係小於對應打線承墊之上表面，以局部顯露該表面鍍層。藉此，解決習知打線在薄化晶片時造成晶片破裂之問題。

三、英文發明摘要：

Primarily disclosed is a wafer level chip scale package with wire-bonding connection. A first encapsulating layer is formed on a passivation layer of a chip. A RDL (redistribution layer) is formed on the first encapsulating layer. A plurality of wire-bonded pads are disposed on the wiring terminals of the RDL. Each wire-bonded pad has an upper surface and a side. A surface plated layer completely covers the upper surfaces of the wire-bonded pads. A second encapsulating layer is formed on the first encapsulating layer to cover the RDL and the sides of the wire-bonded pads. The

openings of the second encapsulating layer are smaller than the upper surfaces of the corresponding wire-bonded pads to partially expose the surface plated layer. Accordingly, it can solve conventional issue of chip crack when wire-bonding on thinned chip.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200 晶圓級晶片尺寸封裝之打線連接結構

210 晶片

211 半導體基層      212 保護層      213 鐳墊

214 增厚保護層

220 第一封裝層      221 第一開口

230 重配置線路層

231 第一線路端      232 第二線路端

233 凸塊下金屬層

240 打線承墊      250 表面鍍層

260 第二封裝層      261 第二開口

270 打線鐳點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

openings of the second encapsulating layer are smaller than the upper surfaces of the corresponding wire-bonded pads to partially expose the surface plated layer. Accordingly, it can solve conventional issue of chip crack when wire-bonding on thinned chip.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200 晶圓級晶片尺寸封裝之打線連接結構

210 晶片

211 半導體基層      212 保護層      213 鐳墊

214 增厚保護層

220 第一封裝層      221 第一開口

230 重配置線路層

231 第一線路端      232 第二線路端

233 凸塊下金屬層

240 打線承墊      250 表面鍍層

260 第二封裝層      261 第二開口

270 打線鐳點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於半導體裝置之封裝技術，特別係有關於一種晶圓級晶片尺寸封裝之打線連接結構。

### 【先前技術】

習知積體電路係製造於半導體晶片內，隨著製程精進，晶片內會容納有更多功能或更大容量的積體電路；同時，晶片的厚度也愈來愈薄，故傳統打線在晶片的動作將容易導致晶片之破裂，進而使積體電路受損。

此外，晶圓級晶片尺寸封裝(wafer level chip scale package, WLCSP)是目前一種發展迅速之半導體封裝技術，即在晶圓階段完成初步之封裝尺寸，不但可縮小封裝尺寸，亦可達到低成本之需求。晶圓級晶片尺寸封裝構造(WLCSP)中主要之關鍵元件為重配置線路層(RDL)、凸塊下金屬層(UBM)以及鐳球等。而晶圓級晶片尺寸封裝構造(WLCSP)對外的板連接的方式係為覆晶接合(Flip Chip bonding)。

第 1 圖揭示一種習知供覆晶接合之晶圓級晶片尺寸封裝構造 100，主要包含一晶片 110、一封裝層 120、一重配置線路層 130 以及複數個鐳球 170。該晶片 110 於形成有積體電路之主動面上係設有複數個鐳墊 113 並至少一保護層(passivation layer)112 覆蓋之。該重配置線路層 130 係形成於該保護層 112 上並具有複數個呈墊狀且遠離對應鐳墊 113 之線路端 132。該封裝層 120 係

形成於該保護層 112 上並覆蓋該重配置線路層 130，並具有顯露該些線路端 132 之開口。一凸塊下金屬層 133 係包含複數個承墊，其係對準該封裝層 120 之開口而連接該些線路端 132。該些錒球 170 係接合於該凸塊下金屬層 133 上，並以一例如底部填充膠之液態或半固化黏膠層 160 局部包覆該些錒球 170。習知該些錒球 170 之形成方法係先以電鍍、印刷或植球方式在該凸塊下金屬層 133 上形成凸塊，再以迴焊方式使其形成球狀，故該些線路端 132 不會承受過大上球應力。當該些錒球 170 簡單取代為打線錒點時，打線的接合壓力將容易造成該晶片 110 之破裂。特別是銅打線或是打上其它比金線更硬之錒線時，晶片破裂的問題將更加嚴重。

### 【發明內容】

有鑒於此，本發明之主要目的係在於提供一種晶圓級晶片尺寸封裝之打線連接結構，解決習知打線在薄化晶片時造成晶片破裂之問題。

本發明之次一目的係在於提供一種晶圓級晶片尺寸封裝之打線連接結構，以避免發生打線承墊之外露氧化與電遷移問題。

本發明的目的及解決其技術問題是採用以下技術方案來實現的。本發明揭示一種晶圓級晶片尺寸封裝之打線連接結構，包含一晶片、一第一封裝層、一重配置線路層、複數個打線承墊、一表面鍍層以及一第二封裝層。該晶片係具有一半導體基層、一保護層以及複數個錒

墊。該第一封裝層係形成該保護層上，該第一封裝層係具有複數個第一開口，以顯露該些鐳墊。該重配置線路層係形成於該第一封裝層上，該重配置線路層係具有複數個第一線路端，其係延伸至該些第一開口內，以連接該些鐳墊，該重配置線路層係另具有複數個第二線路端，其係連接對應之第一線路端並位於該第一封裝層上。該些打線承墊係設於該些第二線路端上，每一打線承墊係具有一上表面以及一側面。該表面鍍層係完整覆蓋該些打線承墊之該上表面。該第二封裝層係形成於該第一封裝層上，並覆蓋該重配置線路層與該些打線承墊之該側面，該第二封裝層具有複數個對準於該些打線承墊之第二開口，該些第二開口係小於對應打線承墊之該上表面，以局部顯露該表面鍍層。

本發明的目的及解決其技術問題還可採用以下技術措施進一步實現。

在前述的晶圓級晶片尺寸封裝之打線連接結構中，可另包含至少一打線鐳點，係設置於該表面鍍層上。

在前述的晶圓級晶片尺寸封裝之打線連接結構中，該打線鐳點係可為一鐳線之一端，該鐳線之另一端係可接合於一基板，而該晶片係設於該基板上。

在前述的晶圓級晶片尺寸封裝之打線連接結構中，該打線鐳點係可為一鐳線之一殘留部分而為凸塊狀

在前述的晶圓級晶片尺寸封裝之打線連接結構中，該些第二線路端係可大於該些打線承墊而具有一突出環。



在前述的晶圓級晶片尺寸封裝之打線連接結構中，該第二封裝層之厚度係可大於該重配置線路層之厚度、該些打線承墊之平均墊厚度與該表面鍍層之厚度之總和。

在前述的晶圓級晶片尺寸封裝之打線連接結構中，該第二封裝層之厚度係可大於該保護層之厚度，並且該第一封裝層之厚度係可大於該保護層之厚度。

在前述的晶圓級晶片尺寸封裝之打線連接結構中，該重配置線路層之底部係可設有一貼附於該第一封裝層之凸塊下金屬層。

由以上技術方案可以看出，本發明之晶圓級晶片尺寸封裝之打線連接結構，具有以下優點與功效：

- 一、可藉由額外設置在重配置線路層上的打線承墊並以兩層封裝層密封作為本發明其中之一技術手段，解決習知打線在薄化晶片時造成晶片破裂之問題。
- 二、可藉由兩層封裝層密封重配置線路層上的打線承墊以及上層封裝層之開口係小於打線承墊作為本發明其中之一技術手段，使得打線承墊無外露表面並且該表面鍍層只有局部顯露，以避免發生打線承墊之外露氧化與電遷移問題。

### 【實施方式】

以下將配合所附圖示詳細說明本發明之實施例，然應注意的是，該些圖示均為簡化之示意圖，僅以示意方法來說明本發明之基本架構或實施方法，故僅顯示與本案有關之元件與組合關係，圖中所顯示之元件並非以實際

實施之數目、形狀、尺寸做等比例繪製，某些尺寸比例與其他相關尺寸比例或已誇張或是簡化處理，以提供更清楚的描述。實際實施之數目、形狀及尺寸比例為一種選置性之設計，詳細之元件佈局可能更為複雜。

依據本發明之第一具體實施例，一種晶圓級晶片尺寸封裝之打線連接結構 200 舉例說明於第 2 圖之截面示意圖與第 3 圖之局部放大圖。該晶圓級晶片尺寸封裝之打線連接結構 200 係包含一晶片 210、一第一封裝層 220、一重配置線路層 230、複數個打線承墊 240、一表面鍍層 250 以及一第二封裝層 260。

如第 2 及 3 圖所示，該晶片 210 係具有一半導體基層 211、至少一保護層 212 以及複數個鐳墊 213。該晶片 210 之主動面係可形成有各式積體電路，並以該保護層 212 覆蓋之，該些鐳墊 213 係作為積體電路之對外接點。在本實施例中，該些鐳墊 213 係為中央鐳墊。此外，更具體地，該晶片 210 係另具有一厚度大於該保護層 212 之增厚保護層 214，係介設於該保護層 212 與該第一封裝層 220 之間，以提高保護層之總厚度。該保護層 212 與該增厚保護層 214 皆不完全覆蓋該些鐳墊 213。

該第一封裝層 220 係形成該保護層 212 上，該第一封裝層 220 係具有複數個第一開口 221，以顯露該些鐳墊 213。該第一封裝層 220 係為電絕緣性，例如聚亞醯胺 (polyimide)，通常該第一封裝層 220 之厚度係大於該保護層 212 之厚度，亦可大於該增厚保護層 214 之厚度。

該重配置線路層 230 係形成於該第一封裝層 220 上。該重配置線路層 230 係包含複數個在晶圓等級形成之線路，其材質可為銅或其它導電金屬。該重配置線路層 230 係具有複數個第一線路端 231，其係延伸至該些第一開口 221 內，以連接該些鐳墊 213，該重配置線路層 230 係另具有複數個第二線路端 232，其係連接對應之第一線路端 231 並位於該第一封裝層 220 上。該些第二線路端 232 係可為墊片狀，並遠離該些鐳墊 213，但經由該些第一線路端 231 電性連接至對應之該些鐳墊 213。在本實施例中，該些第二線路端 232 係為周邊配置，而位於該晶片 210 之主動面周邊。更具體地，該重配置線路層 230 之底部係可設有一貼附於該第一封裝層 220 之凸塊下金屬層 233，以作為電鍍形成該重配置線路層 230 之晶種層。該凸塊下金屬層 233 係可由積體電路製程之氣相沉積方法所形成，可為一薄金層或薄銅層。

該些打線承墊 240 係設於該些第二線路端 232 上，每一打線承墊 240 係具有一上表面 241 以及一側面 242。特別注意的是，該些打線承墊 240 不是該重配置線路層 230 之一部份，而是額外設置在該重配置線路層 230 上方的接墊，用以承受打線接合力。該些打線承墊 240 的材質應為剛性，例如銅，且該些打線承墊 240 之墊厚度較佳為大於該重配置線路層 230 之線路厚度。此外，該些打線承墊 240 不直接設置於該保護層 212 上，該些打線承墊 240 與該保護層 212 之間尚有該重配置線路層

230 之該些第二線路端 232 與該第一封裝層 220，可避免對該晶片 210 及其半導體基層 211 直接造成打線衝擊。較佳地，該些第二線路端 232 係可大於該些打線承墊 240 而具有一突出環，即超過該些打線承墊 240 之側面 242，使該些打線承墊 240 不完全覆蓋該些第二線路端 232，以有效承接該些打線承墊 240，並保留了該重配置線路層 230 與該第二封裝層 260 結合性較佳之優點(如第 3 圖所示)。

該表面鍍層 250 係完整覆蓋該些打線承墊 240 之該上表面 241，以防止該些打線承墊 240 之表面氧化並有助於打線接合。該表面鍍層 250 之材質可為鎳金或金，該表面鍍層 250 之厚度應小於該些打線承墊 240 之墊厚度。

該第二封裝層 260 係形成於該第一封裝層 220 上，並覆蓋該重配置線路層 230 與該些打線承墊 240 之該側面 242，該第二封裝層 260 具有複數個對準於該些打線承墊 240 之第二開口 261，該些第二開口 261 係小於對應打線承墊 240 之該上表面 241，以局部顯露該表面鍍層 250。該第二封裝層 260 之材質可與該第一封裝層 220 相同，例如聚亞醯胺(polyimide)。該第二封裝層 260 之厚度係可大於該重配置線路層 230 之厚度、該些打線承墊 240 之平均墊厚度與該表面鍍層 250 之厚度之總和。較佳地，該第二封裝層 260 之厚度係可大於該保護層 212 之厚度，並且該第一封裝層 220 之厚度係可大於該保護層 212 之厚度，以加強對該些打線承墊 240 之密封保護效

果。

因此，該些打線承墊 240 係被密封在該第一封裝層 220 與該第二封裝層 260 之間，並且無直接外露之表面，解決了習知打線在薄化晶片時造成晶片破裂之問題。並且，該些打線承墊 240 供打線區域係由該第二封裝層 260 之該些第二開口 261 所定義，該些打線承墊 240 之周邊與該第二封裝層 260 有一重疊區域，該表面鍍層 250 之周邊係被該第二封裝層 260 所覆蓋固定，該表面鍍層 250 不會有由該第二封裝層 260 往外剝離之邊緣，此結構可防止該些打線承墊 240 之金屬成份發生電遷移問題並可增加該重配置線路層 230 之線路佈局空間與縮小該些打線承墊 240 之墊間距。

此外，該晶圓級晶片尺寸封裝之打線連接結構 200 係可另包含至少一打線鐸點 270，係設置於該表面鍍層 250 上。該打線鐸點 270 係由打線形成之球接合端(ball bond)，而不是迴焊形成之鐸球。在本實施例中，該打線鐸點 270 係可為一鐸線之一殘留部分而為凸塊狀。

第 4A 至 4J 圖繪示該晶圓級晶片尺寸封裝之打線連接結構 200 之製造過程。首先，如第 4A 圖所示，提供該晶片 210，於該步驟中，該晶片 210 係未切割而形成於一晶圓內。該晶片 210 之該些鐸墊 213 係設置於該晶圓之主動面上並且該保護層 212 與該增厚保護層 214 係形成於該晶圓之主動面上。該晶圓係可經過晶背研磨，使該晶片 210 之厚度在 10 密耳(mil)以下，甚至於可到達 6

密耳(mil)左右。之後，如第 4B 圖所示，以印刷、旋塗等液態塗佈或膠帶黏貼方式形成該第一封裝層 220 於該保護層上，並以曝光顯影或是蝕刻方式形成該第一封裝層 220 之該些第一開口 221，以顯露該些鐳墊 213。之後，如第 4C 圖所示，以氣相沉積方法形成該凸塊下金屬層 233 於該第一封裝層 220 上，在此步驟中，該凸塊下金屬層 233 係完整覆蓋該第一封裝層 220。之後，如第 4D 圖所示，可利用印刷或乾膜黏貼方式形成一第一光阻層 410 於該凸塊下金屬層 233 上；並以曝光顯影方式使該第一光阻層 410 成為特定圖案的開孔，以圖案化露出該凸塊下金屬層 233 中預定形成該重配置線路層之區域。之後，如第 4E 圖所示，利用該凸塊下金屬層 233 作為晶種層，以電鍍方式在該第一光阻層 410 之特定圖案開孔內形成較大厚度之該重配置線路層 230，其係設置於位於該第一封裝層 220 上方之該凸塊下金屬層 233 上並具有預定之線路圖案，該重配置線路層 230 係具有上述之該些第一線路端 231 與該些第二線路端 232。接著，如第 4F 圖所示，在不移除該第一光阻層 410 之狀態下，形成一第二光阻層 420 於該第一光阻層 410 上；並以曝光顯影方式使該第二光阻層 420 成為特定圖案的開孔，以圖案化露出該些第二線路端 232 中預定形成該些打線承墊之區域。之後，如第 4G 圖所示，經由該重配置線路層 230 之電性連接至該凸塊下金屬層 233 而能共用該凸塊下金屬層 233 作為晶種層，繼續以電鍍方式形成該些

打線承墊 240 於該些第二線路端 232 上、以及形成該表面鍍層 250 於該些打線承墊 240 之該上表面 241。之後，如第 4H 圖所示，以去光阻方式同時移除該第二光阻層 420 與該第一光阻層 410，以露出該凸塊下金屬層 233、該重配置線路層 230、該些打線承墊 240 之側面 242 與該表面鍍層 250。之後，如第 4I 圖所示，以蝕刻方式移除該凸塊下金屬層 233 不被該重配置線路層 230 遮蓋之外露區域；在此步驟中，即使該凸塊下金屬層 233 之金屬材質與該重配置線路層 230 之金屬材質相同，例如銅，但該凸塊下金屬層 233 之厚度遠小於該重配置線路層 230 之厚度，在適當的蝕刻溫度、時間等參數控制下，可以移除該凸塊下金屬層 233 之外露區域而保留該重配置線路層 230 之大部分結構。之後，如同第一封裝層 220 之形成方法，形成該第二封裝層 260 於該第一封裝層 220 上，以覆蓋該重配置線路層 230 與該些打線承墊 240 之該側面 242，並且以曝光顯影或蝕刻方式使該第二封裝層 260 具有複數個對準於該些打線承墊 240 之第二開口 261，該些第二開口 261 係小於對應打線承墊 240 之該上表面 241，以局部顯露該表面鍍層 250。再如第 2 圖所示，打線形成之至少一打線鉸點 270 係可設置於該表面鍍層 250 上。因此，本發明之晶圓級晶片尺寸封裝製程能符合打線連接結構之高產品信賴性以及低製程成本。

依據本發明之第二具體實施例，另一種晶圓級晶片尺寸封裝之打線連接結構 300 舉例說明於第 5 圖之截面示

意圖。該晶圓級晶片尺寸封裝之打線連接結構 300 與第一具體實施例相同作用之元件將沿用相同圖號，並且相同之詳細作用與連接關係將不再贅述。該晶圓級晶片尺寸封裝之打線連接結構 300 係包含一晶片 210、一第一封裝層 220、一重配置線路層 230、複數個打線承墊 240、一表面鍍層 250 以及一第二封裝層 260。該第一封裝層 220 係形成該保護層 212 上，該第一封裝層 220 係具有複數個第一開口 221，以顯露該些鉚墊 213。該重配置線路層 230 係形成於該第一封裝層 220 上，該重配置線路層 230 係具有複數個第一線路端 231，其係延伸至該些第一開口 221 內，以連接該些鉚墊 213，該重配置線路層 230 係另具有複數個第二線路端 232，其係連接對應之第一線路端 231 並位於該第一封裝層 220 上。該些打線承墊 240 係設於該些第二線路端 232 上。該表面鍍層 250 係完整覆蓋該些打線承墊 240 之上表面。該第二封裝層 260 係形成於該第一封裝層 220 上，並覆蓋該重配置線路層 230 與該些打線承墊 240 之側面，該第二封裝層 260 具有複數個對準於該些打線承墊 240 之第二開口 261，該些第二開口 261 係小於對應打線承墊 240 之該上表面 241，以局部顯露該表面鍍層 250。

該晶圓級晶片尺寸封裝之打線連接結構 300 係可另包含至少一打線鉚點 270，係設置於該表面鍍層 250 上。在本實施例中，該打線鉚點 270 係可為一完整鉚線 371 之一端，該鉚線 371 之另一端係可接合於一基板 380 之



· 複數個接指 381，而該晶片 210 係可藉由一黏晶層 390 設於該基板 380 上。在本實施例中，該黏晶層 390 係黏接該晶片 210 之背面至該基板 380 之表面。該基板 380 係可為一印刷電路板。

以上所述，僅是本發明的較佳實施例而已，並非對本發明作任何形式上的限制，雖然本發明已以較佳實施例揭露如上，然而並非用以限定本發明，任何熟悉本項技術者，在不脫離本發明之技術範圍內，所作的任何簡單修改、等效性變化與修飾，均仍屬於本發明的技術範圍內。

### 【圖式簡單說明】

第 1 圖：習知晶圓級晶片尺寸封裝構造之截面示意圖。

第 2 圖：依據本發明之第一實施例，一種晶圓級晶片尺寸封裝之打線連接結構之截面示意圖。

第 3 圖：第 2 圖中晶圓級晶片尺寸封裝之打線連接結構之局部放大圖。

第 4A 至 4J 圖：依據本發明之第一實施例，該晶圓級晶片尺寸封裝之打線連接結構於製程中之截面示意圖。

第 5 圖：依據本發明之第二實施例，一種晶圓級晶片尺寸封裝之打線連接結構之截面示意圖。

### 【主要元件符號說明】

100 晶圓級晶片尺寸封裝構造

110 晶片

112 保護層

113 鐳墊

- 120 封裝層
- 130 重配置線路層
- 132 線路端
- 133 凸塊下金屬層
- 160 黏膠層
- 170 鐳球
- 200 晶圓級晶片尺寸封裝之打線連接結構
- 210 晶片
- 211 半導體基層
- 212 保護層
- 213 鐳墊
- 214 增厚保護層
- 220 第一封裝層
- 221 第一開口
- 230 重配置線路層
- 231 第一線路端
- 232 第二線路端
- 233 凸塊下金屬層
- 240 打線承墊
- 241 上表面
- 242 側面
- 250 表面鍍層
- 260 第二封裝層
- 261 第二開口
- 270 打線鐳點
- 300 晶圓級晶片尺寸封裝之打線連接結構
- 371 鐳線
- 380 基板
- 381 接指
- 390 黏晶層
- 410 第一光阻層
- 420 第二光阻層

七、申請專利範圍：

- 1、一種晶圓級晶片尺寸封裝之打線連接結構，包含：
  - 一晶片，係具有一半導體基層、一保護層以及複數個鉚墊；
  - 一第一封裝層，係形成於該保護層上，該第一封裝層係具有複數個第一開口，以顯露該些鉚墊；
  - 一重配置線路層，係形成於該第一封裝層上，該重配置線路層係具有複數個第一線路端，其係延伸至該些第一開口內，以連接該些鉚墊，該重配置線路層係另具有複數個第二線路端，其係連接對應之第一線路端並位於該第一封裝層上；
  - 複數個打線承墊，係設於該些第二線路端上，每一打線承墊係具有一上表面以及一側面；
  - 一表面鍍層，係完整覆蓋該些打線承墊之該上表面；以及
  - 一第二封裝層，係形成於該第一封裝層上，並覆蓋該重配置線路層與該些打線承墊之該側面，該第二封裝層具有複數個對準於該些打線承墊之第二開口，該些第二開口係小於對應打線承墊之該上表面，以局部顯露該表面鍍層。
- 2、根據申請專利範圍第 1 項之晶圓級晶片尺寸封裝之打線連接結構，另包含至少一打線鉚點，係設置於該表面鍍層上。
- 3、根據申請專利範圍第 2 項之晶圓級晶片尺寸封裝之

- 打線連接結構，其中該打線銲點係為一銲線之一端，該銲線之另一端係接合於一基板，而該晶片係設於該基板上。
- 4、根據申請專利範圍第 2 項之晶圓級晶片尺寸封裝之打線連接結構，其中該打線銲點係為一銲線之一殘留部分而為凸塊狀。
  - 5、根據申請專利範圍第 1、2、3 或 4 項之晶圓級晶片尺寸封裝之打線連接結構，其中該些第二線路端係大於該些打線承墊而具有一突出環。
  - 6、根據申請專利範圍第 1、2、3 或 4 項之晶圓級晶片尺寸封裝之打線連接結構，其中該第二封裝層之厚度係大於該重配置線路層之厚度、該些打線承墊之平均墊厚度與該表面鍍層之厚度之總和。
  - 7、根據申請專利範圍第 1、2、3 或 4 項之晶圓級晶片尺寸封裝之打線連接結構，其中該第二封裝層之厚度係大於該保護層之厚度，並且該第一封裝層之厚度係大於該保護層之厚度。
  - 8、根據申請專利範圍第 1、2、3 或 4 項之晶圓級晶片尺寸封裝之打線連接結構，其中該重配置線路層之底部係設有一貼附於該第一封裝層之凸塊下金屬層。
  - 9、一種晶圓級晶片尺寸封裝製程，包含以下步驟：  
提供一晶片，其係形成於一晶圓內，係具有一半導體基層、一保護層以及複數個銲墊；

形成一第一封裝層於該保護層上，並使該第一封裝層具有複數個第一開口，以顯露該些鐳墊；

形成一凸塊下金屬層於該第一封裝層上；

形成一圖案化第一光阻層於該凸塊下金屬層上；

以電鍍方式在該第一光阻層內形成一重配置線路層，其係設置於位於該第一封裝層上方之該凸塊下金屬層上，該凸塊下金屬層係具有複數個第一線路端與複數個第二線路端，該些第一線路端係延伸至該些第一開口內，以連接該些鐳墊，該些第二線路端係連接對應之第一線路端並位於該第一封裝層上；

在不移除該第一光阻層之狀態下，形成一圖案化第二光阻層於該第一光阻層上，以圖案化露出該些第二線路端；

以電鍍方式形成複數個打線承墊於該些第二線路端上以及形成一表面鍍層於該些打線承墊之上表面；

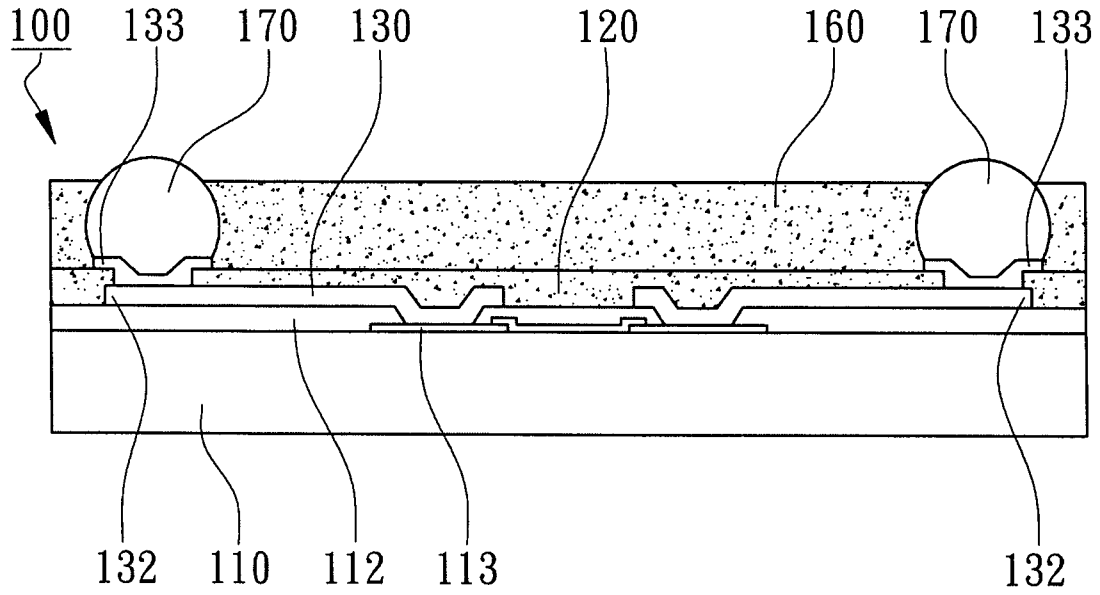
同時移除該第二光阻層與該第一光阻層；

以蝕刻方式移除該凸塊下金屬層不被該重配置線路層遮蓋之外露區域；以及

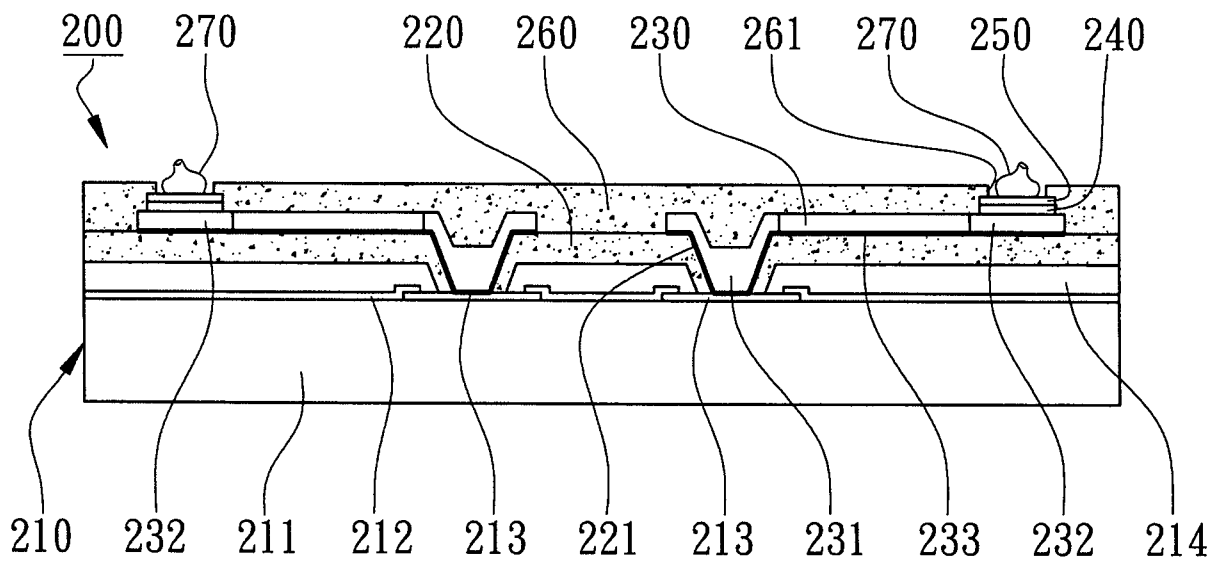
形成一第二封裝層於該第一封裝層上，以覆蓋該重配置線路層與該些打線承墊之側面，並且該第二封裝層具有複數個對準於該些打線承墊之第二開口，該些第二開口係小於對應打線承墊之上表面，以局部顯露該表面鍍層。

10、根據申請專利範圍第 9 項之晶圓級晶片尺寸封裝製程，另包含之步驟為：設置以打線形成之至少一打線銲點於該表面鍍層上。

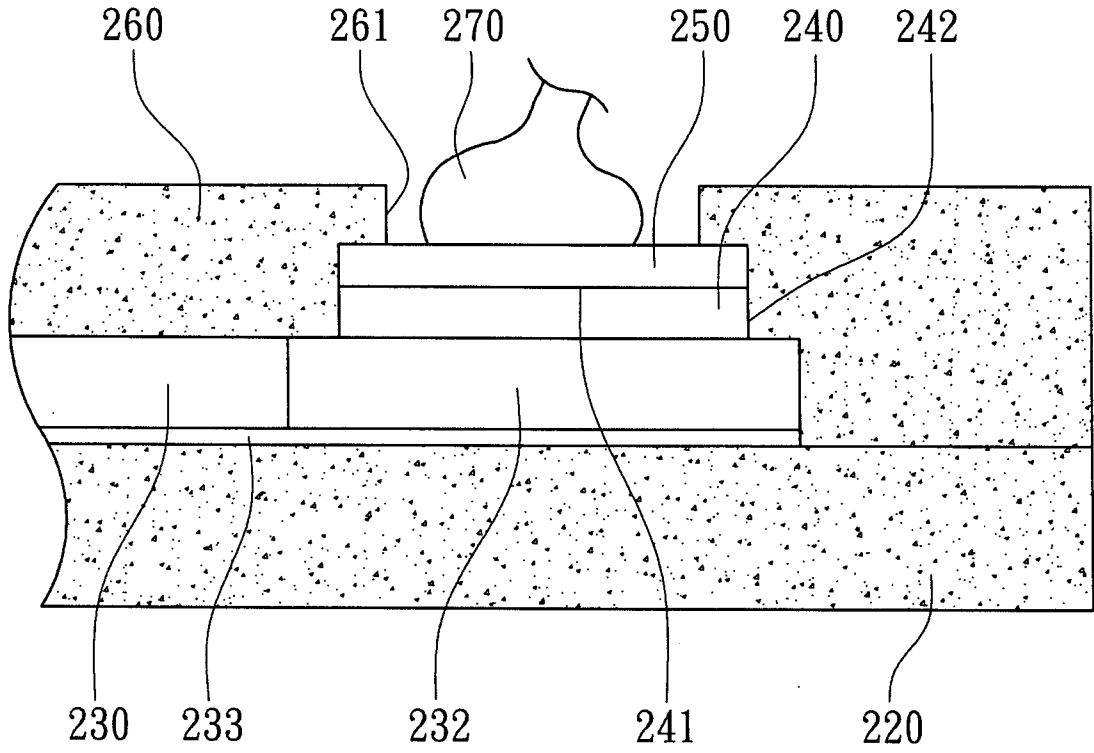
八、圖式：



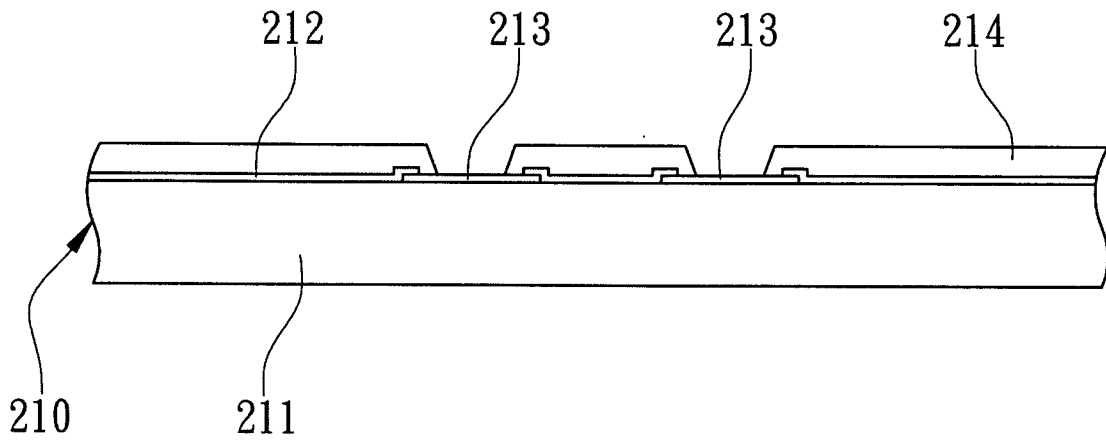
第 1 圖



第 2 圖

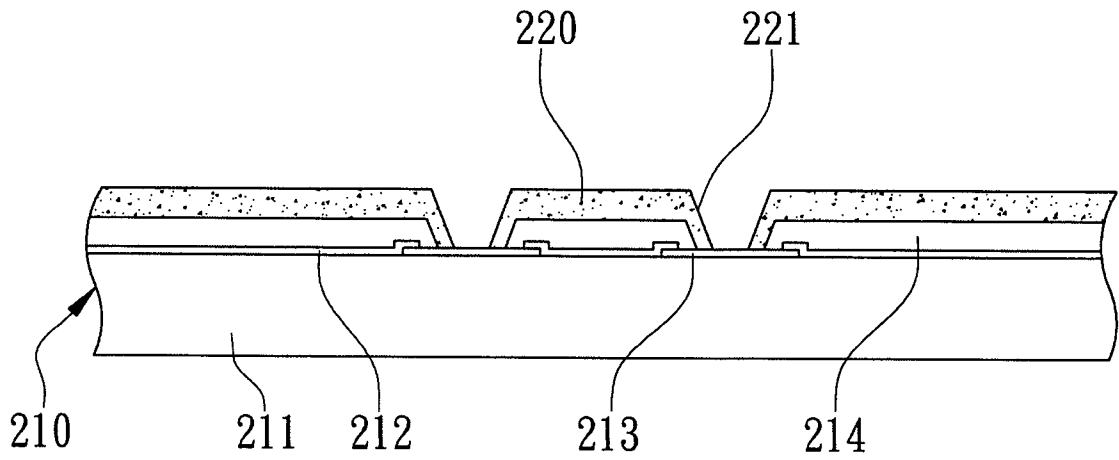


第 3 圖

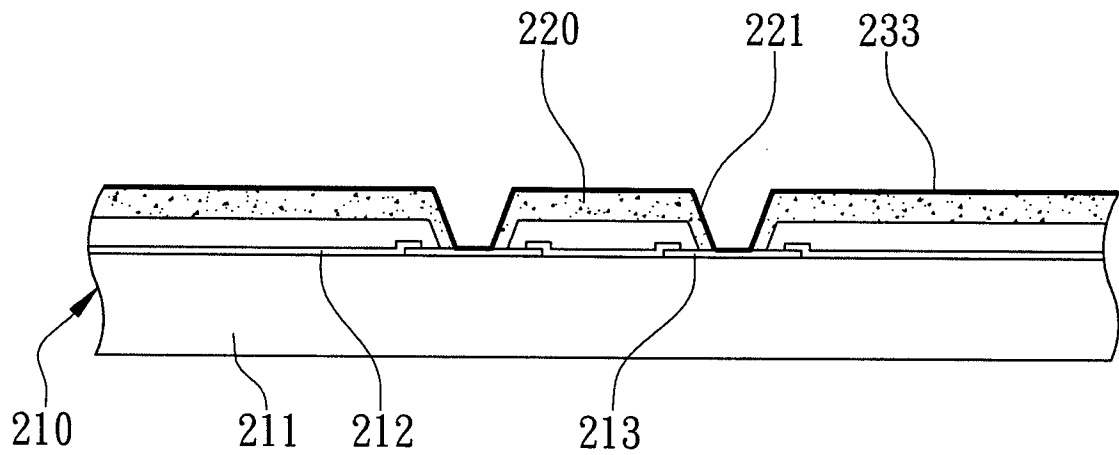


第 4A 圖

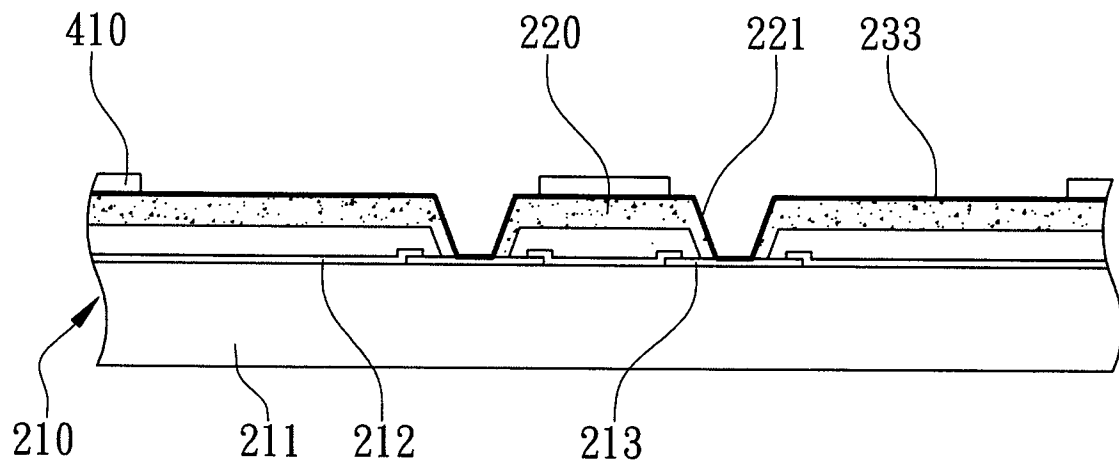




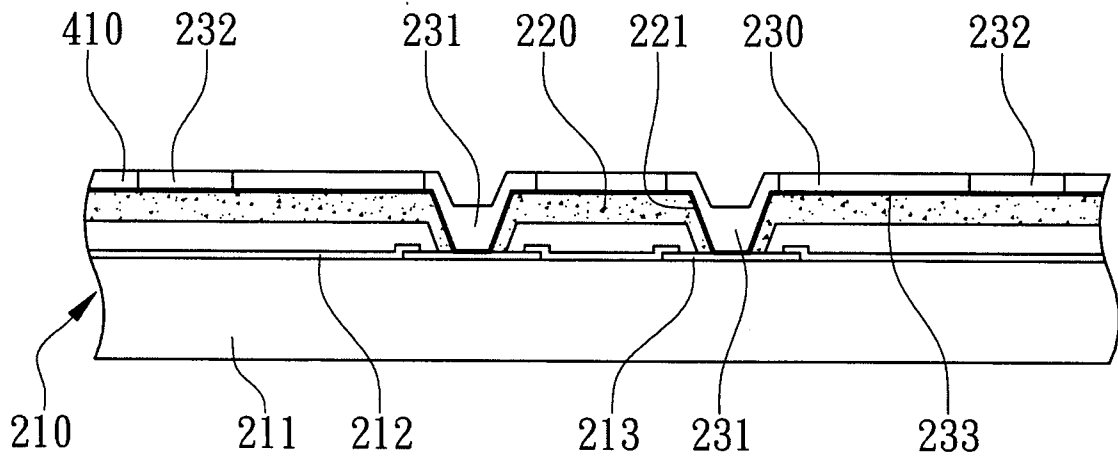
第 4B 圖



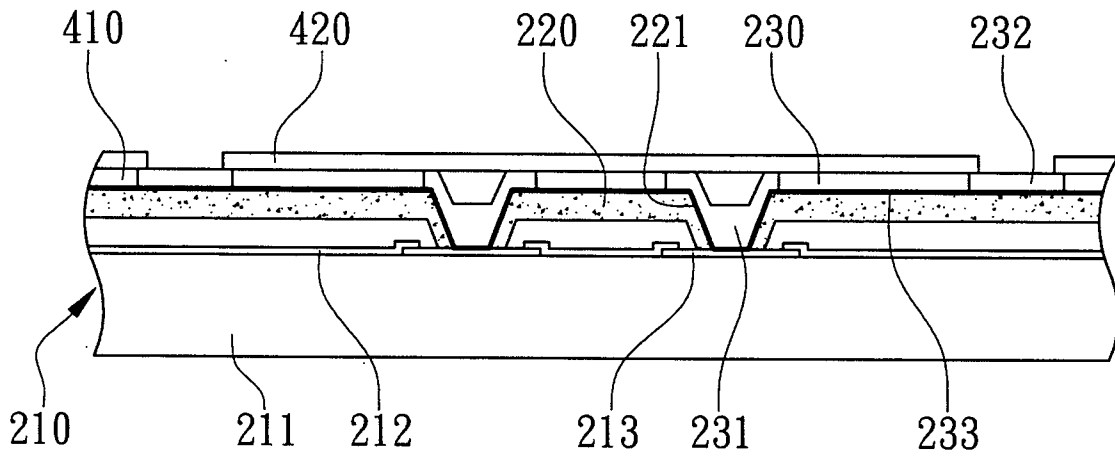
第 4C 圖



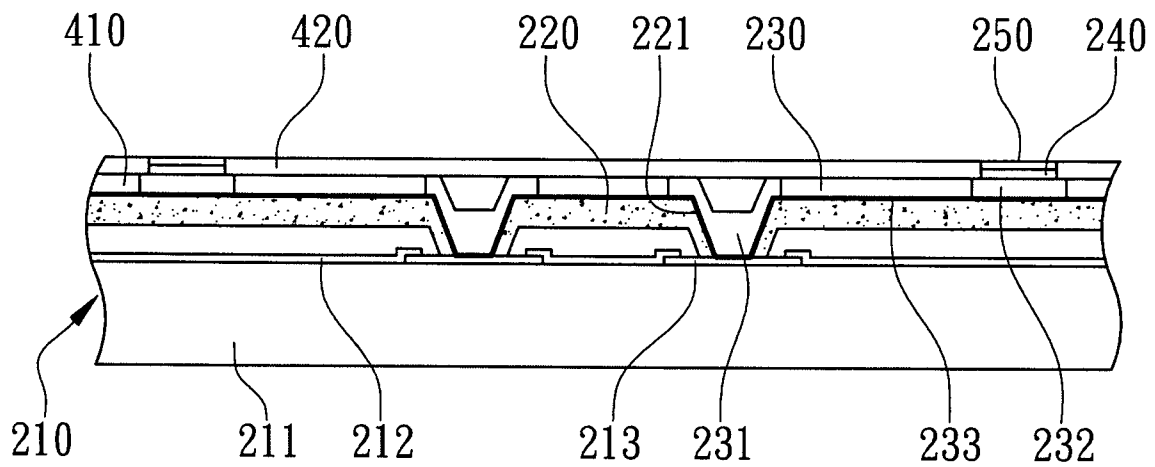
第 4D 圖



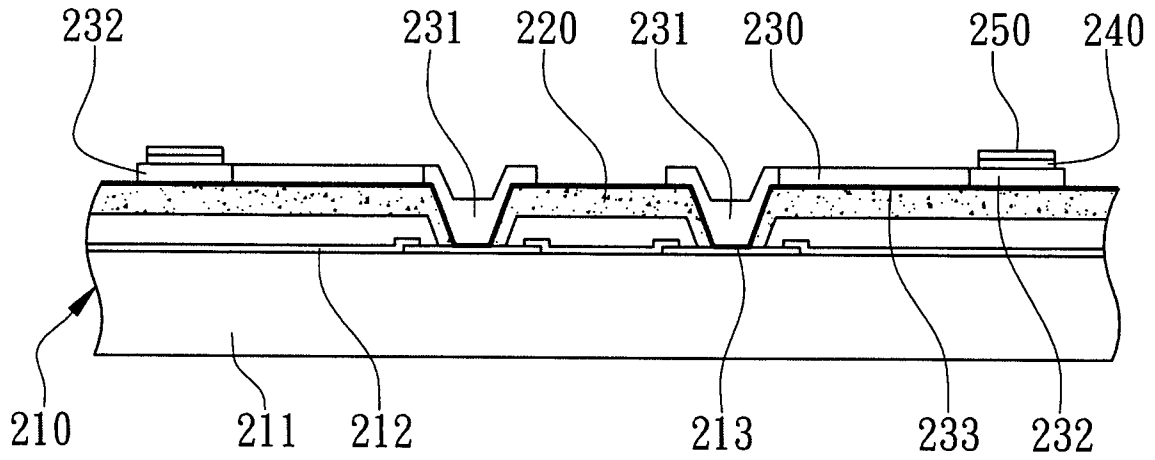
第 4E 圖



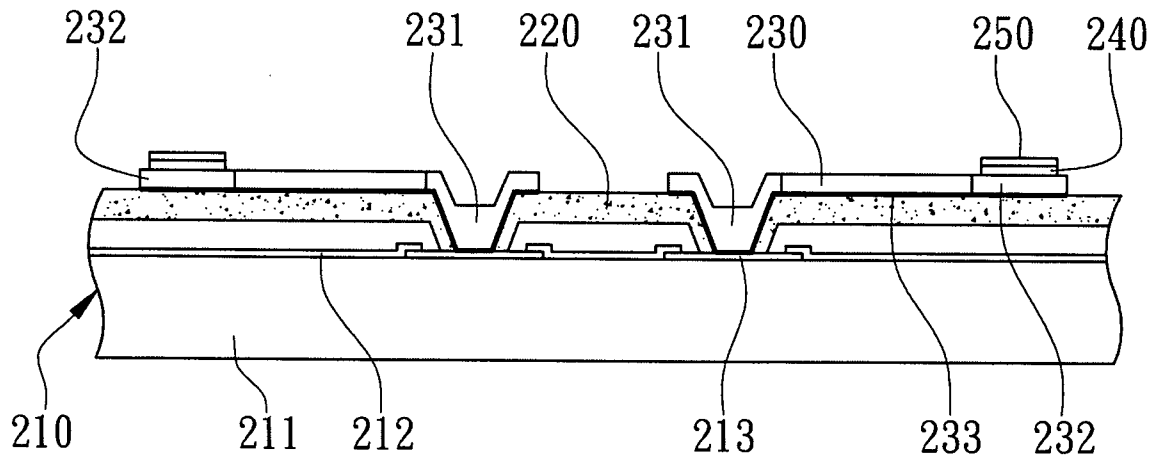
第 4F 圖



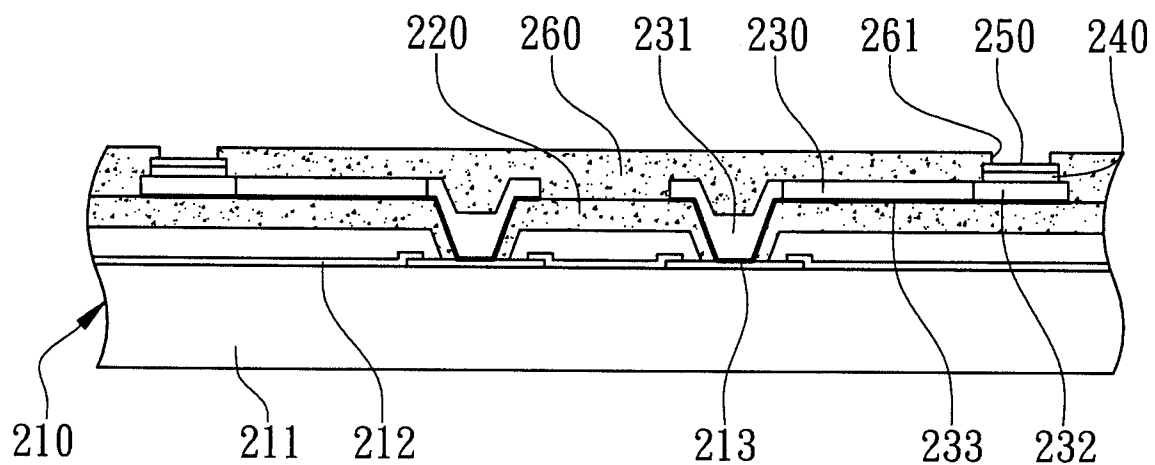
第 4G 圖



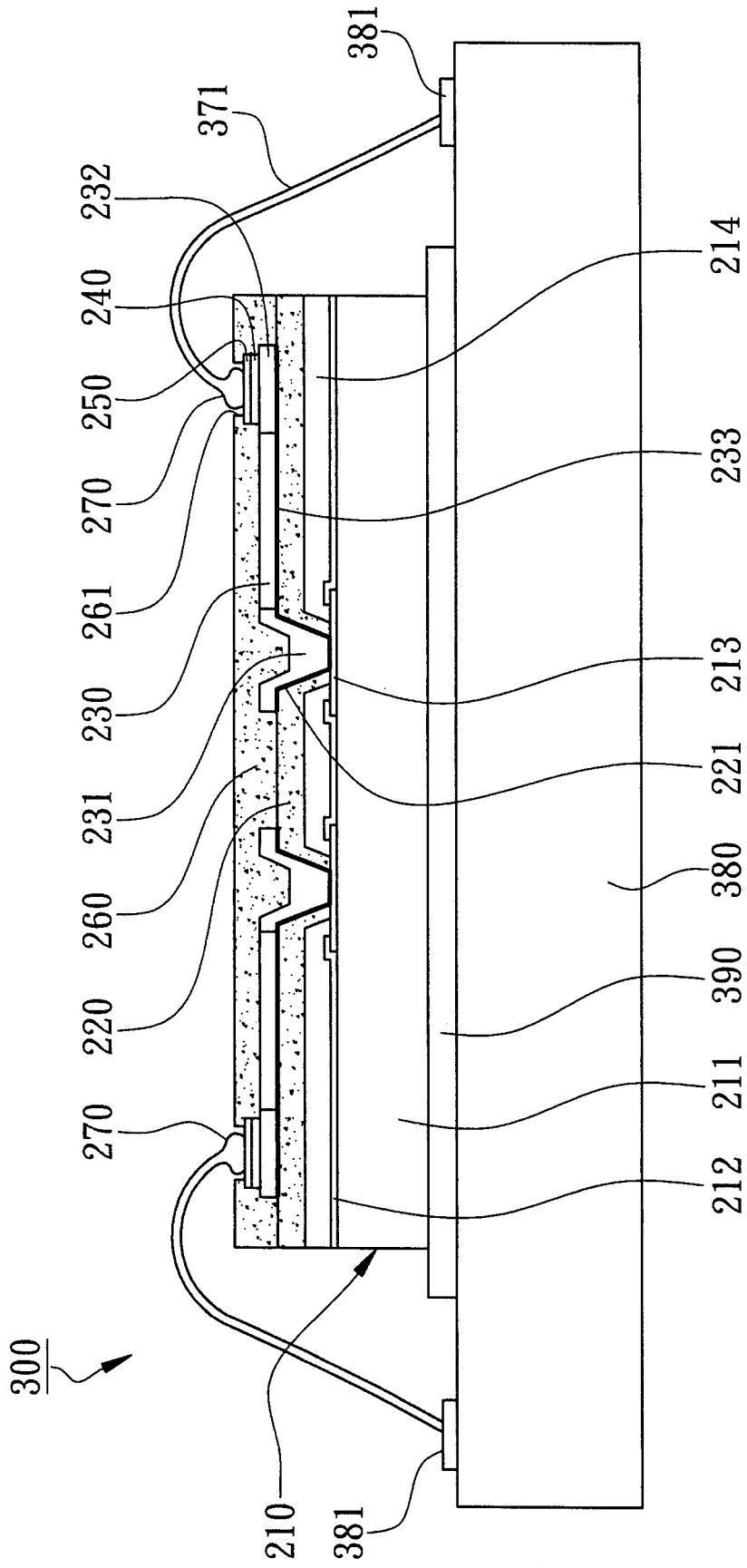
第 4H 圖



第 4I 圖



第 4J 圖



第 5 圖