



(12)发明专利

(10)授权公告号 CN 104427268 B

(45)授权公告日 2018.01.09

(21)申请号 201410407391.9

(51)Int.Cl.

(22)申请日 2014.08.19

H04N 5/357(2011.01)

(65)同一申请的已公布的文献号

H04N 5/374(2011.01)

申请公布号 CN 104427268 A

H04N 5/225(2006.01)

H01L 27/146(2006.01)

(43)申请公布日 2015.03.18

审查员 王姣

(30)优先权数据

2013-169507 2013.08.19 JP

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 岩根正晃 冲田彰

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 宋岩

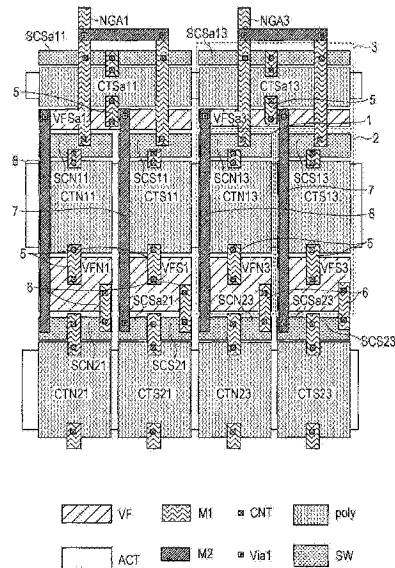
权利要求书2页 说明书9页 附图5页

(54)发明名称

摄像装置

(57)摘要

公开了摄像装置。在摄像装置中,噪声信号保持单元保持从像素单元输出的噪声信号并将噪声信号输出到后级电路。第一信号保持单元保持基于像素单元中的N个光电转换元件生成的信号的第一光信号并将第一光信号输出到后级电路,其中N是等于或大于1的整数。第二信号保持单元保持基于像素单元中的M个光电转换元件生成的信号的第二光信号并将第二光信号输出到后级电路,其中M是等于或大于2并且大于N的整数。从第二信号保持单元输出的信号与从第一信号保持单元输出的信号相比具有更大的共模噪声抑制比。



1. 一种摄像装置,包括多个像素单元,每个像素单元包括多个光电转换元件、被配置为放大由所述多个光电转换元件生成的信号的多个放大晶体管以及被配置为复位由所述多个光电转换元件生成的信号的多个复位晶体管,所述摄像装置包括:

噪声信号保持单元,被配置为保持从所述像素单元输出的噪声信号并将所述噪声信号输出到后级电路;

第一信号保持单元,被配置为保持从所述像素单元输出的且基于由N个光电转换元件生成的信号的第一光信号并将所述第一光信号输出到所述后级电路,其中N是等于或大于1的整数;以及

第二信号保持单元,被配置为保持从所述像素单元输出的且基于由M个光电转换元件生成的信号的第二光信号并将所述第二光信号输出到所述后级电路,其中M是等于或大于2并且大于N的整数,

其中,在平面图中,

所述噪声信号保持单元被布置在第一屏蔽线与第二屏蔽线之间,

所述第二信号保持单元被布置在所述第二屏蔽线与第三屏蔽线之间,

所述第一信号保持单元被布置在所述第三屏蔽线与第四屏蔽线之间,以及

所述第一信号保持单元与所述第四屏蔽线之间的距离大于所述噪声信号保持单元与所述第二屏蔽线之间的距离,并且大于所述第二信号保持单元与所述第三屏蔽线之间的距离。

2. 根据权利要求1所述的摄像装置,其中,所述第二信号保持单元和所述噪声信号保持单元被布置为具有平移对称性。

3. 根据权利要求2所述的摄像装置,其中,所述第一信号保持单元被布置为与所述噪声信号保持单元或所述第二信号保持单元不具有平移对称性。

4. 根据权利要求1所述的摄像装置,其中,在平面中所看到的所述第一信号保持单元的面积小于在平面中所看到的所述第二信号保持单元的面积和/或小于在平面中所看到的所述噪声信号保持单元的面积。

5. 根据权利要求1所述的摄像装置,其中,被配置为放大从所述像素单元输出的信号的放大器电路布置在所述像素单元与所述噪声信号保持单元、所述第一信号保持单元和所述第二信号保持单元中的一者之间。

6. 根据权利要求1所述的摄像装置,还包括分别对应于所述噪声信号保持单元、所述第一信号保持单元和所述第二信号保持单元的多个缓冲器。

7. 根据权利要求6所述的摄像装置,其中,缓冲由所述噪声信号保持单元保持的信号的缓冲器和缓冲由所述第二信号保持单元保持的信号的缓冲器与缓冲由所述第一信号保持单元保持的信号的缓冲器相比在输入阻抗或开环增益上更大并且在输出阻抗上更小。

8. 根据权利要求6所述的摄像装置,其中,缓冲由所述噪声信号保持单元保持的信号的缓冲器和缓冲由所述第二信号保持单元保持的信号的缓冲器与缓冲由所述第一信号保持单元保持的信号的缓冲器相比在偏置电流上更大。

9. 根据权利要求6所述的摄像装置,其中

由所述噪声信号保持单元保持的信号和由所述第二信号保持单元保持的信号被经由相应的缓冲器同时读出,然后减法处理被执行,并且

由所述噪声信号保持单元保持的信号和由所述第一信号保持单元保持的信号被经由相应的缓冲器同时读出,然后减法处理被执行。

10. 根据权利要求6所述的摄像装置,还包括被配置为保持从所述多个缓冲器输出的信号的信号保持单元。

11. 根据权利要求1至10中的一项所述的摄像装置,其中
由所述第一信号保持单元保持的第一光信号是焦点检测信号,并且
由所述第二信号保持单元保持的第二光信号是图像信号。

摄像装置

技术领域

[0001] 本发明涉及摄像装置,更具体而言涉及摄像装置的列电路的信号保持单元的布局。

背景技术

[0002] 在诸如CMOS区域传感器芯片等之类的摄像装置中,必须在实现小像素大小和高性能的同时实现高信号噪声(S/N)比。为了实现高S/N比,日本专利公开No.2009-224524公开了一种技术,其中噪声信号模拟存储器和图像信号模拟存储器被布置成与列信号线延伸的方向平行。

发明内容

[0003] 列电路需要被布置在宽度等于像素节距(pitch)或者像素节距的整数倍的区域内。然而,在从像素除了读出图像信号还读出聚焦信号的情况下,列电路的大小往往会变大,这可能会使得难以将列电路布置在设定的区域内。因此,本发明提供一种适当地布局列电路的技术。

[0004] 在本发明的一方面中,一种摄像装置包括多个像素单元,每个像素单元包括多个光电转换元件、被配置为放大由多个光电转换元件生成的信号的放大晶体管以及被配置为复位由多个光电转换元件生成的信号的复位晶体管。该摄像装置包括:噪声信号保持单元,被配置为保持从像素单元输出的噪声信号;第一信号保持单元,被配置为保持从像素单元输出的且基于由N个光电转换元件生成的信号的第一光信号,其中N是等于或大于1的整数;以及第二信号保持单元,被配置为保持从像素单元输出的且基于由M个光电转换元件生成的信号的第二光信号,其中M是等于或大于2并且大于N的整数,其中,在从由第二信号保持单元保持并输出的第二光信号中减去由噪声信号保持单元保持并输出的噪声信号的噪声减法处理中实现的共模噪声抑制比(rejection ratio)大于在从由第一信号保持单元保持并输出的第一光信号中减去由噪声信号保持单元保持并输出的噪声信号的噪声减法处理中实现的共模噪声抑制比。

[0005] 通过以下参考附图对示范性实施例的描述,本发明的更多特征将变得清楚。

附图说明

[0006] 图1是示出根据第一实施例的摄像装置的平面布局的示意图。

[0007] 图2是根据第一实施例的摄像装置的等效电路图。

[0008] 图3是与根据第一实施例的摄像装置相关联的定时图。

[0009] 图4是示出根据第二实施例的摄像装置的平面布局的示意图。

[0010] 图5是示出根据第三实施例的摄像装置的平面布局的示意图。

具体实施方式

[0011] 首先,下面描述本发明的一般方面。

[0012] 根据本发明的一方面的摄像装置包括多个像素单元,每个像素单元包括多个光电转换元件、被配置为放大由多个光电转换元件生成的信号的放大晶体管、以及被配置为复位由多个光电转换元件生成的信号的复位晶体管。图2示出一个示例,其中像素单元PU被排列成包括2行3列从而形成像素区域10的矩阵。

[0013] 作为示例,每个像素单元包括两个光电转换元件(Da和Db)。以上述方式配置的每个像素单元输出噪声信号、基于由两个光电转换元件之一生成的信号的第一光信号、以及基于由两个光电转换元件生成的信号的第二光信号。例如,可以采用被配置为以上述方式输出信号的摄像装置来执行图像感测平面中的相位差焦点检测。

[0014] 在像素单元之后的级(stage),布置了如下的电路:该电路包括被配置为保持噪声信号的噪声信号保持单元,被配置为保持第一光信号的第一信号保持单元以及被配置为保持第二光信号的第二信号保持单元。在图2中,第一信号保持单元由CTSa表示,噪声信号保持单元由CTN表示,并且第二信号保持单元由CTS表示。

[0015] 在此配置中,由后级(following-stage)的电路执行减法处理以从由第一信号保持单元保持的第一光信号中减去由噪声信号保持单元保持的噪声信号。结果,获得第一减法信号。另外,后级的电路执行减法处理以从由第二信号保持单元保持的第二光信号中减去由噪声信号保持单元保持的噪声信号。结果,获得第二减法信号。上述后级电路可布置在摄像装置之中或者摄像装置之外。

[0016] 本实施例的一特征在于第二减法信号具有比第一减法信号的共模噪声抑制比更大的共模噪声抑制比。

[0017] 在本发明的该方面中,配置并不限于在摄像装置内执行减法处理,而是可将满足上述噪声抑制比的信号提供到与摄像装置相连接的外部电路并且可由该外部电路来执行减法处理。

[0018] 在许多情形中,如下做法可能是有益的:由后级电路执行减法处理,以为所有信号保持单元保持的所有信号提供相同的共模噪声抑制比。然而,在布局电路元件以在实现高S/N比的同时对所有信号保持单元保持的所有信号实现相同的共模噪声抑制比的情况下,结果是总电路大小的增大,这从而会不期望地导致芯片大小的增大。与之不同,在本发明的本方面中,共模噪声抑制比被改变,从而使得能够适当地读取信号,而不会增大芯片上的电路面积。

[0019] 具体地,本发明的本方面在第一信号保持单元保持的信号是焦点检测信号并且第二信号保持单元保持的信号是图像信号的情况下提供了好的效果。图像信号用于形成图像,从而图像信号需要高S/N比。另一方面,焦点检测信号不需要很高的S/N比,而是具有高到足以实现相位差检测的S/N比就足够了。从而,通过采用根据本发明的本方面的配置,变得能够在抑制列电路的面积增大的同时适当地读取信号。

[0020] 将噪声信号保持单元和第二信号保持单元布局成具有平移对称性(translational symmetry),可以是有益的。

[0021] 平移对称性指的是如下的图案(pattern)的对称性:当噪声信号保持单元和第二信号保持单元在它们并排排列的方向上被平移时,结果可具有与原始图案相同的图案。在本发明的本方面中,至少一个列电路具有平移对称性。然而,在摄像装置中,在水平方向上

周期性地布置列电路是常见的,从而不仅一个列电路而是所有列电路具有平移对称性,可以是有益的。

[0022] 下面参考实施例进一步详细描述本发明。注意,可以组合两个或更多个实施例,并且这种组合落在本发明的范围中。注意,在附图中,附图标记后面的数字后缀表示行或列的地址或位置。在下面描述的实施例中,以示例而非限制方式假定摄像装置被配置为能够在图像感测平面中执行焦点检测。注意,本发明也可应用到其他配置。例如,本发明可应用到用于3维测量的光电转换装置。

[0023] 第一实施例

[0024] 参考图1和图2,下面描述根据第一实施例的摄像装置。图2是根据第一实施例的摄像装置的等效电路图。图1示出图2所示的列电路的一部分的平面布局。

[0025] 在本实施例中,摄像装置被配置为能够读取图像信号和焦点检测信号。为了实现这一点,摄像装置的每个像素单元包括两个光电二极管Da和Db,这两个光电二极管Da和Db充当用于分别在相位差检测中形成A图像和B图像的光电转换元件。在诸如CMOS传感器之类的用于照相机等的摄像装置中,在像素区域中的任意区域中基于A图像信号和B图像信号之间的峰值位置的差异来计算移动透镜以实现最佳聚焦的距离,并且基于计算出的距离来控制聚焦。这不仅可以用于实现自动聚焦控制,而且可用在其他应用中,例如基于测量出的到对象的距离来获取3维图像信息。

[0026] 在图1中,多个像素单元PU被布置在像素区域10中。像素单元PU可被排列成矩阵的形式。例如,布置了几千万像素单元PU来形成像素区域10。从垂直扫描电路12向每个像素单元PU提供驱动脉冲。

[0027] 接下来,下面描述像素单元的典型配置。

[0028] 传送晶体管Ma11至Ma23和Mb11至Mb23传送相应光电转换元件的电荷。每个传送晶体管可利用MOS晶体管来实现。

[0029] 复位晶体管M211至M223复位在光电转换元件中生成的信号。光电转换元件的信号复位可以在信号存在于光电转换元件中的状态中执行,或者可通过在信号已被传送到下面描述的放大晶体管的输入节点的状态中对放大晶体管的输入节点进行复位来执行。每个复位晶体管可利用MOS晶体管来实现,或者可替换地,每个复位晶体管可利用结型场效应晶体管来实现。

[0030] 放大晶体管M311至M323放大由同一像素单元中的多个光电转换元件生成的信号。注意,放大晶体管M311至M323中的每一个被多个光电转换元件共享。放大晶体管M311至M323中的每一个可利用MOS晶体管来实现,或者可替换地,放大晶体管M311至M323中的每一个可利用结型场效应晶体管来实现。

[0031] 选择晶体管M411至M423中的每一个选择性地从相应的像素单元PU读出信号到相应的列输出线。选择晶体管M411至M423中的每一个可利用MOS晶体管来实现。注意,当允许适当地控制复位晶体管等等的操作时,可以省略选择晶体管M411至M423。

[0032] 接下来,下面描述在像素单元之后的级的区域中布置的元件。

[0033] 列信号线NV被布置成使得每个像素单元列具有一个列信号线NV。虽然在本示例中每个像素单元列具有一个列信号线VN,但每个像素单元列可具有多个列信号线VN。电流源Ib经由相应的列信号线向放大晶体管M311至M323中的相应的一个提供偏置电流,从而允许

放大晶体管M311至M323中的每一个执行放大操作。放大操作的具体示例是源跟随器操作。

[0034] 列电路15和16被配置为在被垂直扫描电路12扫描的同时处理经由列输出线从像素单元PU接收的信号。更具体而言,列电路15被配置为处理从奇数列中的像素单元PU接收的信号。列电路16被配置为处理从偶数列中的像素单元PU接收的信号。列电路15和16执行的处理包括噪声去除、信号放大、模拟到数字转换等等。

[0035] 放大器电路GA设在列电路15中来放大从像素单元PU输出的信号。放大器电路GA可以是可变增益放大器。设有箝位电容器C来减小从像素单元输出的噪声信号。

[0036] 信号保持单元18是被配置为在信号被放大器电路GA放大之后保持信号的电路。当从每个放大器电路GA来看时,信号保持单元18包括并行布置的三个电路,也就是说,被配置为保持噪声信号的电路(噪声信号保持单元)、被配置为保持第一光信号的电路(第一信号保持单元)和被配置为保持第二光信号的电路(第二信号保持单元)。注意,如下所述,第一光信号不同于第二光信号。第一光信号是基于在特定像素单元中的N个光电转换元件中生成的信号的光信号,其中N是等于或大于1的整数。第一光信号例如是焦点检测信号。另一方面,第二光信号是基于在特定像素单元中的M个光电转换元件中生成的信号的光信号,其中M是等于或大于2并且大于N的整数。第二光信号例如是图像信号。

[0037] 图1的布局图例示信号保持单元18的布局。在图1和图2中,相似的元件由相似的附图标记来表示。

[0038] 输出放大器MA把在被列电路15处理之后在通过水平输出线21和22传播之后到达的信号输出到摄像装置的外部。

[0039] 如图2所示,列电路16布置在经由像素区域10与列电路15相对的位置。一列中的列电路15和一系列中的列电路16布置在具有与像素区域10的2个像素相对应的宽度的区域内。由像素区域10中的奇数列中的光电二极管Da11、Db11、Da13和Db13检测到的光信号被读出到列电路15。另一方面,由像素区域10中的偶数列中的光电二极管Da12和Db12检测到的光信号被读出到列电路16。以下描述是作为示例对于列电路15给出的。注意,列电路16在电路配置和布局上可与列电路15相似。

[0040] 下面描述图1的图例。各个构成元件的图例在图下方示出。

[0041] 作为电路元件之一的缓冲器布置在带有大间距斜线阴影的每个区域(VF)中。作为另一电路元件的模拟开关布置在带有点状阴影的每个区域(SW)中。

[0042] 有源区域、各种布线层、多晶硅、接触插塞、介层插塞(via plug)等等被用作用于连接电路元件的元件或者用作用于形成模拟存储器的元件。有源区域布置在每个不带阴影的区域中。第一布线层布置在带有水平波浪线阴影的每个区域(M1)中。第二布线层布置在带有紧密间距的斜线的阴影的每个区域(M2)中。第二布线层位于比第一布线层更高的层次。在其中具有符号x的每个区域(CNT)中,布置了连接在有源区域与第一布线层之间或者多晶硅与第一布线层之间的接触插塞。在其中具有点的每个区域(Vial)中,布置了连接在第一布线层与第二布线层之间的介层插塞。在带有垂直波浪线阴影的每个区域(poly)中,布置了形成某个电路元件的多晶硅。

[0043] 其中布置了缓冲器或模拟开关的每个区域可包括有源区域、多晶硅、各种布线层、接触插塞和介层插塞,尽管没有示出其详细布局。

[0044] 噪声信号保持单元包括用于对噪声信号执行采样和保持操作的开关SCN和模拟存

存储器CTN。缓冲器VFN布置在每个模拟存储器CTN之后的级。第一信号保持单元包括用于对第一光信号执行采样和保持操作的开关SCSa和模拟存储器CTSa。缓冲器VFSa布置在每个模拟存储器CTSa之后的级。第二信号保持单元包括用于对第二光信号执行采样和保持操作的开关SCS和模拟存储器CTS。缓冲器VFS布置在每个模拟存储器CTS之后的级。

[0045] 在图1中,集合1包括噪声信号开关SCN13、模拟存储器CTN13和缓冲器VFN3。集合2包括第二光信号开关SCS13、模拟存储器CNS13和缓冲器VNS3。集合3包括第一光信号开关SCSa13、模拟存储器CTSa13和缓冲器VNSa3。

[0046] 导体图案NGA形成放大器电路GA的输出节点。

[0047] 导体图案5形成缓冲器VFSa1、VFSa3、VFN1、VFN3、VFS1和VFS3的输入节点。导体图案5是利用第一布线层实现的。

[0048] 导体图案6形成缓冲器VFN1、VFN3、VFS1和VFS3的输出节点。导体图案6是利用第一布线层实现的。

[0049] 导体图案7形成第一光信号缓冲器VFSa1和VFSa3的输出节点。导体图案7是利用第二布线层实现的。

[0050] 导体图案8是虚设(dummy)图案。这个导体图案8可用于进行与例如寄生电容相关联的调整,这不影响本质电路的基本功能。更具体而言,导体图案8用于减小由仅布置在CTS11和CTS13上方而没有布置在CTN11和CTN13上方的导体图案7引起的寄生电容的差异。因此,导体图案8没有电连接到模拟开关SCN21和SCN23,尽管它们电连接到缓冲器VFSa1和VFSa3。

[0051] 另外,在本实施例中,第一信号保持单元的面积小于第二信号保持单元的面积和/或噪声信号保持单元的面积。

[0052] 图3示出与根据本实施例的摄像装置相关联的定时图。在图3中,每个脉冲控制晶体管接通/关断。这里作为示例假定高电平脉冲使得晶体管接通,并且低电平脉冲使得晶体管关断。

[0053] 脉冲PSEL1控制选择晶体管M411至M413,并且脉冲PRES1控制复位晶体管M211至M213。脉冲PTXA1控制传送晶体管Ma11至Ma13,并且脉冲PTXB1控制传送晶体管Mb11至Mb13。

[0054] 脉冲PSEL2控制选择晶体管M421至M423。脉冲PRES2控制复位晶体管M221至M223。脉冲PTXA2控制传送晶体管Ma21至Ma23。脉冲PTXB2控制传送晶体管Mb21至Mb23。脉冲PSGA控制开关SGA1和SGA3。脉冲PSCN1控制开关SCN11和SCN13。脉冲PSCS1控制开关SCS11和SCS13。脉冲PSCSa1控制开关SCSa11和SCSa13。脉冲PSCSa2控制开关SCSa21和SCSa23。脉冲PSCN2控制开关SCN23和SCN23。脉冲PSCS2控制开关SCS21和SCS23。脉冲PSHN1驱动开关SHN1,并且脉冲PSHS1驱动开关SHS1。脉冲PSHN3驱动开关SHN3,并且脉冲PSHS3驱动开关SHS3。

[0055] 首先,在时刻 t_0 ,垂直扫描电路12发送具有高电平的脉冲信号PSEL1。结果,选择晶体管M411至M413接通,并且像素区域10的第一行被选择。在这个时刻 t_0 ,脉冲信号PSGA处于高电平,从而使放大器电路GA1和GA3进入放大器电路GA1和GA3相对于偏置电压 V_{ref} 作为电压跟随器操作的状态中。另外,PSCN1、PSCSa1和PSCS1的信号电平变化到高电平,从而开关SCN11、SCSa11、SCS11、SCN13、SCSa13和SCS13接通。结果,电压 V_{ref} 被写入到图中所示的所有模拟存储器中。

[0056] 在时刻 t_1 ,垂直扫描电路12发送具有低电平的脉冲信号PRES1。结果,复位晶体管M211至M213关断,每个相应的放大晶体管的输入节点的电势进入允许读出噪声信号N的浮动状态中。在这个状态中,噪声信号N被由电流源Ib1和Ib3驱动的各个放大晶体管M311至M313放大,并且所得到的放大噪声信号N出现在列信号线NV1至NV3处。在时刻 t_1 的同时,PSGA的信号电平变化到低电平,这使得放大器电路GA1和GA3进入到增益模式中,在该增益模式中,当从列信号线NV1和NV3来看时,放大器电路GA1和GA3各自具有 C_{i1}/C_{f1} 和 C_{i3}/C_{f3} 的增益,其中 C_i 表示放大器电路GA的输入电容C的电容值,并且 C_f 表示放大器电路GA的反馈电容 C_f 的电容值。

[0057] 同时,PSCN1、PSCSa1和PSCS1的电平变化到低电平,从而开关SCN11、SCSa11、SCS11、SCN13、SCSa131和SCS13关断。

[0058] 在时刻 t_2 ,PSCN1的电平变化到高电平,从而开关SCN11和SCN13接通。结果,被设在每一列中的放大器电路GA1和GA3放大的噪声信号N被写入到模拟存储器CTN11和CTN13。

[0059] 在时刻 t_3 ,垂直扫描电路12发送具有高电平的脉冲信号PTXa1。结果,传送晶体管Ma11至Ma13关断,并且光电二极管Da11至Da13的电荷被传送到相应的放大晶体管的输入节点。这使得各个放大晶体管的输入节点的电压变化,并且A图像信号Sa出现在列信号线NV1至NV3上。

[0060] 在时刻 t_4 ,PSCSa1的电平变化到高电平,并且被放大器电路GA1和GA3放大的A图像信号Sa被写入到模拟存储器CTSa11和CTSa13。

[0061] 在时刻 t_5 ,PSCN2的电平变化到高电平,从而开关SCN21和SCN23接通。结果,噪声信号N被从模拟存储器CTN11和CTN13经由缓冲器VFN1和VFN2写入到模拟存储器CTN21和CTN23。同时,在时刻 t_5 ,PSCSa2的电平也变化到高电平,从而开关SCSa21和SCSa23接通。结果,A图像信号Sa被从模拟存储器CTSa11和CTSa13经由缓冲器VFSa1和VFSa2写入到模拟存储器CTS21和CTS23。

[0062] 在时刻 t_6 ,PSHN1和PCHS1的电平变化到高电平,从而开关SHN1和SHS1接通。结果,来自模拟存储器CTN21的噪声信号N和来自模拟存储器CTS21的A图像信号Sa分别经由水平噪声信号线21和水平图像信号线22被水平传送。在输出放大器MA中,执行减法处理以从A图像信号Sa中减去噪声信号N,并且所得到的第一行第一列中的经噪声校正的A图像信号(Sa-N)被经由端子OUTN和OUTS输出到芯片的外部。

[0063] 在时刻 t_6 ,垂直扫描电路12也发送具有高电平的脉冲信号PTXa1和PTXb1,这使得传送晶体管Ma11至Ma13和传送晶体管Mb11至Mb13接通。结果,与B图像信号相对应的电荷被从光电二极管Db11至Db13传送到相应的放大晶体管的输入节点,并且A图像信号电荷和B图像信号电荷被加在一起。从而,作为A图像信号Sa与B图像信号Sb之间的加法的结果获得的图像信号S($S=Sa+Sb$)被输出到列信号线NV1和NV2。

[0064] 在时刻 t_7 ,PSHN2和PSHN2的电平变化到高电平,从而开关SHN3和SHS3接通。结果,来自模拟存储器CTN23的噪声信号N和来自模拟存储器CTS23的A图像信号Sa分别经由水平噪声信号线21和水平图像信号线22被水平传送。在输出放大器MA中,执行减法处理以从A图像信号Sa中减去噪声信号N,并且所得到的第一行第二列中的经噪声校正的A图像信号(Sa-N)被经由端子OUTN和OUTS输出到图像传感器的外部。

[0065] 在时刻 t_7 ,PSCS1的电平也变化到高电平,从而开关SCS11和SCS13接通。结果,被设

在每一列中的放大器电路GA1和GA3放大的图像信号S被写入到模拟存储器CTS11和CTS13。

[0066] 在时刻t8, PSCS1的电平变化到低电平, 从而开关SCS11和SCS13关断, 这使得图像信号S到模拟存储器CTS11和CTS13的写入结束。

[0067] 在时刻t9, 图中没有示出的对于第3及之后的列的水平传送也结束。在时刻t9, PSCN2的电平变化到高电平, 从而开关SCN21和SCN23接通。结果, 噪声信号N再次被从模拟存储器CTN11和CTN13经由缓冲器VFN1和VFN3写入到模拟存储器CTN21和CTN23。在时刻t9, PSCS2的电平也同时变化到高电平, 从而开关SCS21和SCS23接通。结果, 图像信号S被从模拟存储器CTS11和CTS13经由缓冲器VFS1和VFS3写入到模拟存储器CTS21和CTS23。

[0068] 在从t6到t9的时段中, 并行执行A图像信号(Sa-N)的水平传送和图像信号S到模拟存储器CTS11和CTS13的写入。这使得能够在获取焦点检测信息的同时减短水平扫描时段。从而能够增大帧速率。

[0069] 在时刻t10, PSHN1和PCHS1的电平变化到高电平, 从而开关SHN1和SHS1接通。结果, 来自模拟存储器CTN21的噪声信号N和来自模拟存储器CTS21的图像信号S分别经由水平噪声信号线21和水平图像信号线22被水平传送。在输出放大器MA中, 从图像信号S中减去噪声信号N, 并且所得到的第一行第一列中的经噪声校正的图像信号(S-N)被经由端子OUTN和OUTS输出到芯片的外部。在照相机中, 在这个时间点获取第一行第一列中的图像信号(S-N)和A图像信号(Sa-N), 从而能够通过确定它们之间的差异来获取B图像信号Sb。

[0070] 在时刻t10, 垂直扫描电路12发送具有高电平的脉冲信号PSEL2, 从而选择晶体管M421和M422接通。结果, 像素区域10的第二行被选择, 并且对第二行的读取操作开始。

[0071] 在时刻t11, PSHN2和PCHS2的电平变化到高电平, 从而开关SHN3和SHS3接通。结果, 来自模拟存储器CTN23的噪声信号N和来自模拟存储器CTS23的图像信号S分别经由水平噪声信号线21和水平图像信号线22被水平传送。

[0072] 在时刻t12, 图中没有示出的对于第三及之后的列的水平传送也结束。在时刻t13, 垂直扫描电路12发送具有低电平的脉冲信号PSEL2, 从而选择晶体管M421至M423关断。结果, 使像素区域10的第二行进入未被选择的状态, 对于第二行的读取操作结束。

[0073] 在本实施例中, 如图1所示, 与噪声信号保持单元相关联的集合1和与图像信号相关联的集合2被布局成使得集合1和集合2在列信号线NV1和NV3的排列方向上具有平移对称性。注意, 当某个图案具有平移对称性时, 平移这个图案导致与原始图案相同的图案。与集合1和集合2的位置离像素区域10相比, 包括聚焦信号开关SCSa13、模拟存储器CTSa13和缓冲器VNSa3的集合3被布置在离像素区域10更近的位置。布置了导体图案6, 并且将导体图案6的电势设定为等于聚焦信号缓冲器VFSa1和VFSa3的输出节点的电势, 从而减小导体图案7对集合1和集合2的影响的差异。从而, 当噪声信号N和图像信号S接收到干扰噪声时, 干扰噪声对噪声信号N和图像信号S的影响变得基本上相等。因此, 当图像信号(S-N)被输出到芯片的外部时, 能够通过从图像信号S中减去噪声信号N来消除噪声信号N对图像信号S的影响。

[0074] 注意, 集合1和集合3的位置不具有平移对称性, 并且它们的位置彼此远离。因此, 噪声信号N和聚焦信号Sa受到不同的干扰噪声的影响。因此, 与图像信号(S-N)可包括的残余噪声相比, 作为由输出放大器MA执行的从Sa中减去N的减法的结果而获得的外部输出聚焦信号(Sa-N)可包括更大的残余噪声。

[0075] 也就是说, 在后级的电路中, 在从输出自第二信号保持单元的信号中减去输出自

噪声信号保持单元的信号的减法处理中实现的共模噪声抑制比可大于在从输出自第一信号保持单元的信号中减去输出自噪声信号保持单元的信号的减法处理中实现的共模噪声抑制比。

[0076] 如图1所示,聚焦信号缓冲器VFSa1和VFSa3在布局上与噪声信号缓冲器VFN1和VFN3不同,并且也与图像信号缓冲器VFS1和VFS3不同。因为上述布局上的差异,聚焦信号缓冲器VFSa1和VFSa3在输入阻抗、输出阻抗和/或开环增益上与噪声信号缓冲器VFN1和VFN3以及图像信号缓冲器VFS1和VFS3不同。也就是说,噪声信号缓冲器(VFN)与图像信号缓冲器(VFS)之间的输入阻抗、输出阻抗或开环增益上的差异小于噪声信号缓冲器(VFN)与聚焦信号缓冲器(VFSa)之间的差异。替代地,可允许减小去到聚焦信号缓冲器VFSa1和VFSa3的偏置电流,从而实现功率消耗上的降低。

[0077] 虽然在本实施例中,作为示例假定缓冲器VFN1、VFS1、VFSa1、VFN3、VFS3和VFSa3是电压跟随器电路,但它们可以是源极跟随器电路或者具有等于或大于1的增益的放大器。开关SCN111、SCN121、SCS111、SCS121等等可以各自是利用n型MOS晶体管和p型MOS晶体管的组合实现的模拟开关,或者可利用n型MOS晶体管和p型MOS晶体管中的任一者来实现。

[0078] 在图2所示的示例中,在每一列中设有一个放大器电路GA。可替代地,可以设置多个列放大器使得每个列放大器被多个像素共享。

[0079] 本实施例使得能够在抑制芯片上列电路占用的面积的增大的同时读出具有高S/N比的图像信号。

[0080] 第二实施例

[0081] 图4是示出根据第二实施例的摄像装置的平面布局的示意图。与根据第一实施例的那些相似的元件由相似的附图标记表示,并且省略对其的进一步详细描述。第二实施例与第一实施例的不同之处在于第一信号保持单元被布置为与噪声信号保持单元和第二信号保持单元平行,使得它们的位置都是在同一方向上并排的。

[0082] 在图4中,实心黑色区域表示布置在第二层中以电连接在第二布线层M2和第三布线层M3之间的介层插塞。每个第三布线层(M3)由交叉线阴影区域(M3)表示。每个导体图案4是屏蔽线。

[0083] 注意,图4所示的布局对应于根据第一实施例的图2所示的电路图中的虚线18围绕的部分。

[0084] 如图4所示,有一空间9与包括聚焦信号开关、模拟存储器和缓冲器在内的集合3的右侧相邻。另一方面,在包括噪声信号开关和模拟存储器以及缓冲器的集合1的右边基本上没有空间,并且在包括图像信号开关和模拟存储器以及缓冲器的集合2的右边基本上没有空间,并且集合1和集合2具有平移对称性。

[0085] 虽然集合1和集合2具有平移对称性,但集合3相对于集合1和集合2不具有平移对称性。

[0086] 这个配置是考虑到如下事实而采用的:对于噪声信号、图像信号和聚焦信号分别布置三个模拟存储器CTN11、CTS11和CTSa11,并且对于噪声信号和图像信号分别布置两个模拟存储器CTN21和CTS21。空间存在/不存在方面的上述差异可取决于在布局中延伸布线的方式或者确定网格边线(grid side)以减小光掩模成本的方式等等而发生。在本实施例中,为了高效利用在生产过程期间可能会不可避免地发生的布局中的空间的这种差异,包

括用于聚焦信号的开关、模拟存储器和缓冲器的集合3被布局为不具有平移对称性。结果，允许聚焦信号模拟存储器CTSa11的多晶硅与位于多晶硅的右侧的屏蔽线4间隔开大的距离。在这个布局中，如果考虑甚至包括寄生电容在内的所有电容组件，则聚焦信号模拟存储器CTSa11的电容小于模拟存储器CTN11和CTS11中的任一者的电容。

[0087] 在聚焦信号缓冲器VFSa1的右边有大的空间，从而，如果考虑寄生电阻和寄生电容，则因为布局上的差异，聚焦信号缓冲器VFSa1在输入阻抗、输出阻抗或开环增益上与缓冲器VFN1和VFS1不同。来自聚焦信号缓冲器VFSa1的输出信号与来自缓冲器VFN1和VFS1的输出信号相比不需要具有高精度度，从而可以允许减小去到聚焦信号缓冲器VFSa1和VFSa3的偏置电流。

[0088] 第三实施例

[0089] 图5是示出根据第三实施例的摄像装置的布局的示意图。注意，图5所示的布局对应于根据第一实施例的图2所示的电路图中的虚线18围绕的部分。在图5中，与根据第一或第二实施例的那些相似的元件由相似的附图标记表示，并且省略对其的进一步详细描述。第三实施例与第二实施例的不同之处在于形成缓冲器VFSa和VFN中的每一个的输入节点的导体图案5包括虚设部分。

[0090] 在图5中，包括用于噪声信号的开关和模拟存储器的集合13、包括用于图像信号的开关和模拟存储器的集合14以及包括用于聚焦信号的开关和模拟存储器的集合17在一个方向上并排排列。

[0091] 如图5所示，形成缓冲器VFSa和VFN中的每一个的输入节点的导体图案5包括由图5中的粗虚线表示的虚设部分，使得该虚设部分减小缓冲器VFS的输入节点的输入电容与缓冲器VFSa和VFN中的每一个的输入节点的输入电容之间的差异。

[0092] 如图5的布局图中所示，在包括用于聚焦信号的开关SCSa13和模拟存储器CTSa的集合17的左边有大的空间。另一方面，在包括用于噪声信号的开关SCN13和模拟存储器CTN13的集合13的左边有小的空间，并且在包括用于图像信号的开关SCS13和模拟存储器CTS13的集合14的左边有小的空间。集合13和集合14就被屏蔽线4围绕的区域而言具有平移对称性。另一方面，因为空间上的上述差异，集合17相对于集合13和集合14不具有平移对称性。

[0093] 这个配置是考虑到如下事实而采用的：对于噪声信号、图像信号和聚焦信号分别布置三个模拟存储器CTN11、CTS11和CTSa11，并且对于噪声信号和图像信号分别布置两个模拟存储器CTN21和CTS21。空间存在/不存在方面的上述差异可取决于在布局中延伸布线的方式或者确定网格边线以减小光掩模成本的方式等等而发生。

[0094] 在本实施例中，为了高效利用空间的这种差异，对于各个信号保持单元不均等分配空间，使得聚焦信号模拟存储器CTSa11的多晶硅与位于多晶硅的左边的屏蔽线4间隔开大的距离，从而聚焦信号模拟存储器CTSa11的电容小于模拟存储器CTN11和CTS11中的任一者的电容。

[0095] 虽然已参考示范性实施例描述了本发明，但要理解本发明不限于公开的示范性实施例。所附权利要求的范围应符合最宽解释以涵盖所有这种修改和等同结构和功能。

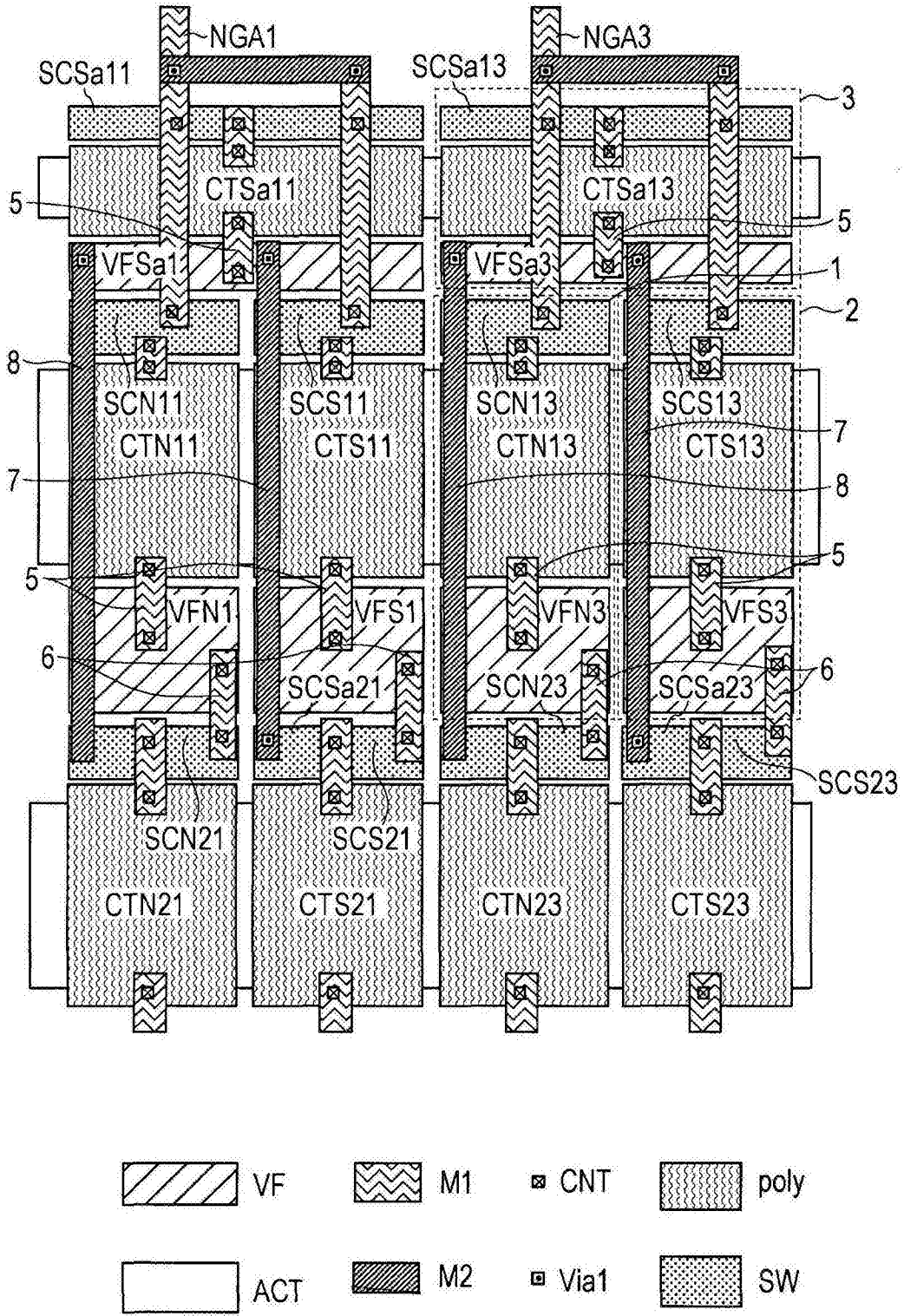


图1

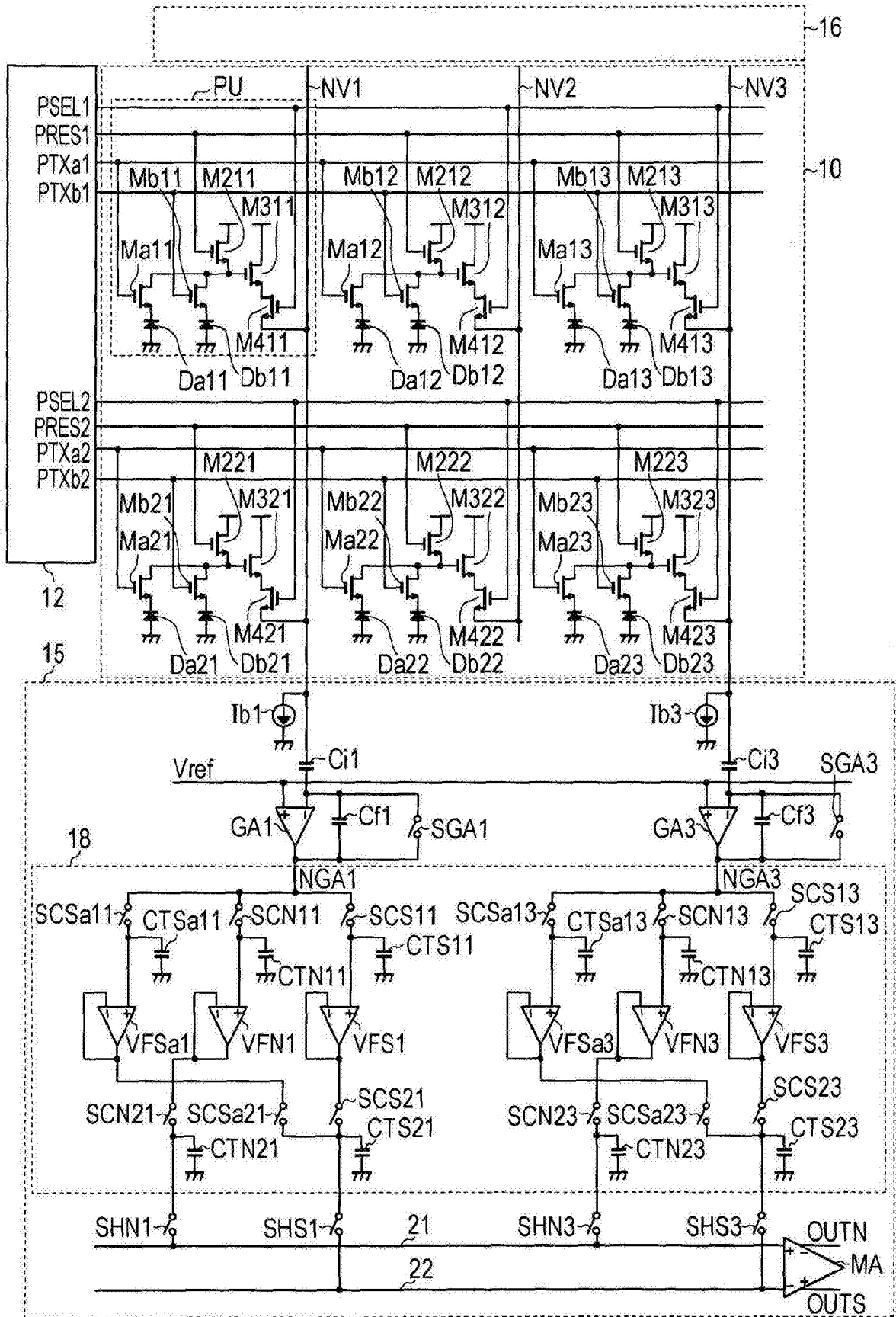


图2

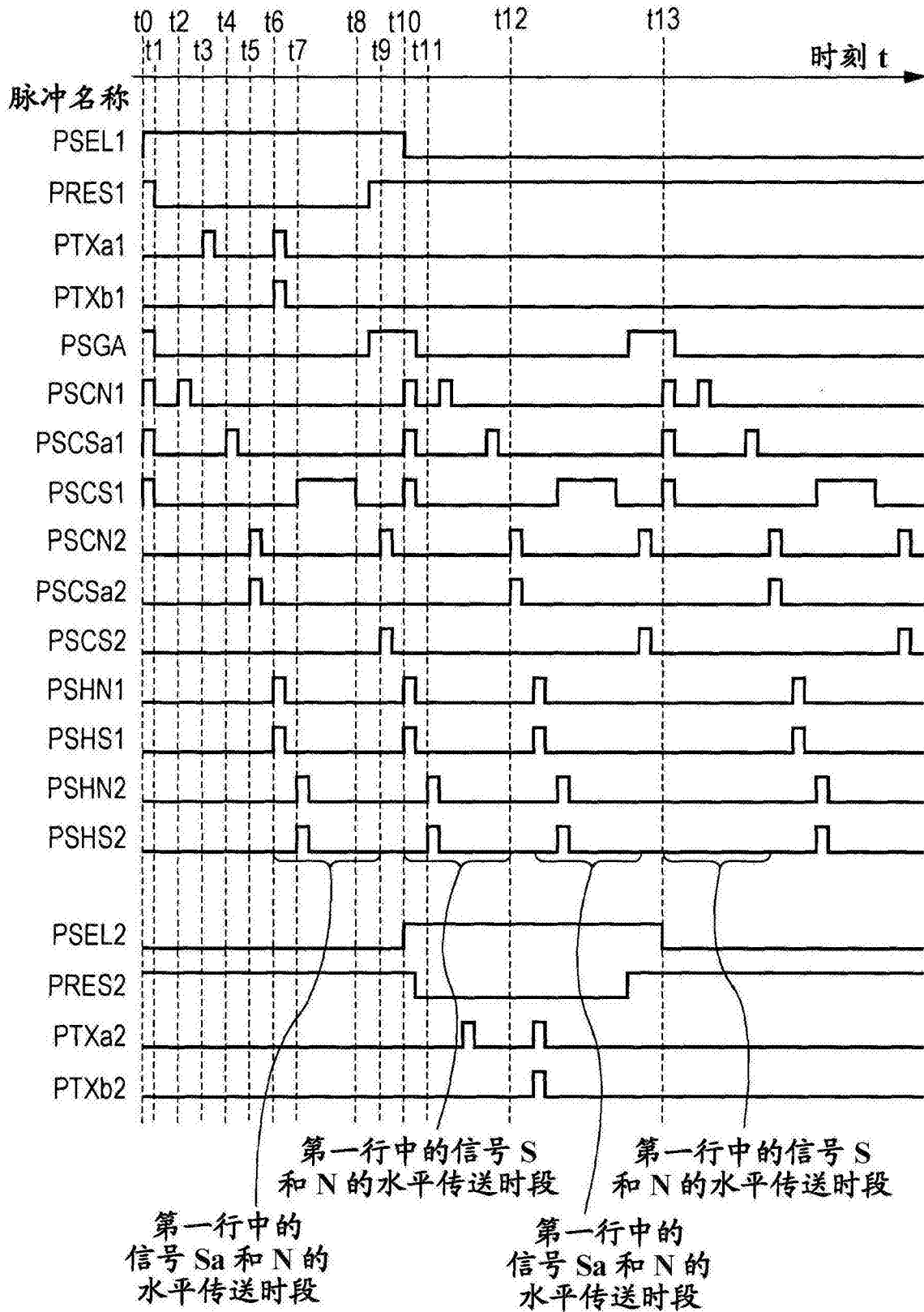


图3

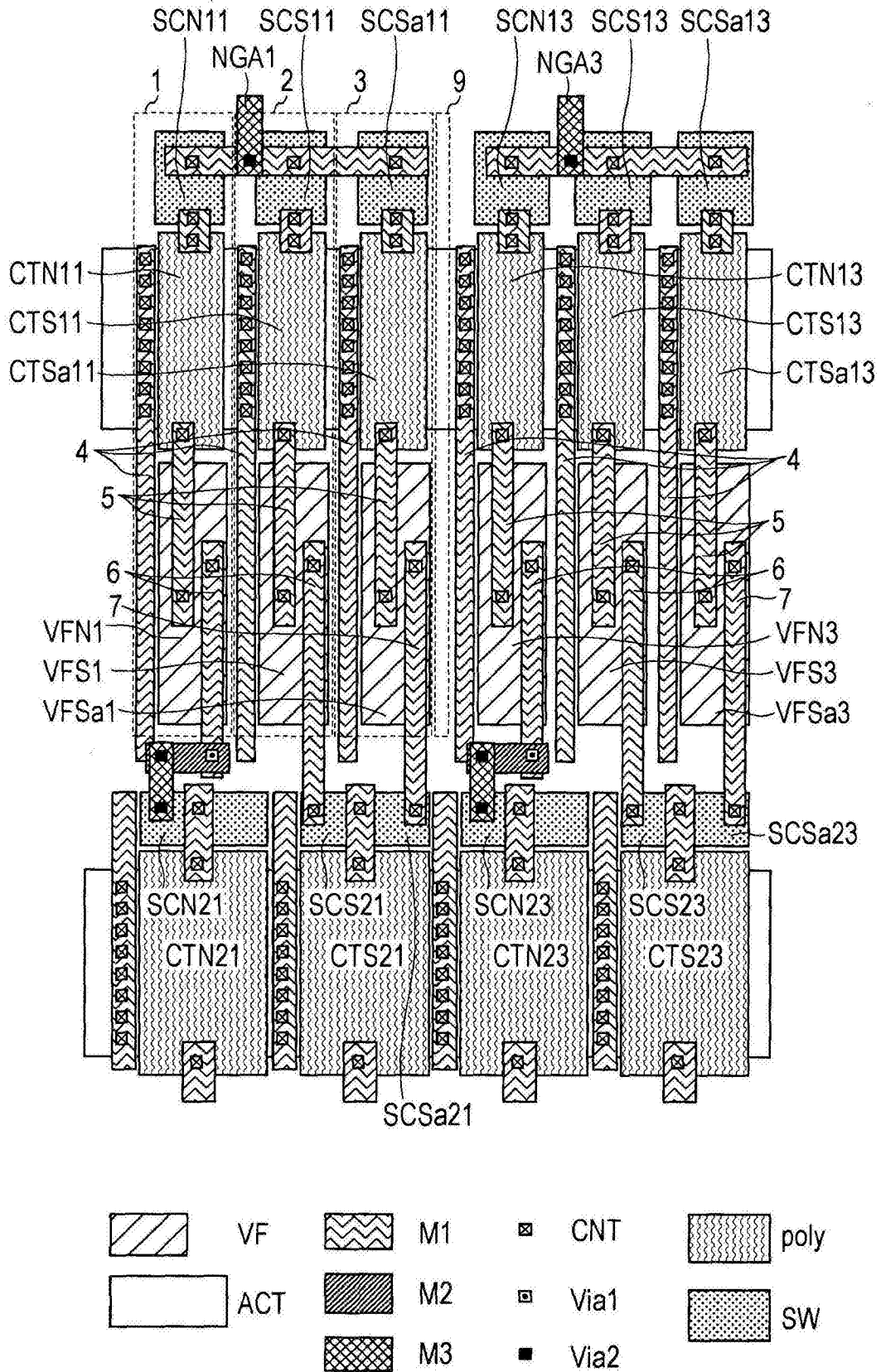


图4

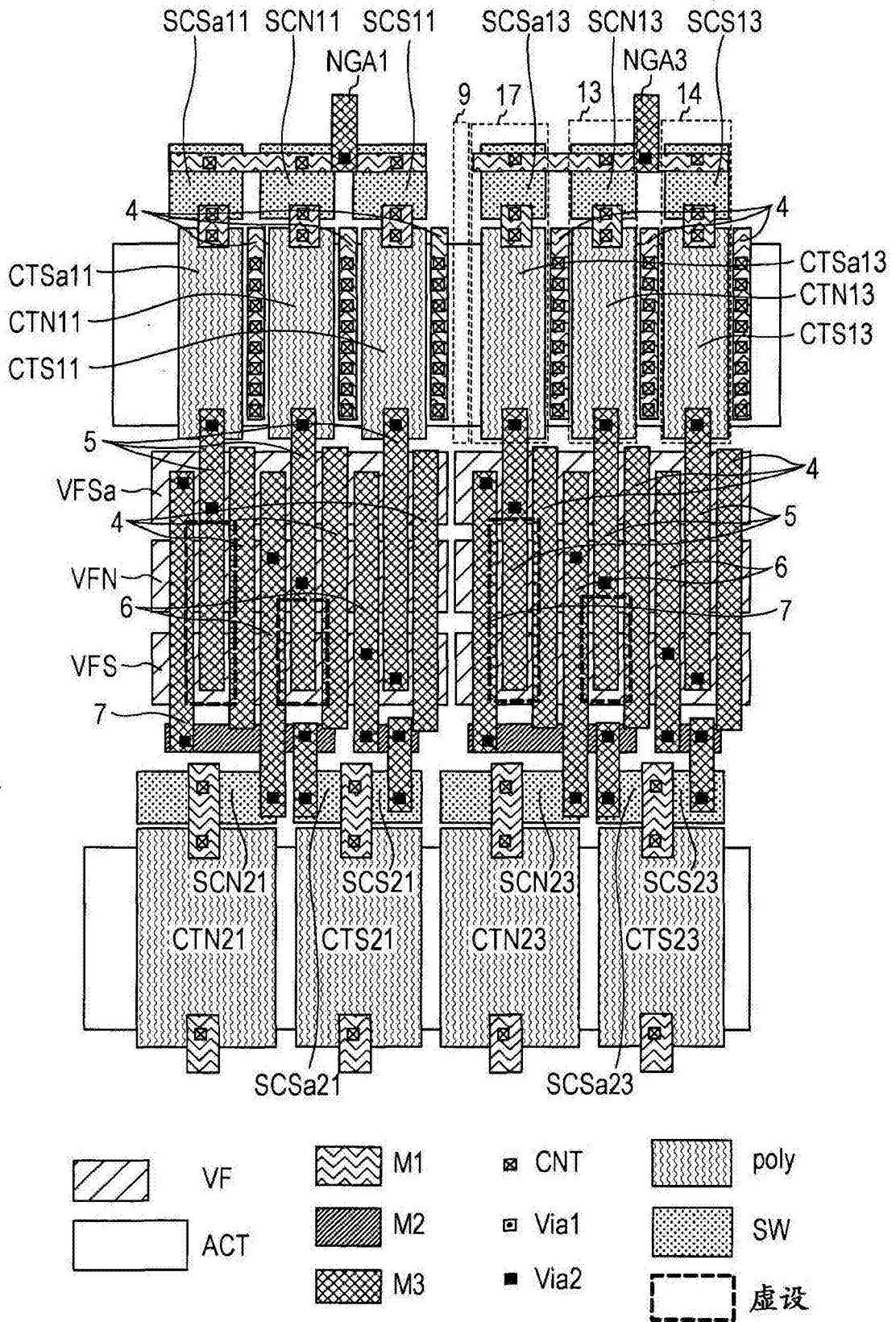


图5