



# (12)发明专利

(10)授权公告号 CN 107564824 B

(45)授权公告日 2019.12.24

(21)申请号 201710718543.0

H01L 21/60(2006.01)

(22)申请日 2017.08.21

H01L 23/31(2006.01)

H01L 23/538(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 107564824 A

(43)申请公布日 2018.01.09

(73)专利权人 华进半导体封装先导技术研发中心有限公司

地址 214135 江苏省无锡市新吴区菱湖大道200号传感网国际创新园D1栋

(56)对比文件

CN 103620772 A, 2014.03.05,

CN 101740552 A, 2010.06.16,

US 7999359 B2, 2011.08.16,

审查员 穆晓龄

(72)发明人 任玉龙 孙鹏

(74)专利代理机构 北京三聚阳光知识产权代理有限公司 11250

代理人 马永芬

(51)Int.Cl.

H01L 21/56(2006.01)

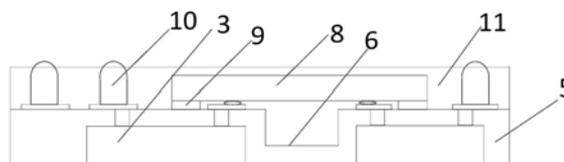
权利要求书1页 说明书6页 附图3页

(54)发明名称

一种芯片封装结构及封装方法

(57)摘要

本发明涉及芯片封装技术领域,公开的一种芯片封装方法包括以下步骤:将若干第一芯片设置于载体上;将所述第一芯片封装,形成第一封装体;在相邻所述第一芯片之间的所述第一封装体上开设槽体;将第二芯片设置于所述槽体上方,并与所述第一芯片电连接。由此,一方面,槽体的设置为第二芯片提供了所需求的空腔以及密闭结构,另一方面槽体设置在已经形成的第一封装体上,降低了多种芯片的封装结构在水平及垂直方向上的尺寸,保证了封装结构的小型化。另外,该封装方法较为简单,易于实施。



1. 一种芯片封装方法,其特征在于,包括以下步骤:

将若干第一芯片(3)设置于载体(1)上;

将所述第一芯片(3)封装,形成第一封装体(5);

在相邻所述第一芯片(3)之间的所述第一封装体(5)上开设槽体(6);

将第二芯片(8)设置于所述槽体(6)上方,并与所述第一芯片(3)电连接;所述第二芯片(8)与所述槽体(6)之间形成密闭的空腔。

2. 根据权利要求1所述的芯片封装方法,其特征在于,所述将第一芯片(3)设置于所述载体(1)上的步骤之前或者之后,还包括以下步骤:

在所述第一芯片(3)的电极上设置若干第一连接柱(4),所述第一连接柱(4)设置在所述第一芯片(3)远离所述载体(1)的一侧。

3. 根据权利要求2所述的芯片封装方法,其特征在于,所述在相邻所述第一芯片(3)之间的所述第一封装体(5)上开设槽体(6)的步骤之后,还包括以下步骤:

对所述第一封装体(5)远离所述载体(1)的一侧进行减薄处理,露出所述第一连接柱(4)的顶部。

4. 根据权利要求3所述的芯片封装方法,其特征在于,所述将第二芯片(8)设置于所述槽体(6)上方,并与所述第一芯片(3)电连接的步骤具体为:

在所述第一封装体(5)表面进行布线,并将所述第一芯片(3)与所述第二芯片(8)相连;

在所述第一封装体(5)表面形成若干第二连接柱(10),所述第二连接柱(10)与第一芯片(3)电相连。

5. 根据权利要求4所述的芯片封装方法,其特征在于,所述将第二芯片(8)设置于所述槽体(6)上方,并与所述第一芯片(3)电连接的步骤之后,还包括以下步骤:

将所述第二芯片(8)和所述第二连接柱(10)封装至所述第一封装体(5)上形成第二封装体(11),并露出所述第二连接柱(10)顶部。

6. 一种芯片封装结构,其特征在于,包括:

第一封装体(5),内设若干第一芯片(3),且在相邻所述第一芯片(3)之间的所述第一封装体(5)上具有一槽体(6);

直接形成在所述第一封装体(5)上的第二封装体(11),内设有若干第二芯片(8),所述第二芯片(8)设置于所述槽体(6)上方,且与所述第一芯片(3)电相连;所述第二芯片(8)与所述槽体(6)之间形成密闭的空腔。

7. 根据权利要求6所述的芯片封装结构,其特征在于,所述第一封装体(5)表面还设置有布线层(7),所述第一芯片(3)上设置有若干第一连接柱(4),所述布线层(7)与所述第一连接柱(4)相连;

所述第二芯片(8)通过所述布线层(7)与所述第一芯片(3)电连接。

8. 根据权利要求7所述的芯片封装结构,其特征在于,所述布线层(7)上设置有第二连接柱(10),所述第二连接柱(10)的顶部延伸出所述第二封装体(11)。

## 一种芯片封装结构及封装方法

### 技术领域

[0001] 本发明涉及芯片封装技术领域,具体涉及一种芯片封装结构及封装方法。

### 背景技术

[0002] 在集成电路芯片封装技术领域,如何在保证不影响芯片功能和不增大封装体积的同时,降低封装成本并提高生产效率,在国际上已成为一项非常重要和迫切的研究课题。堆叠芯片封装技术是一项将不同功能和大小的多个芯片堆叠并封装在一起的新技术。

[0003] 现有技术公开了一种集成有供电传输系统的封装件的封装方法,包括以下步骤:1) 提供一载体;2) 采用电镀工艺在所述载体表面第一金属连接柱;3) 将有源模块及无源模块设置于所述载体形成有所述第一金属连接柱的表面上,并在所述有源模块及所述无源模块表面形成第二金属连接柱,其中有源模块和无源模块形成有源2.5D中介板,有源2.5D中介板作为功率传输功率芯片;4) 使用塑封材料将所述第一金属连接柱、所述有源模块、所述无源模块及所述第二金属连接柱封装成型,并去除部分所述塑封材料以裸露出所述第一金属连接柱及所述第二金属连接柱;5) 在所述塑封材料表面形成再布线层,所述再布线层将所述第一金属连接柱、所述有源模块及所述无源模块电连接;所述有源模块、所述无源模块及所述再布线层共同构成供电传输系统;所述供电传输系统适于将外部电源提供的高电压转换成多个不同的低电压,并提供多条低电压供电轨道;6) 提供用电芯片,将所述用电芯片设置于所述再布线层表面,所述用电芯片经由多个微凸块实现与所述低电压供电轨道的对接;7) 剥离所述载体。

[0004] 上述封装技术存在以下缺陷:1、用电芯片通过多个微凸块设置于再布线层的表面,一方面微凸块的设置一定程度上增加了整个封装结构的厚度,另一方面对于那些对空间有一定需求的用电芯片,需要额外为其提供多余的空间,例如通过加高微凸块的高度等方式来实现,这无疑大大增加了封装结构的厚度,不利于封装体积小形化;2、用电芯片的外表面裸露在外,密封性差,用电芯片很容易受到损坏,可靠性大大降低。

### 发明内容

[0005] 为此,本发明所要解决的技术问题是:对于有一定空间需求的芯片,如何减小芯片堆叠封装后的整体封装体积。

[0006] 为解决上述技术问题,本发明采用的技术方案如下:

[0007] 本发明提供了一种芯片封装方法,包括以下步骤:

[0008] 将若干第一芯片设置于载体上;

[0009] 将所述第一芯片封装,形成第一封装体;

[0010] 在相邻所述第一芯片之间的所述第一封装体上开设槽体;

[0011] 将第二芯片设置于所述槽体上方,并与所述第一芯片电连接。

[0012] 可选地,所述将第一芯片设置于所述载体上的步骤之前或者之后,还包括以下步骤:

[0013] 在所述第一芯片的电极上设置若干第一连接柱,所述第一连接柱设置在所述第一芯片远离所述载体的一侧。

[0014] 可选地,所述在相邻所述第一芯片之间的所述第一封装体上开设槽体的步骤之后,还包括以下步骤:

[0015] 对所述第一封装体远离所述载体的一侧进行减薄处理,露出所述第一连接柱的顶部。

[0016] 可选地,所述将第二芯片设置于所述槽体上方,并与所述第一芯片电连接的步骤具体为:

[0017] 在所述第一封装体表面进行布线,并将所述第一芯片与所述第二芯片相连;

[0018] 在所述第一封装体表面形成若干第二连接柱,所述第二连接柱与第一芯片电相连。

[0019] 可选地,所述将第二芯片设置于所述槽体上方,并与所述第一芯片电连接的步骤之后,还包括以下步骤:

[0020] 将所述第二芯片和所述第二连接柱封装至所述第一封装体上形成第二封装体,并露出所述第二连接柱顶部。

[0021] 本发明还提供了一种芯片封装结构,包括:

[0022] 第一封装体,内设若干第一芯片,且在相邻所述第一芯片之间的所述第一封装体上具有一槽体;

[0023] 直接形成在所述第一封装体上的第二封装体,内设有若干第二芯片,所述第二芯片设置于所述槽体上方,且与所述第一芯片电相连。

[0024] 可选地,所述第一封装体表面还设置有布线层,所述第一芯片上设置有若干第一连接柱,所述布线层与所述第一连接柱相连;

[0025] 所述第二芯片通过所述布线层与所述第一芯片电连接。

[0026] 可选地,所述布线层上设置有第二连接柱,所述第二连接柱的顶部延伸出所述第二封装体。

[0027] 本发明的上述技术方案相对于现有技术具有以下优点:

[0028] 本发明提供的芯片封装方法,首先将若干第一芯片设置于载体上;再将第一芯片封装,形成第一封装体;然后在相邻第一芯片之间的第一封装体上开设槽体;最后将第二芯片设置于槽体上方,并与第一芯片电连接。

[0029] 现有的芯片封装方法一般是通过层层堆叠的方式来封装需要封装在一起的芯片,封装体为一完整的平面结构,为了保证封装体积小型化,芯片与芯片之间以及芯片与封装体之间往往结构较为紧凑,而对于特殊芯片如MEMS芯片来说,需要处于真空环境中,或者超净、惰性气体氛围等特殊环境中,需要先密封后堆叠封装,这样会大大增加最终封装的三维尺寸,不利于封装体积小型化。本申请提供的芯片封装方法通过在相邻第一芯片之间的第一封装体上开设槽体,将第二芯片设置于槽体上方,并与第一芯片电连接。由此,一方面,槽体的设置为第二芯片提供了所需求的空腔以及密闭结构,另一方面槽体设置在已经形成的第一封装体上,降低了多种芯片的封装结构在水平及垂直方向上的尺寸,保证了封装结构的小型化。另外,该封装方法较为简单,易于实施。

[0030] 本发明提供的芯片封装方法,还包括在第一芯片的电极上设置若干第一连接柱的

步骤,第一连接柱设置在第一芯片远离载体的一侧。由于第一芯片后续需要被封装成第一封装体,因此,在第一芯片的电极上设置若干第一连接柱有利于将第一芯片上的电极从封装体内引出。另外,设置第一连接柱的步骤可以在将第一芯片设置于载体上步骤之前或之后,可根据实际情况而定。

[0031] 本发明提供的芯片封装方法,还包括对第一封装体远离载体的一侧进行减薄处理,露出第一连接柱的顶部。由于形成第一封装体时,第一芯片上的第一连接柱有可能未完全露出,影响第一芯片电极的引出。因此,对第一封装体远离载体的一侧进行减薄处理,以彻底露出第一连接柱,保证后续封装工序正常进行。同时,仅暴露第一连接柱的顶部区域,芯片的其他区域仍为一体结构,保证了芯片封装结构的稳定性和可靠性,以及使用的安全性。

[0032] 本发明提供的芯片封装方法,将第二芯片设置于所述槽体上方,并与第一芯片电连接的步骤具体为:首先在第一封装体表面进行布线,并将第一芯片与第二芯片相连;在第一封装体表面形成若干第二连接柱,第二连接柱与第一芯片电相连。通过在已经形成的第一封装体表面进行布线,实现第一芯片与第二芯片电连接,通过在第一封装体表面形成与第一芯片电连接的第二连接柱,便于在后续工艺中将第一芯片的电极进一步引出封装体。

[0033] 本发明提供的芯片封装方法,还包括将第二芯片和第二连接柱封装至第一封装体上形成第二封装体,并露出第二连接柱顶部的步骤。该工艺步骤的增加,使得第二芯片以及第二连接柱能够被封装成型,第二芯片被全面包裹住,增强了第二芯片的密封性,对第二芯片起到进一步的保护作用。另外,第二连接柱的顶部露出第二封装体,由于第二连接柱与第一芯片电连接,第二连接柱露出的顶部则作为整个封装结构中第一芯片的接线端子。

[0034] 本发明提供的芯片封装结构,包括:内设若干第一芯片的第一封装体,且在相邻第一芯片之间的第一封装体上具有一槽体;以及直接形成在第一封装体上的内设有若干第二芯片的第二封装体,第二芯片设置于槽体上方,且与第一芯片电相连。

[0035] 现有的芯片封装结构中的封装体一般为完整的平面结构,为了保证封装体积小,芯片与芯片之间以及芯片与封装体之间往往结构较为紧凑,而对于特殊芯片如MEMS芯片来说,需要处于真空环境中,或者超净、惰性气体氛围等特殊环境中,需要先密封后堆叠封装,这样会大大增加最终封装的三维尺寸,不利于封装体积小。

[0036] 本申请提供的芯片封装结构中,槽体的设置为第二芯片提供了所需求的空腔以及密闭结构,且槽体设置在已经形成的第一封装体上,降低了多种芯片的封装结构在水平及垂直方向上的尺寸,保证了封装结构的小型化。另外,第一芯片被第一封装体全面包裹,第二芯片被第二封装体全面包裹,形成第一芯片和第二芯片的一体成型结构,增强了第一芯片和第二芯片的密封性,提高了整个封装结构的可靠性。

## 附图说明

[0037] 为了更清楚地说明本发明具体实施方式或现有技术中的技术方案,下面将对具体实施方式或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施方式,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0038] 图1~9为本发明实施例提供的芯片封装工艺流程示意图;

[0039] 附图标记说明：

[0040] 1-载体；2-粘合剂层；3-第一芯片；4-第一连接柱；5-第一封装体；6-槽体；7-布线层；71-焊盘；72-连接导线；8-第二芯片；9-胶密封体；10-第二连接柱；11-第二封装体。

### 具体实施方式

[0041] 下面将结合附图对本发明的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0042] 在本发明的描述中，需要说明的是，术语“第一”、“第二”、“第三”仅用于描述目的，而不能理解为指示或暗示相对重要性。

[0043] 此外，下面所描述的本发明不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

[0044] 实施例1

[0045] 本实施例提供了一种芯片封装方法，包括以下步骤：

[0046] 步骤S1、将若干第一芯片3设置于载体1上。其中，第一芯片3不局限于一种芯片，可以为各种不同或不全相同种类的芯片。

[0047] 作为本实施例的一种实施方式，步骤S1具体包括以下步骤：

[0048] 步骤S11、提供一载体1，载体1一般为硅载片；

[0049] 步骤S12、在载体1上形成粘合剂层2，具体地，通过旋涂的方式在载体1上旋涂光敏性的临时结合胶，例如UV胶等；

[0050] 步骤S13、通过贴片工艺将各第一芯片3贴附于载体1上的粘合剂层2上，第一芯片3呈矩阵排布。

[0051] 步骤S2、在第一芯片3的电极上设置若干第一连接柱4，第一连接柱4设置在第一芯片3远离载体1的一侧；其中，第一连接柱4为导电金属材质制成，优选铜材质，且第一连接柱4与第一芯片3上的接触电极一一对应。第一连接柱4的设置有利于将第一芯片3上的电极从后续形成的第一封装体5内引出。

[0052] 需要说明的是，步骤S2可以在步骤S13之前进行，同样能够实现本发明的目的，属于本发明的保护范围。

[0053] 步骤S3、将第一芯片3封装，形成第一封装体5；具体地，采用塑封工艺将第一芯片3以及第一芯片3上的第一连接柱4封装成型形成第一封装体5。

[0054] 步骤S4、在相邻第一芯片3之间的第一封装体5上开设槽体6；具体地，采用切割工艺形成槽体6，或者在步骤S3中形成第一封装体时，利用塑封模具直接形成槽体6，且槽体6与载体1以及相邻的第一芯片3均不相连。

[0055] 步骤S5、对第一封装体5远离载体1的一侧进行减薄处理，露出第一连接柱4的顶部；具体地，采用抛光工艺进行减薄处理，露出第一连接柱4的顶部，并保证槽体6具有一定的深度。

[0056] 由于形成第一封装体5时，第一芯片3上的第一连接柱4有可能未完全露出，影响第一芯片3电极的引出。因此，步骤S5对第一封装体5远离载体1的一侧进行减薄处理，以彻底露出第一连接柱4，保证了后续封装工序正常进行，同时，仅暴露第一连接柱的顶部区域，芯

片的其他区域仍为一体结构,保证了芯片封装结构的稳定性和可靠性,以及使用的安全性。

[0057] 步骤S6、将第二芯片8设置于槽体6上方,并与第一芯片3电连接;

[0058] 作为本实施例的一种实施方式,步骤S6具体包括以下步骤:

[0059] 步骤S61、在第一封装体5表面进行布线,并将第一芯片3与第二芯片8相连;

[0060] 作为本实施例的一种实施方式,步骤S61具体包括以下步骤:

[0061] 步骤S611、在第一封装体5表面各个露出的第一连接柱4顶部形成焊盘71;

[0062] 步骤S612、通过将相邻的第一芯片3上的部分焊盘71相连的方式,将相邻的第一芯片3电性连接;

[0063] 步骤S613、通过倒装的方式将第二芯片8设置于槽体6上方,并将第二芯片8与槽体6两侧的第一芯片3上的焊盘71电连接。如,第二芯片8上表面具有突起部,可将突起部设置在槽体6内,以减薄第一芯片3与第二芯片8的层叠厚度;或者第二芯片8上表面为非平整表面,可将非平整区域置于槽体6内,以稳固第二芯片8方便后续封装步骤。

[0064] 步骤S614、在第二芯片8与第一封装体5之间的外围区域形成胶密封体9,以加强第二芯片8的密封性。

[0065] 步骤S62、在第一封装体5表面形成若干第二连接柱10,第二连接柱10与第一芯片3电相连。具体地,在第一封装体5表面露出的第一连接柱4顶部的焊盘71上形成第二连接柱10,或者在第一封装体5表面的其他区域形成第二连接柱10,再将第二连接柱10与第一连接柱4顶部的焊盘71电性连接,其中,第二连接柱10为金属材质,优选铜材质。第二连接柱10的设置便于在后续工艺中将第一芯片3的电极进一步引出第二封装体11。

[0066] 需要说明的是,步骤S62也可以在步骤S613之前进行,同样能够实现本发明的目的,属于本发明的保护范围。

[0067] 步骤S7、将第二芯片8和第二连接柱10封装至第一封装体5上形成第二封装体11,并露出第二连接柱10顶部;具体地,采用塑封工艺将第二芯片8以及第二连接柱10封装成型,形成第二封装体11,并且保证第二连接柱10顶部露出,也可以通过抛光工艺对第二封装体11进行减薄处理,以确保第二连接柱10顶部完全露出。

[0068] 步骤S7使得第二芯片8以及第二连接柱10能够被封装成型,第二芯片8被全面包裹住,增强了第二芯片8的密封性,对第二芯片8起到进一步的保护作用。另外,第二连接柱10的顶部露出第二封装体11,由于第二连接柱10与第一芯片3电连接,第二连接柱10露出的顶部则作为整个封装结构中第一芯片3的接线端子。

[0069] 步骤S8、去除载体1;具体地,基于涂覆有UV胶的载体1,采用UV光照射,使得载体1与第一封装体5分离,基于其他具有光敏性的临时结合胶,则采用其他光照射,同样属于本发明的保护范围。

[0070] 步骤S9、切割形成单颗堆叠封装芯片。

[0071] 现有的芯片封装方法一般是通过层层堆叠的方式来封装需要封装在一起的芯片,封装体为一完整的平面结构,为了保证封装体积小型化,芯片与芯片之间以及芯片与封装体之间往往结构较为紧凑,而对于特殊芯片如MEMS芯片来说,需要处于真空环境中,或者超净、惰性气体氛围等特殊环境中,需要先密封后堆叠封装,这样会大大增加最终封装的三维尺寸,不利于封装体积小型化。

[0072] 本申请提供的芯片封装方法通过在相邻第一芯片3之间的第一封装体5上开设槽

体6,将第二芯片8设置于槽体6上方,并与第一芯片3电连接。由此,一方面,槽体6的设置第二芯片8提供了所需求的空腔以及密闭结构,另一方面,槽体6设置在已经形成的第一封装体5上,降低了多种芯片的封装结构在水平及垂直方向上的尺寸,保证了封装结构的小型化。另外,该封装方法较为简单,易于实施。

#### [0073] 实施例2

[0074] 本实施例提供了一种芯片封装结构,包括第一封装体5和第二封装体11。

[0075] 第一封装体5内设若干第一芯片3,且在相邻第一芯片3之间的第一封装体5上具有一槽体6。其中,第一芯片3呈矩阵排列,且第一芯片3不局限于一种芯片,可以为各种不同或不完全相同种类的芯片,槽体6与相邻的第一芯片3均不相连。

[0076] 第二封装体11直接设置在第一封装体5上,内设有若干第二芯片8,第二芯片8设置于槽体6上方,且与第一芯片3电相连。

[0077] 作为本实施例的一种实施方式,第一封装体5上还设置有布线层7,第一芯片3上设置有若干第一连接柱4,布线层7与第一连接柱4相连;第二芯片8通过布线层7与第一芯片3电连接。其中,第一连接柱4为金属材质制成,优选铜材质,其顶部露出第一封装体5表面,布线层7包括与第一连接柱4露出顶部电连接的焊盘71,以及连接相邻的第一芯片3上部分焊盘71的连接导线72。第二芯片8与第一芯片3上的焊盘71电连接。

[0078] 作为本实施例的一种实施方式,布线层7上设置有第二连接柱10,第二连接柱10的顶部延伸出第二封装体11。具体地,第二连接柱10为金属材质制成,优选铜材质,其可以直接与第一连接柱4顶部的焊盘71电连接,也可以设置在第一封装体5表面其他区域,且通过连接导线72与第一芯片3上的焊盘71电连接。

[0079] 作为本实施例的一种实施方式,第二芯片8与第一封装体5之间的外围区域设置有胶密封体9,以加强第二芯片8的密封性。

[0080] 作为本实施例的一种实施方式,第一芯片3贴附于载体1上。具体地,载体1上设置有粘合剂层2,第一芯片3通过粘合剂层2与载体1固定连接,载体1一般为硅载片,粘合剂层2可以为光敏性的临时结合胶,例如UV胶等。

[0081] 本实施例提供的芯片封装结构中,槽体6的设置第二芯片8(特殊芯片如MEMS芯片,需要处于真空环境中,或者超净、惰性气体氛围等特殊环境中)提供了所需求的空腔以及密闭结构;或者对于表面具有突起部的第二芯片8,可将突起部设置在槽体6内,以减薄第一芯片3与第二芯片8的层叠厚度;又或者第二芯片8上表面为非平整表面,可将非平整区域置于槽体6内,以稳固第二芯片8方便后续封装步骤。槽体6设置在已经形成的第一封装体5上,降低了多种芯片的封装结构在水平及垂直方向上的尺寸,保证了封装结构的小型化。另外,第一芯片3被第一封装体5全面包裹,第二芯片8被第二封装体11全面包裹,增强了第一芯片3和第二芯片8的密封性,形成第一芯片和第二芯片的一体成型结构,提高了整个封装结构的可靠性。

[0082] 显然,上述实施例仅仅是为清楚地说明所作的举例,而并非对实施方式的限定。对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引伸出的显而易见的变化或变动仍处于本发明创造的保护范围之内。

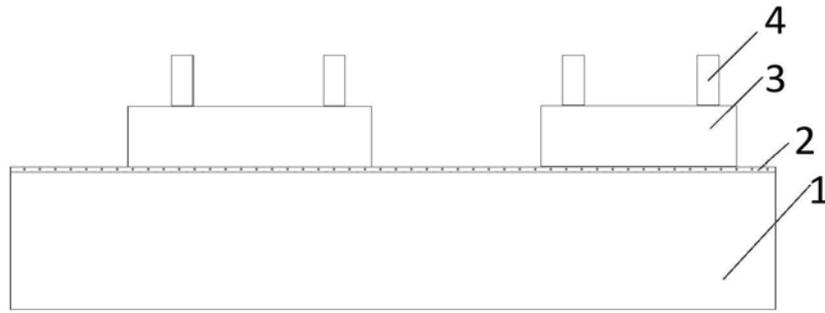


图1

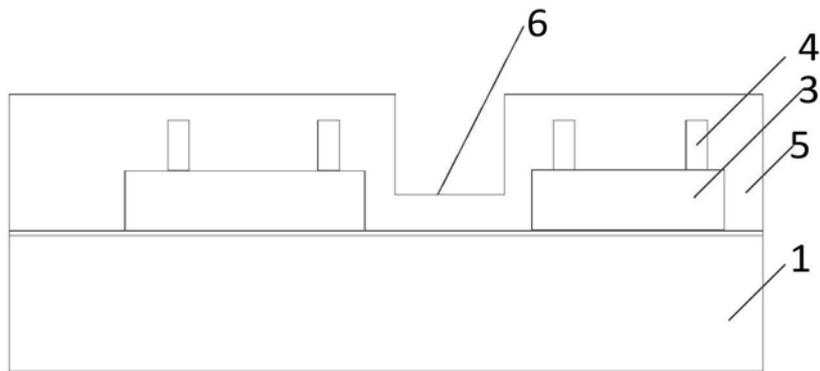


图2

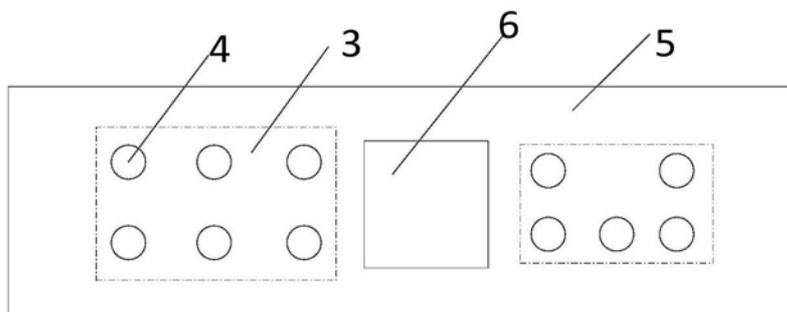


图3

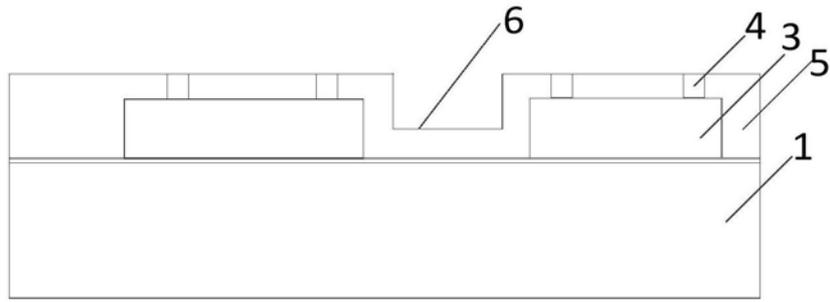


图4

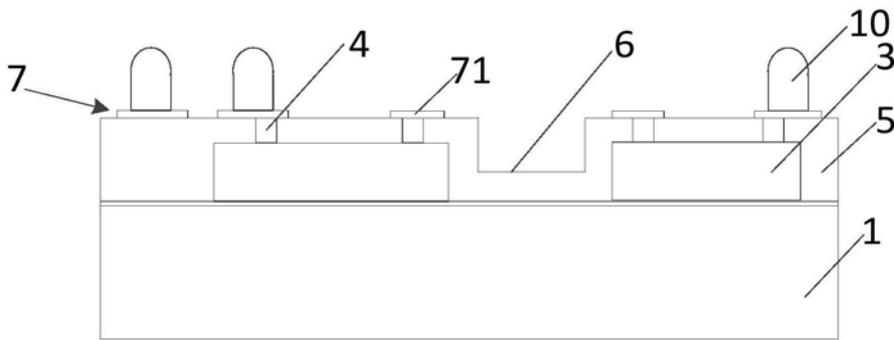


图5

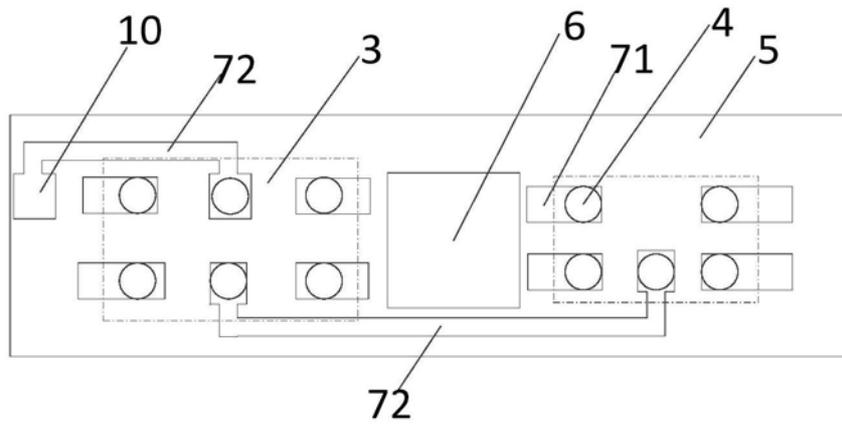


图6

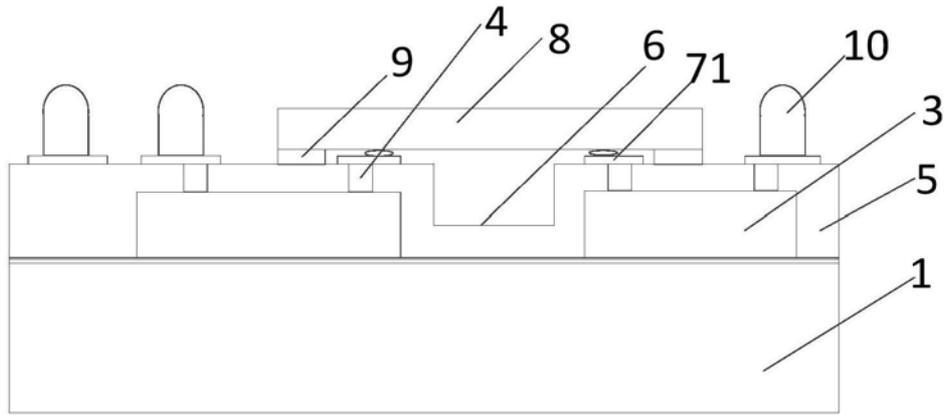


图7

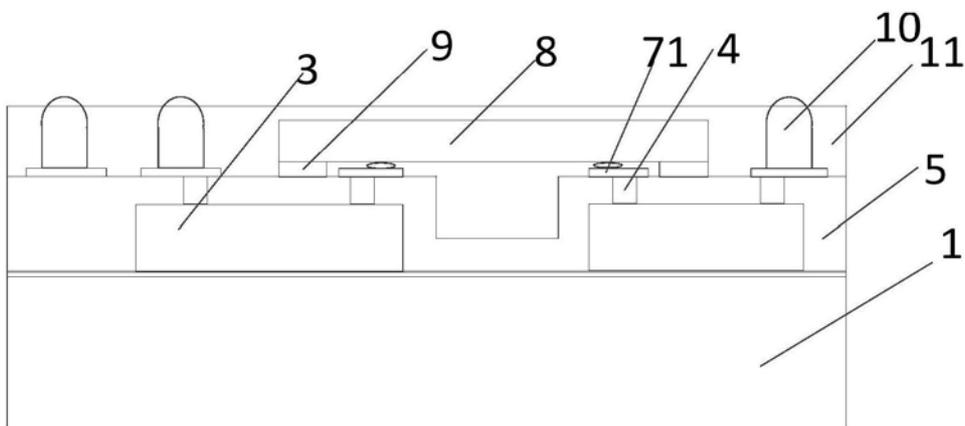


图8

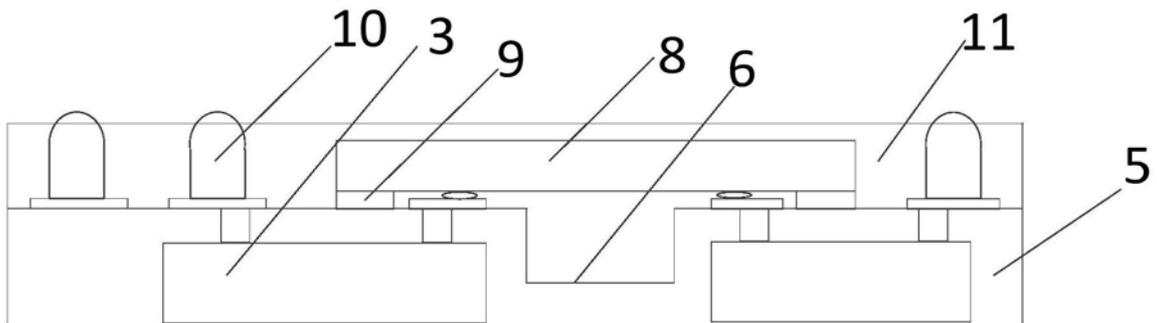


图9