

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5296313号  
(P5296313)

(45) 発行日 平成25年9月25日(2013.9.25)

(24) 登録日 平成25年6月21日(2013.6.21)

(51) Int. Cl.		F I		
<b>HO 1 L 21/82</b>	<b>(2006.01)</b>	HO 1 L 21/82		D
<b>HO 3 K 19/00</b>	<b>(2006.01)</b>	HO 3 K 19/00		A

請求項の数 9 (全 11 頁)

(21) 出願番号	特願2006-518914 (P2006-518914)	(73) 特許権者	390009531
(86) (22) 出願日	平成16年7月8日(2004.7.8)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2007-531244 (P2007-531244A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成19年11月1日(2007.11.1)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2004/021943	(74) 代理人	100108501
(87) 国際公開番号	W02005/008725		弁理士 上野 剛史
(87) 国際公開日	平成17年1月27日(2005.1.27)	(74) 代理人	100112690
審査請求日	平成19年6月28日(2007.6.28)		弁理士 太佐 種一
審判番号	不服2012-7091 (P2012-7091/J1)	(74) 代理人	100091568
審判請求日	平成24年4月18日(2012.4.18)		弁理士 市位 嘉宏
(31) 優先権主張番号	10/604, 277		
(32) 優先日	平成15年7月8日(2003.7.8)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 集積回路

(57) 【特許請求の範囲】

【請求項 1】

集積回路に設けられた電圧アイランドを備え、  
前記電圧アイランドが、  
前記電圧アイランドに供給される第1の供給電力を受け取り前記電圧アイランド内で使用する第2の供給電力を生じるスイッチング要素と、  
前記スイッチング要素に接続され、前記第2の供給電力を前記電圧アイランド内に分配する電力分配ネットワークと、  
前記電圧アイランドへの入力データを電圧シフトまたは分離する第1の電圧シフト・分離手段と、

前記電圧アイランドからの出力データを電圧シフトまたは分離する第2の電圧シフト・分離手段とを有する、集積回路。

【請求項 2】

前記第1の供給電力及び前記第2の供給電力が、前記第1の電圧シフト・分離手段及び前記第2の電圧シフト・分離手段に供給される、請求項1に記載の集積回路。

【請求項 3】

前記第1の電圧シフト・分離手段及び前記第2の電圧シフト・分離手段との間に第1の論理回路、状態保存ラッチ及び第2の論理回路が接続されており、前記第1の論理回路及び前記第2の論理回路に前記第2の供給電力が供給され、前記状態保存ラッチに前記第1の供給電力及び前記第2の供給電力が供給される、請求項2に記載の集積回路。

## 【請求項 4】

前記電圧アイランド外にある第 3 の論理回路及び第 4 の論理回路相互間を接続する信号ラインが前記電圧アイランド内に設けられ、前記信号ライン上の信号レベルを増大する電圧バッファが前記電圧アイランドに設けられ、前記電圧バッファに前記第 1 の供給電圧が供給される、請求項 1 に記載の集積回路。

## 【請求項 5】

集積回路に設けられた電圧アイランドと、  
前記集積回路のうち前記電圧アイランドとは別の場所に設けられた電力管理状態デバイスを備え、

前記電圧アイランドが、

前記電圧アイランドに供給される第 1 の供給電力を受け取り前記電圧アイランド内で使用する第 2 の供給電力を生じるスイッチング要素と、

前記スイッチング要素に接続され、前記第 2 の供給電力を前記電圧アイランド内に分配する電力分配ネットワークと、

前記電圧アイランドへの入力データを電圧シフトまたは分離する第 1 の電圧シフト・分離手段と、

前記電圧アイランドからの出力データを電圧シフトまたは分離する第 2 の電圧シフト・分離手段と、

前記第 1 の電圧シフト・分離手段及び前記第 2 の電圧シフト・分離手段との間に接続された第 1 の論理回路、状態保存ラッチ及び第 2 の論理回路とを備え、

前記第 1 の論理回路及び前記第 2 の論理回路に前記第 2 の供給電力が供給され、

前記状態保存ラッチに前記第 1 の供給電力及び前記第 2 の供給電力が供給され、

前記電力管理状態デバイスからの F E N C E N 制御信号の第 1 状態に応答して、前記第 1 の電圧シフト・分離手段及び前記第 2 の電圧シフト・分離手段が、前記電圧アイランドと前記集積回路との間のデータ入力通信及びデータ出力通信をディスエーブルし、

前記電力管理状態デバイスからの F E N C E N 制御信号の第 2 状態に応答して、前記第 1 の電圧シフト・分離手段及び前記第 2 の電圧シフト・分離手段が、前記電圧アイランドと前記集積回路との間のデータ入力通信及びデータ出力通信を確立する、集積回路。

## 【請求項 6】

前記第 1 の供給電力及び前記第 2 の供給電力が、前記第 1 の電圧シフト・分離手段及び前記第 2 の電圧シフト・分離手段に供給される、請求項 5 に記載の集積回路。

## 【請求項 7】

前記集積回路のうち前記電圧アイランドとは別の場所に設けられた第 3 の論理回路及び第 4 の論理回路相互間を接続する信号ラインが前記電圧アイランド内に設けられ、前記信号ライン上の信号レベルを増大する電圧バッファが前記電圧アイランドに設けられ、前記電圧バッファに前記第 1 の供給電圧が供給される、請求項 5 に記載の集積回路。

## 【請求項 8】

前記電力管理状態デバイスからの D I S A B L E 制御信号の第 1 状態に応答して、前記スイッチング要素が前記第 2 の供給電力を前記第 1 の供給電力から切断し、

前記電力管理状態デバイスからの D I S A B L E 制御信号の第 2 状態に応答して、前記スイッチング要素が前記第 2 の供給電力を前記第 1 の供給電力に結合する、請求項 5 に記載の集積回路。

## 【請求項 9】

前記電力管理状態デバイスからの F E N C E N 制御信号の第 1 状態に応答して、前記状態保存ラッチが該ラッチの状態を保存し、

前記電力管理状態デバイスからの F E N C E N 制御信号の第 2 状態に応答して、前記状態保存ラッチが復元する、請求項 5 に記載の集積回路。

## 【発明の詳細な説明】

## 【技術分野】

【 0 0 0 1 】

10

20

30

40

50

本発明は、集積回路の分野に関する。更に具体的には、これは、電圧アイランドを含む集積回路のためのアーキテクチャに関する。

【背景技術】

【0002】

特定用途向け集積回路（ASIC：application specific integrated circuit）およびシステム・オン・チップ（SOC：system-on-chip）の設計では、設計ライブラリから選択されるいくつかの異なる設計を選択すること、ならびに、それらを、入力、出力、および電源の基本的なフレームワークに挿入することが必要である。しかしながら、集積回路製造技法の進歩により、高度なASICおよびSOC集積の複雑さのためにASICまたはSOCデバイスのコアに対する電力分配に関連して重大な問題が生じるようになって

10

【0003】

一部のコアは、選択的に電源を入れ、または電源を切り、または他のコア電圧とは異なる電圧で電力供給される場合がある。例えば、アナログ・コア、埋め込みフィールド・プログラマブル・ゲート・アレイ（eFPGA：embedded field programmable gate array）、および埋め込みダイナミック・ランダム・アクセス・メモリ（DRAM：dynamic random access memory）のコアは、例えば、デジタル相補型金属酸化膜シリコン（CMOS：complementary metal-oxide-silicon）論理コアよりも、機能するために必要な最小電圧が高い。場合によっては、性能を向上させるために、コアをもっと高い電圧で動作させることが有利であり得る。また、いくつかの用途（例えばバッテリー電源）は、コア内の非

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、ASICおよびSOCデバイスの集積のオーダ（order）がますます複雑になるにつれて、コア自体が内部電力消費および電力分配の問題を有し、これに関しては解決されないままである。従って、コア内電力消費および電力分配の問題を解決するための技法が要望されている。

【課題を解決するための手段】

【0005】

本発明の第1の態様は、集積回路であって、階層構造を有する第1の電圧アイランドと、この第1の電圧アイランド内にネスト化され、第1の電圧アイランドと同じ階層構造を有する第2の電圧アイランドと、を含む。

30

【0006】

本発明の第2の態様は、集積回路であって、親領域と、この親領域内のネスト化電圧アイランドの階層オーダであって、各上位電圧アイランドが下位電圧アイランド内にネスト化され、各ネスト化電圧アイランドが同じ階層構造を有する、ネスト化電圧アイランドの階層オーダと、を含む。

【0007】

本発明の第3の態様は、集積回路を設計する方法であって、集積回路内に親領域を設けるステップと、この親領域内に階層構造を有する第1の電圧アイランドを配置するステップと、第1の電圧アイランド内にネスト化された第2の電圧アイランドを配置するステップであって、第2の電圧アイランドが第1の電圧アイランドと同じ構造を有する、ステップと、を含む。

40

【0008】

特許請求の範囲に、本発明の特徴を記載する。しかしながら、本発明自体は、例示的な実施形態の以下の詳細な説明を、添付図面に関連付けて読み、参照することによって、もっとも良く理解されよう。

【発明を実施するための最良の形態】

【0009】

50

本発明の目的のため、電圧アイランドに供給される全体的な供給電力としてVDDNを定義し、電圧アイランド内に存在し電圧アイランド内のデバイスに対するネットワークを介して分配される供給電力としてVDDIを定義し、電圧アイランド親領域の供給電力としてVDDOを定義し、電圧アイランド内の状態保存機能をサポートするための任意の供給電力としてVDDSSを定義する。親領域は、電圧アイランドが配置されている直接物理領域として定義される。親領域は、集積回路チップを有する電圧アイランド階層のあるオーダにおける集積回路チップまたは別の電圧アイランドとすることができる。供給電力としてVDDGを定義する。これは、下位の階層領域のVDDN、VDDI、VDDO、またはVDDSSのいずれかに電源が入ると、いつでも電源が入れられる。分離(fence)アクション(以下で述べる)を制御するために用いるグローバル制御信号、および、物理的に電圧アイランドを横切るが論理的にアイランドと相互作用しない信号を除いて、電圧アイランドに入るまたはそこから出る全ての信号は分離されるか、レベル・シフトされるか、またはそれら双方を行う。分離回路は、アイランドの供給電力がオフになった場合にアイランドの境界で用いられる。分離回路の目的は、アイランド電圧(VDDI)が低下した場合に、アイランド出力上の有効論理信号を維持することである。分離回路は、VDDOおよびVDDIの双方から電力供給される。アイランド電圧の電力が切られている間、分離回路は、アイランド出力上の出力の論理0を保持し、論理1を保持し、または、最後の有効状態を保持するように生成することができる。分離回路は、アイランド入力には必要ないが、アイランドに入る信号が浮動p+拡散を駆動しないように注意しなければならない。適正に設計した分離回路をアイランド入力上に配置することで、このタスクを達成することができる。

#### 【0010】

VDDI電圧がVDDO電圧と異なる場合(双方の電圧がスイッチ・オフされていないと仮定する)、アイランド境界においてレベル・シフト回路(level-shifter circuit)を用いる。レベル・シフト回路の目的は、低電圧信号によって高電圧を用いた回路の入力の駆動を防ぐことである。これは、著しい漏れまたは機能性の問題を引き起こす恐れがある。レベル・シフト回路は、VDDOおよびVDDIの双方から電力供給される。本発明では、アイランド入力信号(これらはGNDとVDDOとの間で切り替わる)を変換して、それらがGNDとVDDIとの間で切り替わるようにする。アイランド入力上で、通常GNDとVDDIとの間で切り替わる信号を変換して、GNDとVDDOとの間で切り替

#### 【0011】

VDDIがスイッチ・オフし、かつVDDOとは異なることがあり得る場合、レベル・シフトおよび分離の双方が必要である。

#### 【0012】

図1は、本発明に従った、電圧アイランドに対する多数の電圧供給を示す概略図である。図1において、親領域12内に電圧アイランド10が含まれている。親領域12は、集積回路チップまたは別の電圧アイランドとすることができる。電圧アイランド10は、任意のスイッチング要素14、および、VDDI電力を電圧アイランド内に含まれる論理ゲート等の様々なデバイスに供給するための電力分配ネットワーク16を含む。スイッチング要素14に対する入力はVDDNであり、スイッチング要素14の出力はVDDIである。

#### 【0013】

スイッチング要素14は、ヘッダ・デバイス(header device)、フッタ・デバイス/footer device)、電圧レギュレータ、またはハード接続(hardconnection)とすることができる。フッタおよびヘッダは、それらの最も単純な形態では、本質的に、スイッチとして用いられるNチャンネル電界効果トランジスタ(NFET:N-channel field effect transistor)またはPチャンネル電界効果トランジスタ(PFET:P-channel field effect transistor)である。PFET/NFETのソース/ドレインはVDDNに結合され、PFET/NFETのドレイン/ソースは電力分配ネットワーク16に結合されている。N

10

20

30

40

50

F E T / P F E Tのゲートは、電力オン/オフすることで、V D D Nから電力分配ネットワーク16を切断する。ヘッダはV D D NのV D D側に接続し、フッタはV D DのG N D側に接続する。電圧レギュレータは、V D D Nの値を上げてV D D IがV D D Nより高いようにするか、または、V D D Nの値を下げてV D D IがV D D Nより低いようにする。スイッチング要素14がハード接続である場合、電力分配ネットワーク16とV D D Nとの間のハード接続が行われる点から、V D D Iを指定する。

【0014】

V D D Iが電圧アイランド10内の電圧の概念を示すのと同じように、V D D Oは、電圧アイランド10外の電圧、すなわち親領域の全体的な電圧の概念を示す。

【0015】

電圧アイランド10は、更に、V D D S Sの供給を受ける。電圧アイランド境界をまたぐ通信は、V D D IおよびV D D Oが異なる時点で電力供給される可能性等、V D D IとV D D Oとの間の相違に対応しなければならない。V D D Iの電力が切れると電圧アイランド10内の論理ラッチの状態は失われるので、それらの論理ラッチの状態を保存するための回路がV D D S Sによって供給される。

【0016】

V D D N、V D D I、V D D O、およびV D D S Sは、電圧アイランド内の様々な機能に電力供給するために必要な全ての異なる電圧源を規定する。従って、V D D N、V D D I、V D D O、およびV D D S Sは、機能電圧である。しかしながら、V D D N、V D D I、V D D O、およびV D D S Sの電圧値は、互いに異なるものである必要はなく、V D D N、V D D I、V D D O、およびV D D S Sの1つ以上は同じ電圧値である場合がある。図1は、V D D S SおよびV D D NがV D D Oから供給されるものとして示すが、これは一般的な例ではなく、V D D S SおよびV D D Nが、ある上位の階層の電圧供給から発しなければならないことを示すために、このように図示した。本発明の階層的な電圧供給についての充分な考察を図3および4に示し、以下に記載する。本発明による全ての電圧アイランドの最小階層構造は、少なくとも、V D D N供給電力、電圧シフト手段もしくは分離手段、または電圧シフト手段および分離手段の双方を含む。加えて、本発明による全ての電圧アイランドは、更に、状態保存手段、1つ以上のスイッチング要素、V D D I電源および関連する電力分配ネットワーク、V D D S S電源、および1つ以上の電圧バッファリング回路を含む場合がある。電圧アイランドが、別のネスト化(nested)電圧アイランドのための親領域として機能する場合、その親電圧アイランドのV D D Iは、ネスト化電圧アイランドのV D D Oである。これらの要素を図5に示し、以下に論じる。最後に、グローバルV D DすなわちV D D Gの概念について検討することは有用であろう。V D D Gは、V D D N、V D D I、V D D O、またはV D D S Sがオンである場合はいつでも常に電力がオンになる供給電力として定義する。ネスト化電圧アイランドの概念を図2に示し、以下に説明する。多くの場合、階層の下位のオーダは集積回路チップであり、集積チップのV D D OはV D D Gである。しかしながら、特定の電圧アイランドのV D D IをV D D Gとして指定し、その親領域の電源を制御することが可能である。図2は、本発明によるネスト化電圧アイランドの物理的な電圧階層を示す概略図である。図2において、集積回路チップ20は、多数の電圧アイランド22を含む。集積回路チップ20は、電圧アイランド22のための親領域である。電圧アイランド22は、ネスト化された第1のオーダである。各電圧アイランド22は、多数の電圧アイランド24を含む。各電圧アイランド22は、電圧アイランド24のための親領域である。電圧アイランド24は、ネスト化された第2のオーダである。各電圧アイランド24は、多数の電圧アイランド26を含む。各電圧アイランド24は、電圧アイランド26のための親領域である。電圧アイランド26は、ネスト化された第3のオーダである。チップ20は、最下位オーダすなわちゼロのネスティング・オーダ(nesting order)である。図2には、ネスティングの4つのオーダ(0、1、2、および3)を示すが、いかなる数のネスティング・オーダも可能である。ネスト化された電圧アイランドのオーダが高くなればなるほど、ネスティング中の深い位置に電圧アイランドが存在し、上位のネスト化された電圧アイランドと親領域との間

10

20

30

40

50

に、より下位の電圧アイランドが存在することに留意すべきである。所与のネスト化電圧アイランド階層において、全ての下位オーダのネスト化電圧アイランドに、全ての上位オーダのネスト化電圧アイランドまたは同じ数の上位オーダの電圧アイランドを実装する必要はない。ネスト化電圧アイランドの正確な構成は、純粹に、集積回路チップ設計の相關的要素 (function) である。

**【 0 0 1 7 】**

集積回路チップ回路 20 の VDDI は、電圧オーダ・ゼロ (V0) として指定される。また、集積回路チップ 20 には、多数の外部電圧供給 VX (1) から VX (n) を供給することができる。電圧アイランド 22 の VDDI には電圧オーダ 1 (V1) が指定され、電圧アイランド 24 の VDDI には電圧オーダ (V2) が指定され、電圧アイランド 26 の VDDI には第 3 の電圧オーダ (V3) が指定される。図 3 および 4 に示し、以下に説明するように、各電圧アイランド 22 上の VDDI (すなわち V1) は、電圧値、あるいは電圧がオンになる回数、あるいは VDDI が導出される電源、またはそれら全てについて、互いに異なる場合もあり、異なる場合もある。同じことは、各電圧アイランド 24 上の VDDI (すなわち V2)、および各電圧アイランド 26 上の VDDI (すなわち V3) にも当てはまる。

10

**【 0 0 1 8 】**

図 3 は、本発明によるネスト化電圧アイランド階層において可能な様々な電圧の関係を示す図である。図 3 には、ゼロから Z までのネスティング・オーダを示す。いずれかの電圧オーダの電源を、いずれかの下位のオーダの電圧オーダ電源または VX から導出可能であることが、容易に理解される。いずれかの所与の電圧オーダの電源は、間にある全てのオーダの電源を通過する必要はない。いくつか例を挙げると、V3 は V2 から導出することができ、V3 は V0 から導出することができ、または、V3 は、V0 から V2 (V1 をスキップする) から導出することができる。

20

**【 0 0 1 9 】**

図 4 は、図 2 および 3 の電圧構造を図 1 に示した多数の電圧源に関連付けた表を示す。以下で論じるように、所与のオーダの電圧アイランドの VDDI は、直接に電圧オーダと関連する。VDDO、VDDSS、および VDDN 間には、同様の関係があるが、VDDI と電圧オーダとの関係ほど直接的ではない。図 4 は、ネスティング・オーダ W の所与の電圧アイランドについて、VDDO、VDDI、VDDSS、および VDDN を導出可能なネスティングの最も近いオーダ、およびそのオーダとの関係を示す。分数関数は、電圧が供給電圧の分数であることを示し、階段関数は、ゼロまたは完全な供給電圧を示す。

30

**【 0 0 2 0 】**

図 5 は、本発明による電圧アイランドの様々な構成要素間の関係を示す概略図である。集積回路チップ 30 は、電圧アイランド 32 を含む。電圧アイランド 32 は、スイッチング要素 34、分離入力回路 36、第 1 の論理回路 38、状態保存回路 40、第 2 の論理回路 42、および分離出力回路 44 を含む。本例では、スイッチング要素 34 は、チップ VDDO (これは、この例では VDDG である) から供給される。スイッチング要素 34 は、VDDI を、分離入力回路 36、第 1 の論理回路 38、状態保存ラッチ 40、第 2 の論理回路 42、および分離出力回路 44 に分配する。また、VDDO は、分離入力回路 36、および分離出力回路 44 にも供給される。また、状態保存ラッチ 40 には、VDDSS も供給される (これは、この例では VDDO である)。また、集積回路チップ 30 は、電力管理状態デバイス 46 を含む。電力管理状態デバイス 46 は、VDDO によって電力供給される。電力管理状態デバイス 46 は、スイッチング要素 34 に結合される DISABLE 制御信号、および、状態保存ラッチ 40 および分離出力回路 44 に結合される FENCEN 制御信号を発生する。第 1 および第 2 の論理回路 38 および 42 は、一般に、電圧アイランド 32 内の論理または他の回路 (図示せず) に結合されている。

40

**【 0 0 2 1 】**

FENCEN は、イネーブルされると、電圧アイランド境界をまたぐ通信をディスエーブルし、VDDI の電力を切る前に、状態保存ラッチ 40 に、状態保存ラッチ 40 の現在

50

の内容を保存（ラッチ）させて、VDDIに電力を入れると状態保存ラッチ40の状態を復元可能であるようにする。DISABLEは、スイッチング要素34をオフにするために用いられ、これによってVDDIの電力を切る（スイッチング要素が電圧レギュレータまたはヘッダまたはフッタである場合）。

【0022】

電圧アイランド30を電力オフにするためには、(1)電圧アイランドへの全てのクロック信号をオフにし、(2)FENCENのオンに 응답して、分離入力回路36および分離出力回路44が、電圧アイランドと集積回路チップ30との間のデータ入力およびデータ出力通信をディスエーブルし、状態保存ラッチ40の状態を保存し、更に、(3)DISABLEのオンに 응답して、スイッチング要素34が、VDDIをVDDOから切断し、これによって、VDDSSが電力供給する状態保存ラッチ40を除いて、電圧アイランドの電力を切る。

10

【0023】

電圧アイランド30を電力オンにするためには、(1)DISABLEのオフに 응답して、スイッチング要素34がVDDIをVDDOに結合し、これによって電圧アイランドに電力供給し、(2)VDDIが安定化するのを待ち、(3)FENCENのオフに 응답して、分離入力回路36および分離出力回路44が、電圧アイランドと集積回路チップ30との間のデータ入力およびデータ出力通信を再び確立し、状態保存ラッチ40を復元し、(4)第1および第2の論理ラッチ38および42に、いずれかの必要な電力オン・リセットを行い、更に、(5)電圧アイランドへの全てのクロック信号をオンにする。電力管理状態デバイス46が、電源を入れた領域に存在することが重要である。

20

【0024】

集積回路チップ30は、更に、第1の論理回路48、第2の論理回路50、および電圧バッファ52を含む。電圧バッファ52には、電圧VDDO(VDDG)を供給する。電圧バッファは、それらを通る信号ライン上の信号レベルを増大させる。第1および第2の論理回路48および50は、電圧アイランド32内にはないが、信号ライン54は電圧アイランドを通過する。この状況が起こるのは、電圧アイランドが極めて大きく、第1および第2の論理回路48および50間の通信が電圧降下またはノイズに敏感であるので、信号ライン54を可能な限り短く維持しなければならない場合である。電圧バッファ52は、VDDOによって電力供給されるので、電圧アイランド32が電力オフである場合であっても、電圧バッファはオンであり、ライン54上の信号を増大させることが可能である。

30

【0025】

図6は、本発明に従って設計されたデバイスの一例である。図6において、集積チップ60は、第1の電圧アイランド62Aおよび第2の電圧アイランド62Bを含む。第1の電圧アイランド62Aは、ヘッダ64A、VDDI電力分配ネットワーク66A、および第3の電圧アイランド68Aを含む。第3の電圧アイランド68Aは、電圧レギュレータ70AおよびVDDI電力分配ネットワーク72Aを含む。第2の電圧アイランド62Bは、ヘッダ64B、VDDI電力分配ネットワーク66B、および第4の電圧アイランド68Bを含む。第4の電圧アイランド68Bは、電圧レギュレータ70BおよびVDDI電力分配ネットワーク72Bを含む。

40

【0026】

集積チップ60のVDDOは、チップ外のVDDN(VDDG)電源から給電され、ヘッダ64Aおよび64Bならびに電圧レギュレータ70Aおよび70Bも同様である。第1の電圧アイランド62AのVDDSSおよび第2の電圧アイランド62BのVDDSSは、VDDOから電力供給される。第3の電圧アイランド68AのVDDSSは、VDDNから電力供給される。第4の電圧アイランド68BのVDDSSは、第2の電圧アイランド62BのVDDIから電力供給される。

【0027】

第1および第2の電圧アイランド62Aおよび62Bは、第1オーダのネスト化電圧ア

50

アイランドである。すなわち、それらは集積チップ60内にネスト化されている。第3および第4の電圧アイランド68Aおよび68Bは、第2オーダのネスト化電圧アイランドである。すなわち、それらは第1オーダのネスト化電圧アイランド内にネスト化されている。

【0028】

第4の電圧アイランド68Bは、第2の電圧アイランド62Bの電源が入った後に電源を入れなければならない、また、電圧アイランド62Bに電源が入ったままである場合にのみ、電圧アイランド68Bの電源を切り、62Bの状態を維持することができる。なぜなら、第4の電圧アイランド68BのVDDSSが、第2の電圧アイランド62BのVDDIから供給されるからである。第3の電圧アイランド68Aは、第1の電圧アイランド62Aの電源が入った後に、電源を切ったままである場合がある。なぜなら、第3の電圧アイランド68AのVDDSSが、VDDNから供給されるからである。しかしながら、第3の電圧アイランド68Aは、電源を切った第2の電圧アイランド62Bと通信を行うことはできない。

10

【0029】

第4の電圧アイランド68Bは、第2の電圧アイランド62Bの電源が入った後に電源を切らなければならない、また、第4の電圧アイランド68Bの状態を維持するために、電圧アイランド68Bは、第2の電圧アイランド62Bの電源を切った後に電源を切らなければならない。なぜなら、第4の電圧アイランド68BのVDDSSが、第2の電圧アイランド62BのVDDIから供給されるからである。第3の電圧アイランド68Aは、第1の電圧アイランド62Aの電源が入った後に、電源を入れたままである場合がある。なぜなら、第3の電圧アイランド68AのVDDSSが、VDDNから供給されるからである。しかしながら、第3の電圧アイランド68Aは、電源を切った第2の電圧アイランド62Bと通信を行うことはできない。

20

【0030】

本発明の理解のため、本発明の実施形態の説明を行った。本発明は、本明細書中に記載した特定の実施形態に限定されるものではなく、本発明の範囲から逸脱することなく、当業者に現在明らかになった様々な変形、再構成、および置換が可能であることは理解されよう。従って、特許請求の範囲は、本発明の真の精神および範囲内に該当する全てのかかる変形および変更を包含することが意図される。

30

【図面の簡単な説明】

【0031】

【図1】本発明に従った、電圧アイランドに対する多数の電圧供給を示す概略図である。

【図2】本発明に従った、ネスト化電圧アイランドの物理的な電圧階層を示す概略図である。

【図3】本発明に従った、ネスト化電圧アイランド階層において可能な様々な電圧関係を示す図である。

【図4】図1に示す多数の電圧源に図2および3の電圧構造を関連付けた表である。

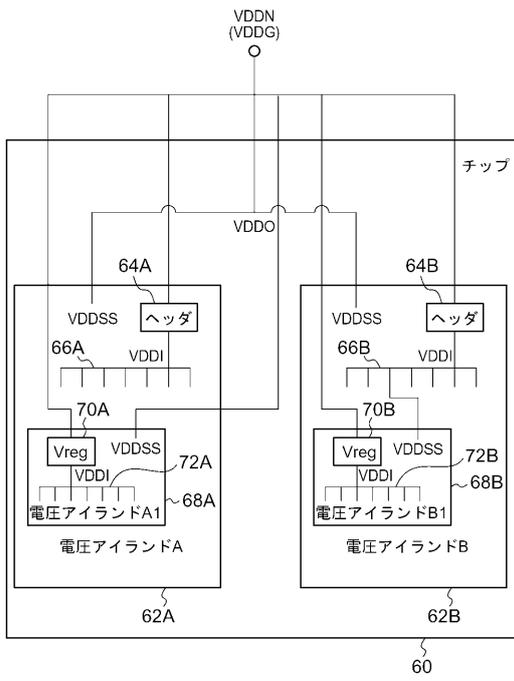
【図5】本発明に従った、電圧アイランドの様々な構成要素間の関係を示す概略図である。

40

【図6】本発明に従って設計したデバイスの一例である。



【図6】



## フロントページの続き

(74)復代理人 100086243

弁理士 坂口 博

(72)発明者 ベドナー、トーマス、アール

アメリカ合衆国05452 ヴァーモント州エセックス・ジャンクション ヴァレービュー・ドライブ 44

(72)発明者 グールド、スコット、ダブリュ

アメリカ合衆国05403 ヴァーモント州サウス・パーリントン ミル・ポンド・レーン15

(72)発明者 ラッキー、デイヴィッド、イー

アメリカ合衆国05465 ヴァーモント州ジェリコ メドウ・ドライブ 38

(72)発明者 スタウト、ダグラス、ダブリュ

アメリカ合衆国05468 ヴァーモント州ミルトン シェルダン・ロード 39

(72)発明者 ズコウスキー、ポール、エス

アメリカ合衆国05465 ヴァーモント州ジェリコ マリオン・ウェイ 10

合議体

審判長 池淵 立

審判官 西脇 博志

審判官 恩田 春香

(56)参考文献 特開2000-164811(JP,A)

特開2003-78009(JP,A)

David E. Lackey et al, Managing power and performance for system-on-chip designs using voltage islands, Computer Aided Design, 2002. ICCAD 2002. IEEE/ACM International Conference on, 米国, 2002.11.10発行, 195頁-202頁

(58)調査した分野(Int.Cl., DB名)

H01L21/82

H01L27/04