

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-86451
(P2004-86451A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 11/14	G06F 11/14 310K	5B018
G06F 11/00	G06F 11/00 350E	5B027
G06F 12/16	G06F 12/16 310M	

審査請求 未請求 請求項の数 11 O L (全 8 頁)

(21) 出願番号	特願2002-245218 (P2002-245218)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成14年8月26日 (2002.8.26)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

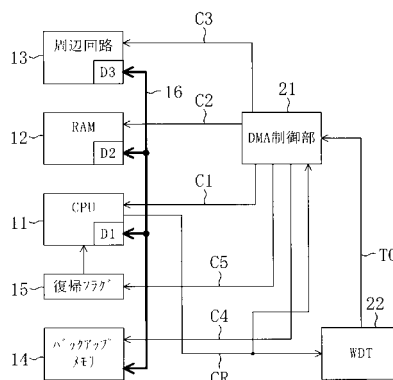
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】プログラムの暴走が生じた場合にCPUにリセットをかけて初期状態に戻すと、初めからプログラムを実行し直す結果、途中までのデータが破棄されてしまう。

【解決手段】バックアップメモリ14と、DMA制御部21と、WDT(ウォッチドグタイマ)とを設ける。DMA制御部21は、CPU11が正常に動作していてWDT22にカウンタリセット信号CRが与えられる毎にCPU11、RAM12及び周辺回路13の各々のデータをバックアップメモリ14へ退避させ、かつプログラムの暴走がWDT22により検知されてタイムオーバー信号TOが出力された場合にはバックアップメモリ14に退避されていたデータをCPU11、RAM12及び周辺回路13へそれぞれ復帰させるように制御する。これにより、CPU11にプログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開できる。



【選択図】 図1

【特許請求の範囲】

【請求項 1】

ストアードプログラム方式の制御ブロックと、
退避データを格納するためのバックアップメモリと、
前記制御ブロックにおけるプログラムの暴走を検知するための暴走検知手段と、
前記制御ブロックが正常に動作している時に当該制御ブロックのデータを前記バックアップメモリへ退避させ、かつ前記プログラムの暴走が検知された場合には前記バックアップメモリに退避されていたデータを前記制御ブロックへ復帰させるように制御するためのデータ転送制御手段とを備え、
前記プログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開できるようにしたことを特徴とする半導体集積回路。 10

【請求項 2】

請求項 1 記載の半導体集積回路において、
データ記憶部を有する少なくとも 1 つの他の回路ブロックを更に備え、
前記データ転送制御手段は、前記制御ブロックが正常に動作している時に前記他の回路ブロックのデータを前記バックアップメモリへ退避させ、かつ前記プログラムの暴走が検知された場合には前記バックアップメモリに退避されていたデータを前記他の回路ブロックへ復帰させるように制御する機能を更に有することを特徴とする半導体集積回路。

【請求項 3】

請求項 1 又は 2 に記載の半導体集積回路において、
前記データ転送制御手段は、前記制御ブロック又は前記他の回路ブロックの全データのうち重要なデータのみを退避及び復帰を制御することを特徴とする半導体集積回路。 20

【請求項 4】

請求項 1 又は 2 に記載の半導体集積回路において、
前記データ転送制御手段は、前記バックアップメモリへのデータの退避中及び当該バックアップメモリからのデータの復帰中は、前記制御ブロックの動作を停止させる機能を更に有することを特徴とする半導体集積回路。

【請求項 5】

請求項 1 又は 2 に記載の半導体集積回路において、
前記データ転送制御手段は、ダイレクトメモリアクセス動作を制御するための D M A 制御部であることを特徴とする半導体集積回路。 30

【請求項 6】

請求項 1 又は 2 に記載の半導体集積回路において、
前記暴走検知手段は、ウォッチドグタイマであることを特徴とする半導体集積回路。

【請求項 7】

請求項 1 又は 2 に記載の半導体集積回路において、
前記バックアップメモリは、不揮発性メモリであることを特徴とする半導体集積回路。

【請求項 8】

請求項 1 又は 2 に記載の半導体集積回路において、
前記バックアップメモリは、当該半導体集積回路の外付けメモリであることを特徴とする半導体集積回路。 40

【請求項 9】

請求項 1 又は 2 に記載の半導体集積回路において、
前記データ転送制御手段の制御によりデータの復帰動作が実施されたことを前記制御ブロックへ伝えるための復帰フラグを更に備えたことを特徴とする半導体集積回路。

【請求項 10】

請求項 1 又は 2 に記載の半導体集積回路において、
前記バックアップメモリは、前記制御ブロックのバスとは異なる専用のバスを介して前記データ転送制御手段に接続され、前記制御ブロックは前記バックアップメモリへのアクセス権限を有しないことを特徴とする半導体集積回路。 50

【請求項 1 1】

請求項 1 又は 2 に記載の半導体集積回路において、
前記プログラムの暴走が検知された回数をカウントするためのイベントカウンタと、
前記イベントカウンタのカウント値が所定値に達した場合には、前記制御ブロックの動作を一定期間だけ停止させた後に再開させるためのタイマとを更に備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、ストアードプログラム方式の制御ブロック、例えばプロセッサを備えた半導体集積回路に関するものである。 10

【0002】**【従来技術】**

特開平 6 - 131218 号公報には、計算機システムの異常を検出してプロセッサ (CPU) をリセットする CPU 制御技術の 1 つとして、ウォッチドグタイマ (Watch Dog Timer: WDT) の利用技術が示されている。WDT は、CPU から定期的に出力されるカウンタリセット信号を監視し、プログラムの暴走によりカウンタリセット信号が所定の期間内に入力されなかった場合はタイムオーバー信号を出力するものである。この WDT のタイムオーバー信号により CPU がリセットされて、正常な状態を回復できる。 20

【0003】**【発明が解決しようとする課題】**

しかしながら、上記従来技術ではタイムオーバー信号により CPU にリセットをかけて初期状態に戻すため、初めからプログラムを実行し直す結果、途中までのデータが破棄されてしまうという問題があった。

【0004】

本発明の目的は、プログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開できるようにすることにある。

【0005】**【課題を解決するための手段】**

上記目的を達成するため、本発明に係る半導体集積回路は、ストアードプログラム方式の制御ブロックと、退避データを格納するためのバックアップメモリと、制御ブロックにおけるプログラムの暴走を検知するための暴走検知手段と、制御ブロックが正常に動作している時に当該制御ブロックのデータをバックアップメモリへ退避させ、かつプログラムの暴走が検知された場合にはバックアップメモリに退避されていたデータを制御ブロックへ復帰させるように制御するためのデータ転送制御手段とを備えることとしたものである。 30

【0006】

データ記憶部を有する少なくとも 1 つの他の回路ブロックを更に備える場合には、前記データ転送制御手段は、制御ブロックが正常に動作している時に前記他の回路ブロックのデータをバックアップメモリへ退避させ、かつプログラムの暴走が検知された場合にはバックアップメモリに退避されていたデータを前記他の回路ブロックへ復帰させるように制御する機能を更に有することとする。 40

【0007】**【発明の実施の形態】**

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0008】

図 1 は、本発明に係る半導体集積回路の構成例を示している。図 1 において、11 は CPU、12 は RAM、13 は周辺回路、14 はバックアップメモリである。CPU 11 は、不図示の ROM に格納されたプログラムに従って動作するストアードプログラム方式の制御ブロックである。RAM 12 は、CPU 11 の動作に必要なデータを記憶するためのメ 50

メモリである。周辺回路 13 は、シリアル通信、アナログ・デジタル変換等の各種機能を有する入出力部である。バックアップメモリ 14 は、CPU 11 のプログラムカウンタとステータスレジスタを含む各種レジスタとが持つ重要なデータ D1 と、RAM 12 の全記憶データのうちの重要なデータ D2 と、周辺回路 13 の各種入出力制御レジスタが持つ全データのうちの重要なデータ D3 とを退避するためのメモリである。これら CPU 11、RAM 12、周辺回路 13 及びバックアップメモリ 14 は、CPUバス 16 を介して互いに接続されている。

【0009】

図 1 の半導体集積回路は、ダイレクトメモリアクセス動作を制御するための DMA 制御部 21 と、WDT (ウォッチドグタイマ) 22 と、復帰フラグ 15 とを更に備えている。

10

【0010】

WDT 22 は、CPU 11 から定期的に出力されるカウンタリセット信号 CR を監視し、プログラムの暴走によりカウンタリセット信号 CR が所定の期間内に入力されなかった場合はタイムオーバー信号 TO を出力するものである。

【0011】

DMA 制御部 21 は、CPU 11 が正常に動作していて WDT 22 にカウンタリセット信号 CR が与えられる毎に上記データ D1、D2 及び D3 をバックアップメモリ 14 へ退避させ、かつプログラムの暴走が WDT 22 により検知されてタイムオーバー信号 TO が出力された場合にはバックアップメモリ 14 に退避されていたデータを CPU 11、RAM 12 及び周辺回路 13 へそれぞれ復帰させるように制御するためのデータ転送制御手段である。

20

【0012】

図 1 中の C1 は CPU 11 用のリード/ライト信号、C2 は RAM 12 用のリード/ライト信号、C3 は周辺回路 13 用のリード/ライト信号、C4 はバックアップメモリ 14 用のリード/ライト信号である。例えば、CPU 11 のデータ D1 をバックアップメモリ 14 へ退避させる場合には信号 C1 でリード動作を、信号 C4 でライト動作をそれぞれ指定し、バックアップメモリ 14 に退避されていたデータを CPU 11 へ復帰させる場合には信号 C4 でリード動作を、信号 C1 でライト動作をそれぞれ指定する。

【0013】

復帰フラグ 15 は、DMA 制御部 21 の制御によりデータの復帰動作が実施されたことを CPU 11 へ伝えるためのフラグである。C5 は復帰フラグ 15 用のライト信号であり、これにより復帰フラグ 15 がセットされる。この復帰フラグ 15 は、CPU 11 によるリードの際にリセットされる。

30

【0014】

以上の構成を有する図 1 の半導体集積回路によれば、CPU 11 が正常に動作している時に当該半導体集積回路の最低限必要なデータ D1、D2 及び D3 をバックアップメモリ 14 へ退避させ、プログラムの暴走が WDT 22 により検知された場合にはバックアップメモリ 14 に退避されていたデータをそれぞれ復帰させることとしたので、外来ノイズ等に起因してプログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開することができる。つまり、リセット動作で正常な状態を回復するのではなく、正常動作を行っていた時点まで当該半導体集積回路の内部状態を戻すことができるのである。

40

【0015】

しかも、最低限必要な重要データのみを退避・復帰することで、退避及び復帰に要する時間を削減することができ、かつバックアップメモリ 14 の容量を小さくすることができる。

【0016】

また、データの復帰動作が実施されたことを CPU 11 へ伝えるための復帰フラグ 15 を設けたので、CPU 11 が動作再開後に復帰フラグ 15 をチェックすることで、プログラムの暴走が生じたことを認識することができる。したがって、この場合のために用意しておいた修復用プログラムを実行することで、外部からのデータ再取り込みや再計算を行う

50

ことにより、内部状態を修正する機会が得られる。

【0017】

ただし、CPU11、RAM12及び周辺回路13の各々の全データを退避及び復帰の対象としても構わない。この場合には当該半導体集積回路の正常な内部状態を完全に復元できるので、上記復帰フラグ15は不要である。

【0018】

なお、DMA制御部21は、バックアップメモリ14へのデータの退避中及び当該バックアップメモリ14からのデータの復帰中は、信号C1をCPU停止信号としてCPU11へ与えることにより当該CPU11の動作を停止させることができる。これにより、データの退避・復帰中のプログラムの暴走による誤書き込みを防ぐことができるので、データの信頼性を高めることができる。

10

【0019】

また、バックアップメモリ14は不揮発性メモリであってよい。これにより、電源が切れた場合でもバックアップメモリ14中のデータが保持されるため、電源回復後にプログラムの途中から動作を再開できて好都合である。データの退避及び復帰時にのみバックアップメモリ14に電源を供給することとしても問題ない。また、バックアップメモリ14は、当該半導体集積回路の外付けメモリであってよい。

【0020】

図2は、本発明に係る半導体集積回路の他の構成例を示している。図2によれば、バックアップメモリ14は、CPUバス16とは異なるバックアップメモリ専用のバス17を介してDMA制御部21に接続され、CPU11はバックアップメモリ14へのアクセス権限を有しないものとされる。これにより、CPU11のプログラムが暴走したときに当該CPU11が誤ってバックアップメモリ14中の退避データを書き換えてしまうことを防ぐ。その他の点は図1の構成と同様である。

20

【0021】

図3は、図1及び図2の変形例に係る復帰制御部の構成例を示している。図3の復帰制御部は、イベントカウンタ31と、タイマ32とで構成される。イベントカウンタ31は、タイムオーバー信号TOの数をカウントすることにより、WDT22でプログラムの暴走が検知された回数をカウントするものである。このイベントカウンタ31のカウント値が所定値に達してオーバーフローが生じた場合には、CPU停止リクエスト信号SAがDMA制御部21及びタイマ32に与えられる。タイマ32は、このCPU停止リクエスト信号SAを受けてから一定期間の後にCPU停止解除リクエスト信号SBをDMA制御部21へ与えるものである。DMA制御部21は、CPU停止リクエスト信号SAが与えられた場合には復帰動作終了後にCPU停止信号C1をアサートし、CPU停止解除リクエスト信号SBが与えられた場合にはCPU11の動作を再開させるようにCPU停止信号C1をネゲートする。これにより、複数回のデータ復帰動作を実施してもプログラムの暴走が続く場合には、CPU11の動作を一定期間だけ強制的に停止させ、かつ暴走原因の消滅を待って動作が再開される。なお、イベントカウンタ31及びタイマ32は、CPU11の正常動作を示すカウンタリセット信号CRによりそれぞれクリアされるようになっている。

30

40

【0022】

なお、上記各例ではWDT22に与えられるカウンタリセット信号CRをデータ退避のタイミング信号として採用したが、ステータスレジスタ等の重要なレジスタの書き換え時、割り込み発生時、特定命令の実行時、ノイズ検出時、シリアル通信における多数のエラー検出時等の種々のタイミングでデータ退避を行うようにすることもできる。ここに言う割り込みの例としては、タイマ割り込み、アナログ・デジタル変換時に発生する割り込み、他のマイクロコンピュータからの外部割り込み等を挙げることができる。

【0023】

【発明の効果】

以上説明してきたとおり、本発明によれば、ストアードプログラム方式の制御ブロックが

50

正常に動作している時に当該制御ブロックのデータをバックアップメモリへ退避させ、かつプログラムの暴走が検知された場合にはバックアップメモリに退避されていたデータを当該制御ブロックへ復帰させることとしたので、プログラムの暴走が生じた場合でも当該プログラムの途中から正常に動作を再開することができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体集積回路の構成例を示すブロック図である。

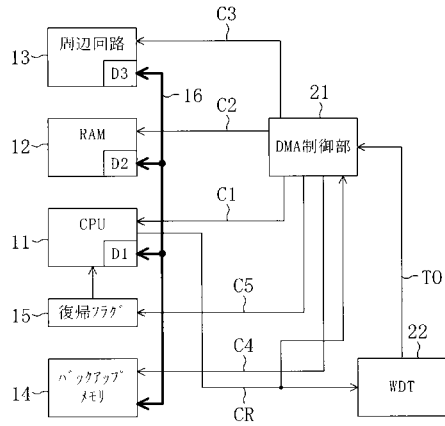
【図 2】本発明に係る半導体集積回路の他の構成例を示すブロック図である。

【図 3】図 1 及び図 2 の変形例に係る復帰制御部の構成例を示すブロック図である。

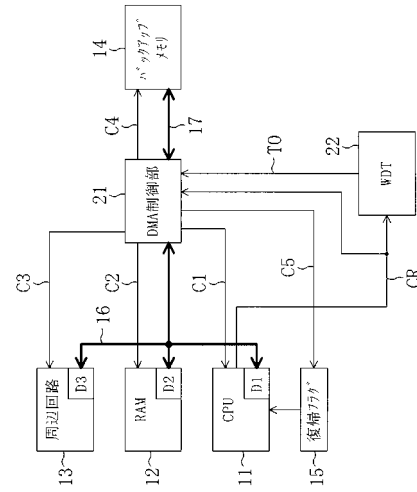
【符号の説明】

1 1	C P U (制 御 ブ ロ ッ ク)	10
1 2	R A M (他 の 回 路 ブ ロ ッ ク)	
1 3	周 辺 回 路 (他 の 回 路 ブ ロ ッ ク)	
1 4	バ ッ ク ア ッ プ メ モ リ	
1 5	復 帰 フ ラ グ	
1 6	C P U バ ス	
1 7	バ ッ ク ア ッ プ メ モ リ 専 用 バ ス	
2 1	D M A 制 御 部 (デ ー タ 転 送 制 御 手 段)	
2 2	W D T (ウ オ ッ チ ド グ タイ マ ; 暴 走 検 知 手 段)	
3 1	イ ベ ン ト カ ウ ン タ	
3 2	タイ マ	20
C 1	C P U 用 リ ー ド / ラ イ ト / 停 止 信 号	
C 2	R A M 用 リ ー ド / ラ イ ト 信 号	
C 3	周 辺 回 路 用 リ ー ド / ラ イ ト 信 号	
C 4	バ ッ ク ア ッ プ メ モ リ 用 リ ー ド / ラ イ ト 信 号	
C 5	復 帰 フ ラ グ 用 ラ イ ト 信 号	
C R	カ ウ ン タ リ セ ッ ト 信 号	
S A	C P U 停 止 リ ク エ ス ト 信 号	
S B	C P U 停 止 解 除 リ ク エ ス ト 信 号	
T O	タイ ム オ ー バ ー 信 号	

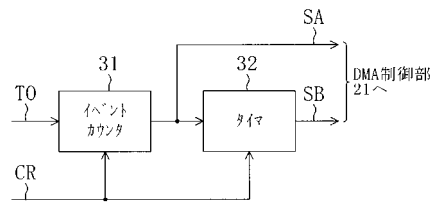
【図1】



【図2】



【図3】



フロントページの続き

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 神吉 勉

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 辨野 宏

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 米田 貴史

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 吉岡 志郎

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 上西 恒雄

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5B018 GA04 HA04 KA22 NA01 QA04 RA11

5B027 AA04 BB01 CC04