



(21)申請案號：104117475

(22)申請日：中華民國 104 (2015) 年 05 月 29 日

(51)Int. Cl. : **H01L23/60 (2006.01)**

(71)申請人：漢磊科技股份有限公司 (中華民國) EPISIL TECHNOLOGIES INC. (TW)

新竹市新竹科學工業園區創新一路 18 號

(72)發明人：鄧京盛 DENG, JING SHENG (TW)；劉德崑 LIU, TE KUN (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

US 2005/0145945A1

審查人員：邱迺軒

申請專利範圍項數：20 項 圖式數：3 共 28 頁

(54)名稱

靜電放電防護結構

ELECTROSTATIC DISCHARGE PROTECTION STRUCTURE

(57)摘要

一種靜電放電防護結構，包括：第一導電型基底；分離設置於基底上的第一導電型第一及第二井區；設置於基底上且位於第一及第二井區之間的第二導電型第三井區；設置於第一井區中的第一導電型第一摻雜區與第二導電型第二摻雜區；設置於第二井區中的第一導電型第三摻雜區與第二導電型第四摻雜區；以及相鄰設置於第一與第三井區的交界處或第二與第三井區的交界處的第一導電型第五摻雜區及第二導電型第六摻雜區，第五摻雜區位於第一或第二井區中，第六摻雜區位於第三井區中。

An ESD protection structure includes a first conductive type substrate; first and second well regions with a first conductive type disposed on the substrate; a third well region with a second conductive type located between the first and second well regions and disposed on the substrate; a first doped region with the first second conductive type and a second doped region with the second conductive type disposed in the first well region; a third doped region with the first conductive type and a fourth doped region with the second conductive type disposed in the second well region; and fifth and sixth doped regions disposed at an interface of the first and third well regions or an interface of the second and third well regions. The fifth doped region with the first conductive type is located in the first or second well region, and the sixth doped region with the second conductive type is located in the third well region.

指定代表圖：

符號簡單說明：

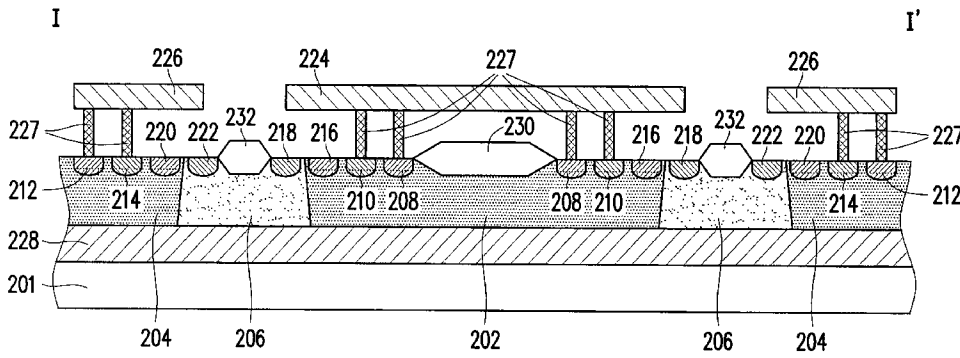


圖2B

- 200 . . . 靜電放電防護結構
- 201 . . . 基底
- 202 . . . 第一井區
- 204 . . . 第二井區
- 206 . . . 第三井區
- 208 . . . 第一摻雜區
- 210 . . . 第二摻雜區
- 212 . . . 第三摻雜區
- 214 . . . 第四摻雜區
- 216 . . . 第五摻雜區
- 218 . . . 第六摻雜區
- 220 . . . 第七摻雜區
- 222 . . . 第八摻雜區
- 224 . . . 導體層
- 226 . . . 導線
- 227 . . . 插塞
- 228 . . . 埋入層
- 230、232 . . . 場氧化層

發明摘要

※ 申請案號：104117415

※ 申請日：104. 5. 29

※IPC 分類：H01L 23/60 (2006.01)

【發明名稱】

靜電放電防護結構

ELECTROSTATIC DISCHARGE PROTECTION STRUCTURE

【中文】

一種靜電放電防護結構，包括：第一導電型基底；分離設置於基底上的第一導電型第一及第二井區；設置於基底上且位於第一及第二井區之間的第二導電型第三井區；設置於第一井區中的第一導電型第一摻雜區與第二導電型第二摻雜區；設置於第二井區中的第一導電型第三摻雜區與第二導電型第四摻雜區；以及相鄰設置於第一與第三井區的交界處或第二與第三井區的交界處的第一導電型第五摻雜區及第二導電型第六摻雜區，第五摻雜區位於第一或第二井區中，第六摻雜區位於第三井區中。

【英文】

An ESD protection structure includes a first conductive type substrate; first and second well regions with a first conductive type disposed on the substrate; a third well region with a second conductive type located between the first and second well regions and disposed on the substrate; a first doped region with the first second conductive type and a second doped region with the second

conductive type disposed in the first well region; a third doped region with the first conductive type and a fourth doped region with the second conductive type disposed in the second well region; and fifth and sixth doped regions disposed at an interface of the first and third well regions or an interface of the second and third well regions. The fifth doped region with the first conductive type is located in the first or second well region, and the sixth doped region with the second conductive type is located in the third well region.

【代表圖】

【本案指定代表圖】：圖 2B。

【本代表圖之符號簡單說明】：

200：靜電放電防護結構

201：基底

202：第一井區

204：第二井區

206：第三井區

208：第一摻雜區

210：第二摻雜區

212：第三摻雜區

214：第四摻雜區

216：第五摻雜區

218：第六摻雜區

220：第七摻雜區

222：第八摻雜區

224：導體層

226：導線

227：插塞

228：埋入層

230、232：場氧化層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

靜電放電防護結構

ELECTROSTATIC DISCHARGE PROTECTION STRUCTURE

【技術領域】

【0001】 本發明是有關於一種半導體元件，且特別是有關於一種靜電放電防護結構。

【先前技術】

【0002】 靜電放電 (electrostatic discharge, ESD) 是電荷在非導體或未接地的導體上累積後，經由放電路徑，在短時間內快速移動放電的現象。例如，人體、封裝積體電路的機器或測試積體電路的儀器都是常見的帶電體，當前述帶電體與晶片接觸時，即有可能向晶片放電。放電的過程會在短到幾百奈秒 (ns) 的時間內產生數安培的瞬間放電電流，而造成晶片中的積體電路損壞或失效。因此晶片中的積體電路中設有靜電放電防護電路以避免靜電放電現象損壞內部電路。

【0003】 圖 1 是習知使用靜電放電防護結構來保護內部電路的配置圖。如圖 1 所示，靜電放電保護電路 100 的設計必須考慮到所有可能的靜電放電路徑，以保護內部電路 110。因此，在輸入鉚墊 102 與電源鉚墊 106 間、在輸出鉚墊 104 與電源鉚墊 106 間、在輸

入銲墊 102 與接地電壓間、在輸出銲墊 104 與接地電壓間以及在電源銲墊 106 與接地電壓間都必須設有靜電放電防護結構 112。

【0004】一般來說，靜電放電保護電路的崩潰電壓(breakdown voltage)會低於主要電路的崩潰電壓。然而，在不同的電路中，靜電放電保護元件所需要的崩潰電壓可能會有所不同。因此，如何設計出能夠配合各種電路的需求來調整其崩潰電壓的靜電放電保護電路成爲現今的一大課題。

● 【發明內容】

【0005】本發明提供一種靜電放電防護結構，可配合各種電路的需求來調整其崩潰電壓。

● 【0006】本發明提供一種靜電放電防護結構，包括：基底、第一井區、第二井區、第三井區、第一摻雜區、第二摻雜區、第三摻雜區、第四摻雜區、第五摻雜區及第六摻雜區。基底具有第一導電型。第一井區及第二井區具有第一導電型，且分離設置於基底上。第三井區具有第二導電型，且設置於基底上，並位於第一井區及第二井區之間。第一摻雜區具有第一導電型，且設置於第一井區中。第二摻雜區具有第二導電型，且設置於第一井區中。第三摻雜區具有第一導電型，且設置於第二井區中。第四摻雜區具有第二導電型，且設置於第二井區中。第五摻雜區及第六摻雜區相鄰設置於第一井區與第三井區的交界處及第二井區與第三井區的交界處中的一者。第五摻雜區具有第一導電型，且位於第一井

區或第二井區中，第六摻雜區具有第二導電型，且位於第三井區中。

【0007】 在本發明的一實施例中，當上述的第五摻雜區位於第一井區中時，第五摻雜區與第一摻雜區分離設置，當第五摻雜區位於第二井區中時，第五摻雜區與第三摻雜區分離設置。

【0008】 在本發明的一實施例中，上述的第五摻雜區可部分延伸至第三井區中，或第六摻雜區可部分延伸至第一井區或第二井區中。

【0009】 在本發明的一實施例中，上述的第五摻雜區與第六摻雜區可彼此分離、接觸或重疊。

【0010】 在本發明的一實施例中，上述的第一摻雜區至第六摻雜區中的至少一者可環繞第一井區進行設置，且第一摻雜區至第六摻雜區中的至少一者的環繞方式可包括封閉式或開放式。

【0011】 在本發明的一實施例中，上述的靜電放電防護結構更包括第七摻雜區及第八摻雜區，相鄰設置於第一井區與第三井區的交界處及第二井區與第三井區的交界處中的另一者。第七摻雜區具有第一導電型，且位於第一井區或第二井區中。第八摻雜區具有第二導電型，且位於第三井區中。

【0012】 在本發明的一實施例中，當上述的第七摻雜區位於第一井區中時，第七摻雜區與第一摻雜區分離設置，當第七摻雜區位於第二井區中時，第七摻雜區與第三摻雜區分離設置。

【0013】 在本發明的一實施例中，上述的第七摻雜區可部分延伸

至第三井區中，或第八摻雜區可部分延伸至第一井區或第二井區中。

【0014】 在本發明的一實施例中，上述的第七摻雜區與第八摻雜區可彼此分離、接觸或重疊。

【0015】 在本發明的一實施例中，上述的第七摻雜區及/或第八摻雜區可分別環繞第一井區進行設置，且第七摻雜區及/或第八摻雜區的環繞方式可分別為封閉式或開放式。

● 【0016】 在本發明的一實施例中，上述的第二摻雜區可位在第一摻雜區與第三井區之間，或者第一摻雜區可位在第二摻雜區與第三井區之間。

【0017】 在本發明的一實施例中，上述的第三摻雜區可位在第四摻雜區與第三井區之間，或者第四摻雜區可位在第三摻雜區與第三井區之間。

● 【0018】 在本發明的一實施例中，上述的第一摻雜區與第二摻雜區可電性連接到鉚墊，第三摻雜區與第四摻雜區可電性連接到導線。

【0019】 在本發明的一實施例中，上述的鉚墊例如是輸入鉚墊、輸出鉚墊或電源鉚墊。

【0020】 在本發明的一實施例中，上述的導線例如是接地。

【0021】 在本發明的一實施例中，上述的第一摻雜區及第二摻雜區例如是位於鉚墊下方。

【0022】 在本發明的一實施例中，上述的靜電放電防護結構更包

括埋入層。埋入層具有第二導電型，且設置於基底與第一井區之間及基底與第二井區之間。

【0023】 在本發明的一實施例中，上述的靜電放電防護結構更包括至少一場氧化層。場氧化層設置於第一摻雜區遠離第三井區一側的第一井區中及/或設置於第三井區中。

【0024】 在本發明的一實施例中，上述的第一井區、第二井區與第三井區例如是源自於同一磊晶層或是源自於基底。

【0025】 在本發明的一實施例中，上述的第一導電型例如是 N 型導電型或 P 型導電型中的一者，且第二導電型例如是 N 型導電型或 P 型導電型中的另一者。

【0026】 基於上述，在本發明的靜電放電防護結構中，可以藉由改變第五摻雜區及第六摻雜區的位置設置方式，來調整靜電放電防護結構的崩潰電壓，以配合各種電路的需求。

【0027】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0028】

圖 1 是習知使用靜電放電防護結構來保護內部電路的配置圖。

圖 2A 是根據本發明實施例所繪示的靜電放電防護結構的上視圖。

圖 2B 是根據本發明實施例所繪示的靜電放電防護結構的剖面圖。

圖 2C 至圖 2H 是根據本發明其他實施例所繪示的圖 2B 中的第五摻雜區及第六摻雜區的配置關係示意圖。

圖 3 是使用本發明實施例的靜電放電防護結構來保護內部電路的配置圖。

【實施方式】

【0029】 圖 2A 是根據本發明實施例所繪示的靜電放電防護結構的上視圖。圖 2B 是沿著圖 2A 中 I-I'剖面線的剖面圖。為了使本技術領域具通常知識者能夠具體了解本實施例中摻雜區的配置，圖 2A 省略了鐳墊、導線以及場氧化層的繪示。

【0030】 請參照圖 2A 及圖 2B，靜電放電防護結構 200 包括基底 201、第一井區 202、第二井區 204、第三井區 206、第一摻雜區 208、第二摻雜區 210、第三摻雜區 212、第四摻雜區 214、第五摻雜區 216、以及第六摻雜區 218。

【0031】 在本實施例中，以下的「第一導電型」與「第二導電型」為不同導電型態。亦即，第一導電型例如是 N 型導電型或 P 型導電型中的一者，且第二導電型例如是 N 型導電型或 P 型導電型中的另一者。舉例來說，當第一導電型為 P 型導電型時，第二導電型為 N 型導電型，反之亦然。

【0032】 基底 201 具有第一導電型。基底 201 例如是矽基底。在

此實施例中，基底 201 是以 P 型基底為例來進行說明。在另一實施例中，基底 201 亦可為 N 型基底。

【0033】 第一井區 202 及第二井區 204 具有第一導電型，且分離設置於基底上。在本實施例中，第二井區 204 是以環繞第一井區 202 為例來進行說明，但本發明並不以此為限。在其他的實施例中，第二井區 204 亦可不環繞第一井區 202。

【0034】 第三井區 206 具有第二導電型，且設置於基底 201 上。第三井區 206 位在第一井區 202 及第二井區 204 之間。在本實施例中，第三井區 206 是以環繞第一井區 202 為例來進行說明，但本發明並不以此為限。在其他的實施例中，第三井區 206 亦可不環繞第一井區 202。

【0035】 第一井區 202 與第二井區 204 具有與第一導電型，第三井區 206 則具有第二導電型。在本實施例中，第一井區 202、第二井區 204 與第三井區 206 例如是源自於同一磊晶層，但本發明並不以此為限。第一井區 202、第二井區 204 與第三井區 206 的形成方法舉例如下。首先，形成第二導電型的磊晶層，部分第二導電型的磊晶層可作為第三井區 206。接著，再藉由離子植入製程對第二導電型的磊晶層進行第一導電型摻雜而形成第一井區 202、第二井區 204。

【0036】 在其他的實施例中，第一井區 202、第二井區 204 與第三井區 206 亦可源自於基底 201。此時，第一井區 202、第二井區 204 與第三井區 206 的形成方法例如是分別藉由離子植入製程對基底

201 進行第一導電型摻雜或第二導電型摻雜而形成。

【0037】 在本實施例中，以第一井區 202 與第二井區 204 為 P 型井區且第三井區 206 為 N 型井區為例來進行說明。在另一實施例中，第一井區 202 與第二井區 204 亦可為 N 型井區且第三井區 206 亦可為 P 型井區。

【0038】 第一摻雜區 208 與第二摻雜區 210 設置於第一井區 202 中。第一摻雜區 208 具有第一導電型，而第二摻雜區 210 則具有第二導電型。在本實施例中，第二摻雜區 210 位在第一摻雜區 208 與第三井區 206 之間，但本發明並不以此為限。在其他的實施例中，亦可改變第一摻雜區 208 與第二摻雜區 210 的設置方式，而將第一摻雜區 208 設置在第二摻雜區 210 與該第三井區 206 之間。

【0039】 第三摻雜區 212 與第四摻雜區 214 設置於第二井區 204 中。第三摻雜區 212 具有第一導電型，而第四導電區 214 則具有第二導電型。在本實施例中，第四摻雜區 214 位在第三摻雜區 212 與第三井區 206 之間，但本發明並不以此為限。在其他的實施例中，亦可改變第三摻雜區 212 與第四摻雜區 214 的設置方式，而將第三摻雜區 212 設置在第四摻雜區 214 與第三井區 206 之間。

【0040】 第五摻雜區 216 與第六摻雜區 218 相鄰設置於第一井區 202 與第三井區 206 的交界處及第二井區 204 與第三井區 206 的交界處中的一者，藉此可調整靜電放電防護結構 200 的崩潰電壓。第五摻雜區 216 具有第一導電型，且位於第一井區 202 或第二井區 204 中。第六摻雜區 218 具有第二導電型，且位於第三井區 206

中。在此實施例中，第五摻雜區 216 與第六摻雜區 218 是以相鄰設置於第一井區 202 與第三井區 206 的交界處為例來進行說明。此時，第五摻雜區 216 例如是設置於第一井區 202 中，且第六摻雜區 218 例如是設置於第三井區 206 中。在本實施例中，當第五摻雜區 216 位於第一井區 202 中時，第五摻雜區 216 與第一摻雜區 208 例如是分離設置。在另一實施例中，當第五摻雜區 216 位於第二井區 204 中時，第五摻雜區 216 與第三摻雜區 212 例如是分離設置。

【0041】此外，請同時參照圖 2B 至圖 2H，第五摻雜區 216 與第六摻雜區 218 間的配置方式沒有特別限制，只要第五摻雜區 216 與第六摻雜區 218 相鄰設置於第一井區 202 與第三井區 206 的交界處及第二井區 204 與第三井區 206 的交界處中的一者，就屬於本發明的範圍。舉例來說，第五摻雜區 216 與第六摻雜區 218 可分別設置於第一井區 202 和第三井區 206(如圖 2B)。在其他實施例中，第五摻雜區 216 可部分延伸至第三井區 206 中(如圖 2C、圖 2E 及圖 2G)，或者第六摻雜區 218 可部分延伸至第一井區 202 中(如圖 2D、圖 2F 及圖 2H)。此外，第五摻雜區 216 與第六摻雜區 218 可彼此分離(如圖 2B 至圖 2D)、接觸(如圖 2E 與圖 2F)或重疊形成重疊區 217(如圖 2G 與圖 2H)。藉由調整第五摻雜區 216 與第六摻雜區 218 的設置方式(如調整第五摻雜區 216 與第六摻雜區 218 之間的距離或設置位置等方式)，可調整靜電放電防護結構的崩潰電壓，以配合各種電路的需求。

【0042】請繼續參照圖 2A 與圖 2B，靜電放電防護結構 200 更可包含第七摻雜區 220 及第八摻雜區 222，藉此可進一步地調整靜電放電防護結構 200 的崩潰電壓。第七摻雜區 220 及第八摻雜區 222 相鄰設置於第一井區 202 與第三井區 206 的交界處及第二井區 204 與第三井區 206 的交界處中的另一者。第七摻雜區 220 具有第一導電型，且位於第一井區 202 或第二井區 204 中。第八摻雜區 222 具有第二導電型，且位於第三井區 206 中。在本實施例中，第七摻雜區 220 及第八摻雜區 222 是以相鄰設置於第二井區 204 與第三井區 206 的交界處為例來進行說明。此時，第七摻雜區 220 例如是設置於第二井區 204 中，且第八摻雜區 222 例如是設置於第三井區 206 中。在本實施例中，當第七摻雜區 220 位於第二井區 204 中時，第七摻雜區 220 與第三摻雜區 212 例如是分離設置。在另一實施例中，當第七摻雜區 220 位於第一井區 202 中時，第七摻雜區 220 與第一摻雜區 208 例如是分離設置。

【0043】此外，第七摻雜區 220 與第八摻雜區 222 彼此可分離、接觸或重疊。第七摻雜區 220 可部分延伸至第三井區 206 中，或第八摻雜區 222 可部分延伸至第二井區 204 中。舉例來說，第七摻雜區 220 及第八摻雜區 222 的設置方式可參考圖 2B 至圖 2H 中對於第五摻雜區 216 與第六摻雜區 218 的設置關係的說明。藉由調整第七摻雜區 220 及第八摻雜區 222 的設置方式(如調整第七摻雜區 220 及第八摻雜區 222 之間的距離或設置位置等方式)，可更進一步地調整靜電放電防護結構 200 的崩潰電壓，以配合各種電

路的需求。

【0044】 第一摻雜區 208 至第八摻雜區 222 的形成方法例如是離子植入法。在此實施例中，第一摻雜區 208、第三摻雜區 212、第五摻雜區 216 與第七摻雜區 220 例如是 P 型重摻雜區，且第二摻雜區 210、第四摻雜區 214、第六摻雜區 218 與第八摻雜區 222 例如是 N 型重摻雜區。在另一實施例中，當第一井區 202 與第二井區 204 為 N 型井區且第三井區 206 為 P 型井區時，第一摻雜區 208、第三摻雜區 212、第五摻雜區 216 與第七摻雜區 220 亦可為 N 型重摻雜區，且第二摻雜區 210、第四摻雜區 214、第六摻雜區 218 與第八摻雜區 222 一可為 P 型重摻雜區。

【0045】 另外，第一摻雜區 208 至第八摻雜區 222 中的至少一者可環繞第一井區 202 進行設置，且第一摻雜區 208 至第八摻雜區 222 中的至少一者的環繞方式例如分別是封閉式或開放式。在本實施例中，第一摻雜區 208 至第八摻雜區 222 是以環繞第一井區 202 進行設置為例，但本發明並不以此為限。在其他實施例中，第一摻雜區 208 至第八摻雜區 222 亦可不環繞第一井區 202。此外，第一摻雜區 208 至第八摻雜區 222 中的至少一者的環繞方式可分別為封閉式或開放式。在本實施例中，第一摻雜區 208、第二摻雜區 210、第五摻雜區 216 與第六摻雜區 218 的環繞方式例如是封閉式，而第三摻雜區 212、第四摻雜區 214、第七摻雜區 220 與第八摻雜區 222 的環繞方式例如是開放式，但本發明並不以此為限。所屬技術領域具有通常知識者可依照產品設計需求來決定第一摻

雜區 208 至第八摻雜區 222 是否環繞第一井區 202 並決定其環繞方式。

【0046】 此外，靜電放電防護結構 200 更可包括導體層 224、導線 226、埋入層 228 以及場氧化層 230、232 中的至少一者。

【0047】 導體層 224 可作為銲墊或是作為用以電性連接至銲墊的導體層。在本實施例中，導體層 224 是以作為銲墊為例來進行說明。第一摻雜區 208 與第二摻雜區 210 可藉由插塞 227 電性連接至導體層 224(銲墊)。導體層 224 例如是輸入銲墊、輸出銲墊或電源銲墊。第一摻雜區 208 與第二摻雜區 210 可設置於導體層 224(銲墊)下方，而可節省靜電放電保護電路 200 所佔的佈局(layout)面積。導體層 224 的材料例如是銅或鎢。導體層 224 的形成方法例如是金屬鑲嵌法或組合使用微影製程、沉積製程與蝕刻製程而形成。

【0048】 導線 226 例如是接地。導線 226 可作為接地導線或作為電性連接至接地導線的導線。第三摻雜區 212 與第四摻雜區 214 可藉由插塞 227 電性連接至導線 226。導線 226 的材料例如是銅或鎢。導線 226 的形成方法例如是金屬鑲嵌法或組合使用微影製程、沉積製程與蝕刻製程而形成。

【0049】 埋入層 228 設置於基底 201 與第一井區 202 之間及基底 201 與第二井區 204 之間，以將基底 201 與第一井區 202 進行隔離且將基底 201 與第二井區 204 進行隔離。埋入層 228 具有第二導電型。本實施例中，埋入層 228 是以 N 型埋入層為例來進行說明。

在另一實施例中，埋入層 228 亦可為 P 型埋入層。此外，埋入層 228 更可延伸至基底 201 與第三井區 206 之間。埋入層 228 的形成方法例如是離子植入法。

【0050】 場氧化層 230 設置於第一摻雜區 208 遠離第三井區 206 一側的第一井區 202 中。場氧化層 232 設置於第三井區 206 中。在本實施例中，第一摻雜區 208 例如是環繞場氧化層 230，且場氧化層 232 例如是位於第六摻雜區 218 與第八摻雜區 222 之間。場氧化層 230、232 的材料例如是氧化矽。場氧化層 230、232 的形成方法例如是熱氧化法。

【0051】 在上述實施例中，來自導體層 224 的靜電可經由插塞 227、第一摻雜區 208、第一井區 202、第三井區 206、第二井區 204、第四摻雜區 214、插塞 227 至導線 226 的路徑進行放電。此外，來自導線 226 的靜電可經由插塞 227、第三摻雜區 212、第二井區 204、第三井區 206、第一井區 202、第二摻雜區 210、插塞 227 至導體層 224 的路徑進行放電。藉由上述靜電放電路徑，可避免靜電對內部電路造成損害。

【0052】 基於上述實施例可知，可以藉由改變第五摻雜區 216 及第六摻雜區 218 的位置設置方式，來調整靜電放電防護結構 200 的崩潰電壓，以配合各種電路的需求。

【0053】 圖 3 是使用本發明實施例的靜電放電防護結構來保護內部電路的配置圖。

【0054】 請參照圖 3，在靜電放電防護電路 300 中，當多個靜電放

電防護結構 200 設計在輸入鉚墊 302、輸出鉚墊 304 及電源鉚墊 306 的周圍時，可完整保護內部電路 308。靜電放電防護結構 200 的結構可參照前文中對於圖 2A 至圖 2H 的說明。相較於圖 1 的習知的靜電放電防護電路 100 的配置方式，本實施例的靜電放電防護電路 300 減少了需要配置的靜電放電防護結構 200 的數量，因此可節省靜電放電防護結構 200 所佔的佈局面積。

● **【0055】** 綜上所述，上述實施例至少具有下列特點。在上述實施例的靜電放電防護結構中，可以藉由改變第五摻雜區及第六摻雜區的位置設置方式，來調整靜電放電防護結構的崩潰電壓，以配合各種電路的需求。

● **【0056】** 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

● **【符號說明】**

【0057】

100、300：靜電放電防護電路

102、302：輸入鉚墊

104、304：輸出鉚墊

106、306：電源鉚墊

110、308：內部電路

- 112：靜電放電防護結構
- 200：靜電放電防護結構
- 201：基底
- 202：第一井區
- 204：第二井區
- 206：第三井區
- 208：第一摻雜區
- 210：第二摻雜區
- 212：第三摻雜區
- 214：第四摻雜區
- 216：第五摻雜區
- 217：重疊區
- 218：第六摻雜區
- 220：第七摻雜區
- 222：第八摻雜區
- 224：導體層
- 226：導線
- 227：插塞
- 228：埋入層
- 230、232：場氧化層

申請專利範圍

1. 一種靜電放電防護結構，包括：

一基底，具有一第一導電型；

一第一井區及一第二井區，具有該第一導電型，且分離設置於該基底上；

一第三井區，具有一第二導電型，且設置於該基底上，並位於該第一井區及該第二井區之間；

一第一摻雜區，具有該第一導電型，且設置於該第一井區中；

一第二摻雜區，具有該第二導電型，且設置於該第一井區中；

一第三摻雜區，具有該第一導電型，且設置於該第二井區中；

一第四摻雜區，具有該第二導電型，且設置於該第二井區中；

以及

一第五摻雜區及一第六摻雜區，相鄰設置於該第一井區與該第三井區的交界處及該第二井區與該第三井區的交界處中的一者，其中該第五摻雜區具有該第一導電型，且位於該第一井區或該第二井區中，該第六摻雜區具有該第二導電型，且位於該第三井區中。

2. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中

當該第五摻雜區位於該第一井區中時，該第五摻雜區與該第一摻雜區分離設置，

當該第五摻雜區位於該第二井區中時，該第五摻雜區與該第三摻雜區分離設置。

3. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第五摻雜區部分延伸至該第三井區中，或該第六摻雜區部分延伸至該第一井區或該第二井區中。

4. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第五摻雜區與該第六摻雜區彼此分離、接觸或重疊。

5. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第一摻雜區至該第六摻雜區中的至少一者環繞該第一井區進行設置，且該第一摻雜區至該第六摻雜區中的至少一者的環繞方式分別包括封閉式或開放式。

6. 如申請專利範圍第 1 項所述的靜電放電防護結構，更包括一第七摻雜區及一第八摻雜區，相鄰設置於該第一井區與該第三井區的交界處及該第二井區與該第三井區的交界處中的另一者，其中該第七摻雜區具有該第一導電型，且位於該第一井區或該第二井區中，該第八摻雜區具有該第二導電型，且位於該第三井區中。

7. 如申請專利範圍第 6 項所述的靜電放電防護結構，其中當該第七摻雜區位於該第一井區中時，該第七摻雜區與該第一摻雜區分離設置，

當該第七摻雜區位於該第二井區中時，該第七摻雜區與該第三摻雜區分離設置。

8. 如申請專利範圍第 6 項所述的靜電放電防護結構，其中該第七摻雜區部分延伸至該第三井區中，或該第八摻雜區部分延伸

至該第一井區或該第二井區中。

9. 如申請專利範圍第 6 項所述的靜電放電防護結構，其中該第七摻雜區與該第八摻雜區彼此分離、接觸或重疊。

10. 如申請專利範圍第 6 項所述的靜電放電防護結構，其中該第七摻雜區及/或該第八摻雜區分別環繞該第一井區進行設置，且該第七摻雜及/或該第八摻雜區的環繞方式分別包括封閉式或開放式。

11. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第二摻雜區位在該第一摻雜區與該第三井區之間，或者該第一摻雜區位在該第二摻雜區與該第三井區之間。

12. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第三摻雜區位在該第四摻雜區與該第三井區之間，或者該第四摻雜區位在該第三摻雜區與該第三井區之間。

13. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第一摻雜區與該第二摻雜區電性連接到一鉚墊，該第三摻雜區與該第四摻雜區電性連接到一導線。

14. 如申請專利範圍第 13 項所述的靜電放電防護結構，其中該鉚墊包括輸入鉚墊、輸出鉚墊或電源鉚墊。

15. 如申請專利範圍第 13 項所述的靜電放電防護結構，其中該導線接地。

16. 如申請專利範圍第 13 項所述的靜電放電防護結構，其中該第一摻雜區及該第二摻雜區位於該鉚墊下方。

17. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中更包含一埋入層，具有該第二導電型，且設置於該基底與該第一井區之間及該基底與該第二井區之間。

18. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中更包含至少一場氧化層，設置於該第一摻雜區遠離該第三井區一側的該第一井區中及/或設置於該第三井區中。

19. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第一井區、該第二井區與該第三井區源自於同一磊晶層或是源自於該基底。

20. 如申請專利範圍第 1 項所述的靜電放電防護結構，其中該第一導電型為 N 型導電型或 P 型導電型中的一者，且該第二導電型為 N 型導電型或 P 型導電型中的另一者。

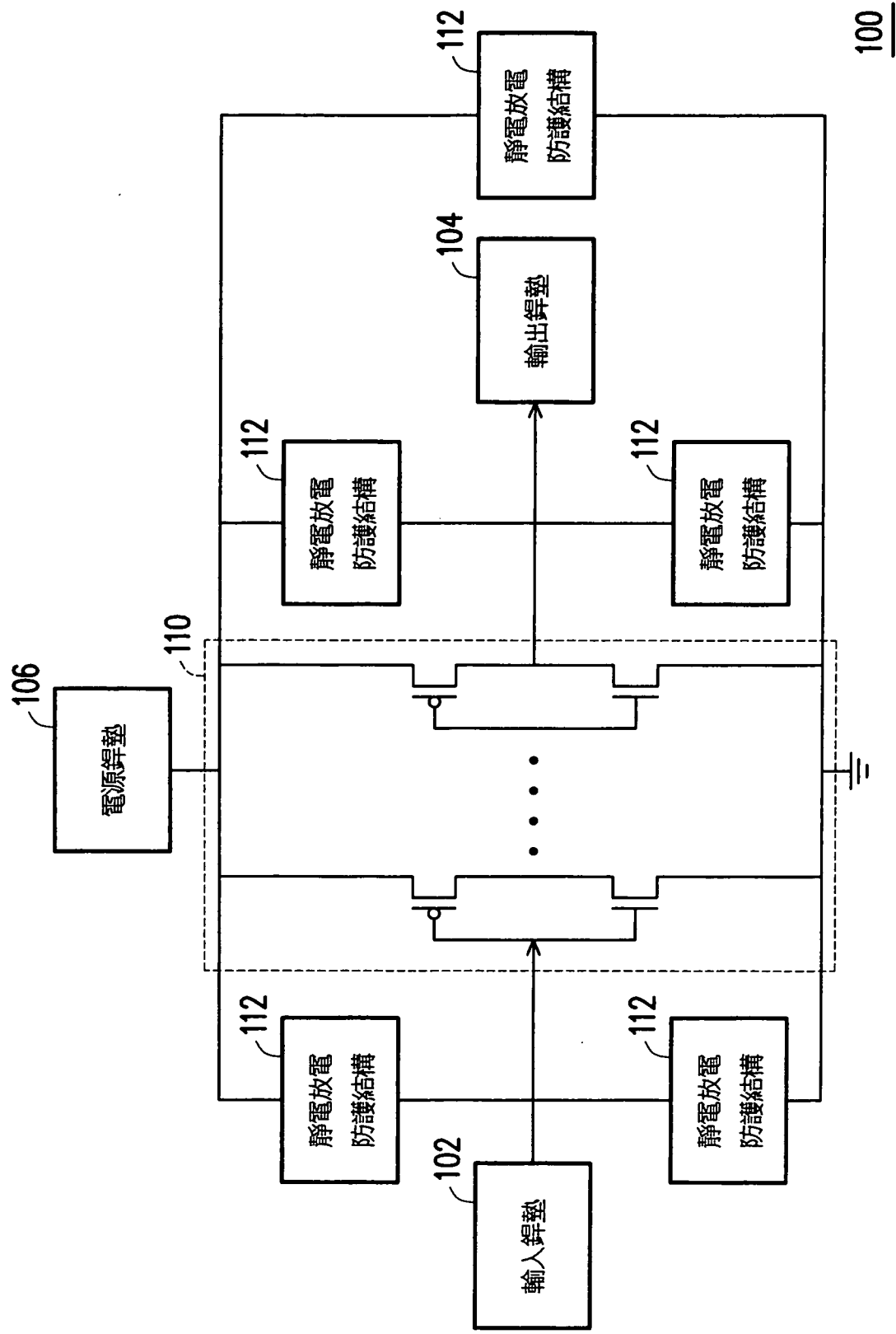


圖 1

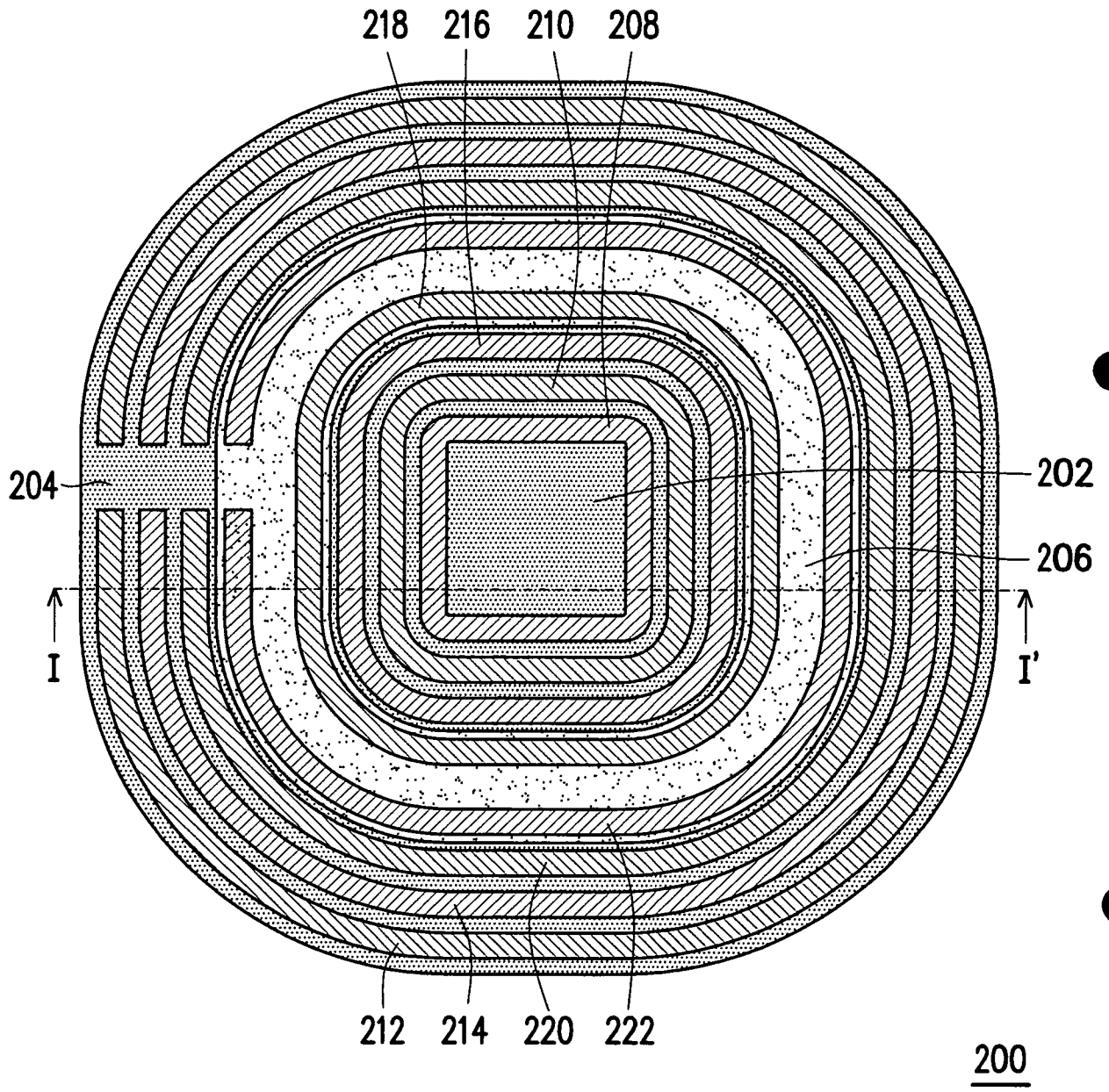


圖 2A

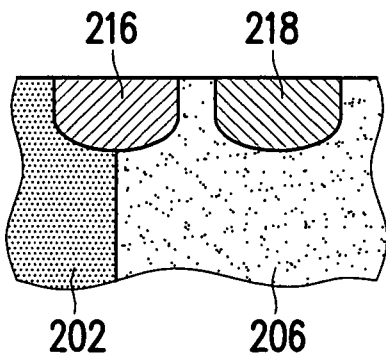


圖 2C

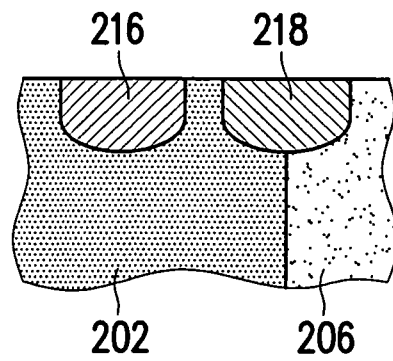


圖 2D

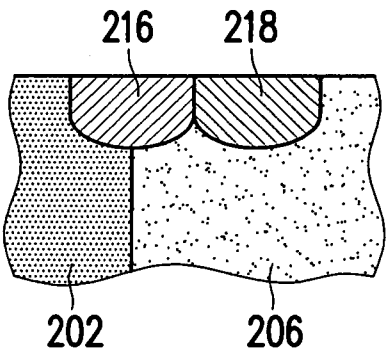


圖 2E

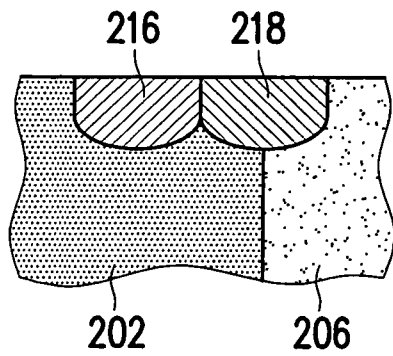


圖 2F

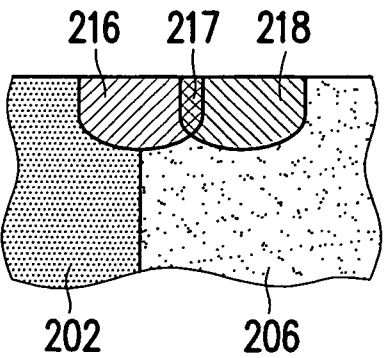


圖 2G

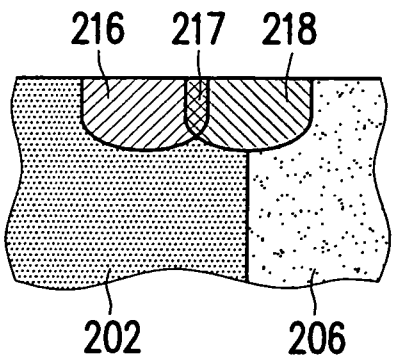
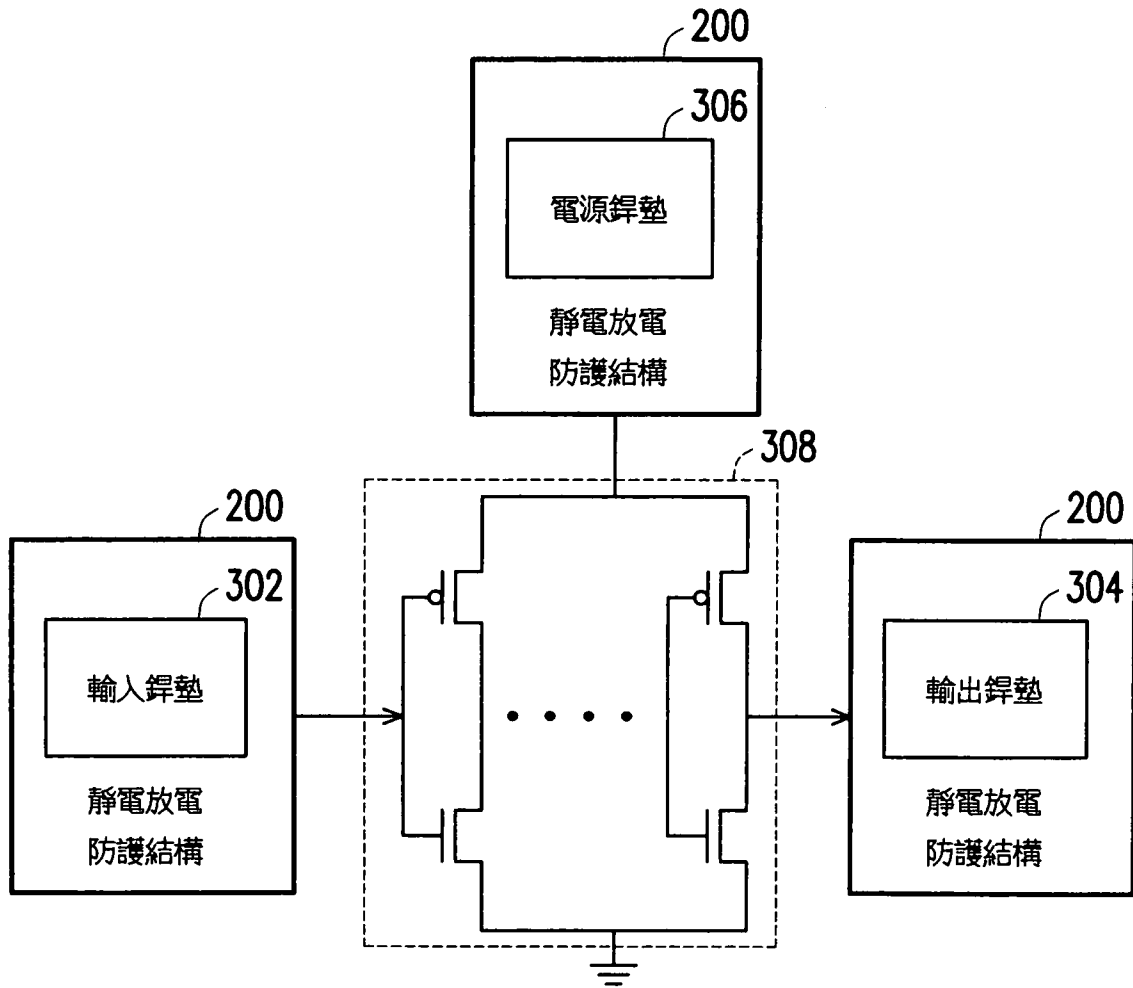


圖 2H



300

圖 3